

Министерство образования Российской Федерации

КАЗАНСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
им. А.Н. ТУПОЛЕВА

В.А. РАЙХЛИН

ОСНОВЫ ЦИФРОВОЙ СХЕМОТЕХНИКИ

УЧЕБНОЕ ПОСОБИЕ ДЛЯ ВУЗОВ

РЕКОМЕНДОВАНО УЧЕБНО-МЕТОДИЧЕСКИМ ОБЪЕДИНЕНИЕМ ВУЗОВ ПО
ОБРАЗОВАНИЮ В ОБЛАСТИ МАШИНОСТРОЕНИЯ И ПРИБОРОСТРОЕНИЯ
В КАЧЕСТВЕ УЧЕБНОГО ПОСОБИЯ ДЛЯ СТУДЕНТОВ СПЕЦИАЛЬНОСТИ 220100



ИЗДАТЕЛЬСТВО КГТУ

Казань 2000

УДК 621.374:621.382.8:681.3 (07)

Райхлин В.А.

Основы цифровой схемотехники. Учебное пособие для вузов.
Казань: Изд-во Казан. гос. техн. ун-та, 2000. 352 с.

ISBN 5-7579-0311-2

Излагается классика импульсной техники как образовательный базис цифровой схемотехники. Дается знакомство с многообразием интегральных технологий построения логических элементов. Рассматриваются цифровые микросхемы широкого применения и микросхемы памяти. Изучаются вопросы проектирования цифровых структур с учетом динамики процессов и топологических ограничений.

Для студентов вузов направления 552800 – "Информатика и вычислительная техника", специальности 220100 – "Вычислительные машины, комплексы, системы и сети" и ряда родственных направлений и специальностей, для аспирантов и преподавателей.

Табл. 10. Ил. 107. Библиогр.: 136 назим.

Рецензенты: кафедра информатики и информационно-управляющих систем Казанского филиала Московского энергетического института;

Чл.-кор. РАН д.т.н., профессор В.К. Левин

ISBN 5-7579-0311-2

© Изд-во Казан. гос. техн. ун-та, 2000.
© Райхлин В.А., 2000.

ПРЕДИСЛОВИЕ

Предметом цифровой схемотехники как научно-технической дисциплины считается исследование и разработка элементов и узлов (устройств) цифровых систем. Организация взаимодействия устройств в составе системы, а потому и тематика микропроцессорных комплектов БИС в целом к этому предмету не относятся. Своеобразие атрибутов и принципов микропроцессорной техники требует ее выделения в самостоятельную дисциплину. Остается схемотехника как таковая. Она вбирает в себя элементы точных знаний и прикладного искусства. Говоря о ее детерминированных основах, автор имеет в виду не только технологический базис, понятия и принципы, но и физико-теоретические основы: процессы в цифровых схемах, методы их анализа и синтеза.

Книга представляет систематизацию и частичную переработку проверенных временем материалов ряда учебных пособий автора, опубликованных ранее, вместе с дополнительным материалом по базовым цифровым микросхемам. Неизбежный прагматизм современного технического образования должен сочетаться с ростом его теоретико-познавательного уровня в рамках требований университета. Необходимость рассмотрения основополагающих и теоретических вопросов в их исторической ретроспективе, учета пользовательских тенденций, переосмысления основ цифровой схемотехники как одной из базовых университетских дисциплин направления 552800 и специальности 220100 – таковы мотивы принятой систематизации.

Связь цифровой схемотехники с импульсной техникой историко-фундаментальна, о чем нередко забывают в последнее время. Понимание импульсных процессов в линейных цепях и полупроводниковых переключателях является основой схемотехнического образования. Без этого трудно уяснить физические особенности передачи сигналов по линиям связи цифровых устройств, причины возникновения задержек в элементах, влияние нагрузки на их быстродействие, лавинообразность некоторых процессов и т.д. Расстановка нужных акцентов в общеобразовательном курсе электротехники и электроники затруднительна. Поэтому целесообразно классику импульсной техники отнести на правах

физических основ к дисциплине цифровой схемотехники. Эта классика рассматривается в главе 1.

Вторая глава объединяет материал, который можно определить как технологические основы цифровой схемотехники. Изучаются особенности биполярных, МОП, КМОП, И²Л- интегральных технологий. Дается знакомство с базовыми логическими микросхемами и переключателями. Главы 3 и 4 представляют теоретико-прикладные основы. В главе 3 излагаются общие вопросы проектирования интегральных логических структур. Анализируются переходные процессы на логико-структурном уровне, в цепях питания и межсоединениях. Рассматриваются методы синтеза цифровых автоматов в интегральном базисе с учетом динамики. Глава 4 посвящена микросхемам с повышенной степенью интеграции. Значительное место в ней занимают операционные микросхемы и микросхемы памяти. Излагаются элементы теории модульного проектирования.

Таким образом, среди основ цифровой схемотехники выделяются две ветви: физико-технологические основы и теоретико-прикладные. Их изучение целесообразно проводить раздельно, в смежных семестрах. При этом вопросы разработки специализированных устройств в базисе микросхем малой, средней степени интеграции и микросхем памяти выносятся на этап курсового проектирования. Предполагается, что начальные представления о синтезе цифровых автоматов, комбинационных и последовательностных схем, цифровых операционных узлов студент получает из более раннего курса по теоретическим основам вычислительной техники. Опыт обучения студентов направления 552800 и специальности 220100 в Казанском государственном техническом университете им. А.Н. Туполева (КАИ) показывает хорошую жизнеспособность такого подхода в современных условиях.

Автор глубоко признателен чл.- кор. РАН д.т.н., профессору В.К. Левину и кафедре информатики и информационно-управляющих систем КФ МЭИ (зав. кафедрой д.т.н., профессор В.А. Белавин) за поддержку публикации книги. Ее своевременная подготовка к печати во многом обязана помощи студентов, которым приносится искренняя благодарность.

Автор

СОДЕРЖАНИЕ

Глава 1.ЛИНЕЙНЫЕ ЦЕПИ И ПЕРЕКЛЮЧАТЕЛИ	7
§1.1 ВВЕДЕНИЕ В АНАЛИЗ ИМПУЛЬСНЫХ ПРОЦЕССОВ	7
Характеристика формы импульсов	8
Сущность операционного метода.....	10
Анализ цепей с экспоненциальным изменением	16
§1.2.ИМПУЛЬСНЫЕ ПРОЦЕССЫ В ЛИНЕЙНЫХ ЦЕПЯХ	18
Простейшие цепи	18
Влияние неучтенных параметров.....	22
Импульсный трансформатор.....	27
Длинные линии	33
Искусственные линии задержки	41
§1.3.ТРАНЗИСТОРНЫЕ КЛЮЧЕВЫЕ СХЕМЫ	44
Статические и динамические параметры транзисторов.....	44
Характеристика открытого и закрытого состояний ключа ОЭ.....	47
Временные процессы в ключе ОЭ	50
Введение корректирующих элементов	54
§1.4.ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ	59
Диодные элементы	60
Транзисторные элементы	64
Диодно-транзисторные элементы	71
Статический триггер.....	78
§1.5.РЕЛАКСАЦИОННЫЕ ГЕНЕРАТОРЫ ИМПУЛЬСОВ	84
Симметричный мультивибратор	84
Ждущий мультивибратор с эмиттерной связью	90
Блокинг-генератор	92
Вопросы синхронизации.....	95
Глава 2.ИНТЕГРАЛЬНЫЕ ТЕХНОЛОГИИ	97
§2.1. БИПОЛЯРНЫЕ ЛОГИЧЕСКИЕ ИС	98
Характеристика биполярных ИС.....	99
Схемы с резистивными связями.....	104
ЭСЛ- и РТЛ-схемы.....	106
Диодно-транзисторные схемы	110
Транзисторно-транзисторные схемы.....	112
§2.2. БАЗОВЫЕ ЛОГИЧЕСКИЕ МИКРОСХЕМЫ ТТЛ	116
Электрические характеристики	116
Варианты микросхем.....	120
Влияние нагрузки и состояний входов.....	124
Специальная организация выходов	126
§2.3. ТРИГГЕРЫ И ГЕНЕРАТОРЫ ИМПУЛЬСОВ ТТЛ	129
Обобщение понятия триггерной схемы	130
Микросхемы JK- и D-триггеров.....	137
Простейшие релаксаторы	139
Микросхемы генераторов импульсов	144
§2.4. СХЕМЫ НА МДП-ТРАНЗИСТОРАХ	146
Общая характеристика	147
Базовые микросхемы КМОП.....	152
§2.5. СХЕМЫ С ИНЖЕКЦИОННЫМ ПИТАНИЕМ	156
Принцип действия, сравнительные оценки и применения.....	158
Характеристики многоэлектродного биполярного транзистора.....	160
Логические элементы	164
Проектирование сложных схем.....	167
Глава 3.ЛОГИЧЕСКИЕ ЦЕПИ И АВТОМАТЫ	169
§3.1. ОБЩИЕ ВОПРОСЫ ПРОЕКТИРОВАНИЯ	169

Переход к универсальному базису	169
Разгрузка элементов	173
Повышение степени интеграции	175
Построение систем синхронизации	177
§3.2. ПЕРЕХОДНЫЕ ПРОЦЕССЫ В ЦЕПЯХ ПИТАНИЯ И МЕЖСОЕДИНЕНИЯХ	180
Проблема импульсной помехоустойчивости	180
Помехи от обратных токов	183
Перекрестные помехи	185
Помехи рассогласований	190
§3.3. ПЕРЕХОДНЫЕ ПРОЦЕССЫ НА ЛОГИКО-СТРУКТУРНОМ УРОВНЕ	194
Комбинационные состязания	196
Исследование переходных процессов	200
Состязания в последовательностных схемах	204
Аналитическое исследование	207
Устранение состязаний	209
§3.4. ЭЛЕМЕНТЫ СИНТЕЗА ЦИФРОВЫХ АВТОМАТОВ	216
Триада проектирования	216
Синтез по неформальному заданию	219
Задания с лабиринтами	229
Минимизация таблиц переходов	234
Кодирование состояний	240
§3.5. ПСЕВДОАСИНХРОННЫЕ СХЕМЫ	246
Способы реализации синхронных схем	247
Асинхронная регистровая схема	249
Построение таблиц переходов С-асинхронных схем	253
С-асинхронные схемы	257
Сопоставление с прямой реализацией	263
Глава 4. СТРУКТУРНЫЕ МОДУЛИ	270
§4.1. ЭЛЕМЕНТЫ ТЕОРИИ МОДУЛЬНЫХ СТРУКТУР	271
Многофункциональные логические модули	271
Модульные реализации последовательностных схем	277
Однородные сети	284
Операционные среды	288
§4.2. МИКРОСХЕМЫ КОМБИНАЦИОННОГО ТИПА	296
Арифметические микросхемы	296
Микросхемы контроля	300
Микросхемы дешифраторов	302
Микросхемы мультиплексоров	303
§4.3. МИКРОСХЕМЫ С ТРИГГЕРНОЙ ПАМЯТЬЮ	305
Микросхемы регистров	306
Микросхемы счетчиков	309
Микросхемы регистровой памяти	311
§4.4. МИКРОСХЕМЫ ОПЕРАТИВНОЙ ПАМЯТИ	314
Система параметров и мнемоники микросхем памяти	315
Технология ТТЛ	316
Технология КМОП	319
Технология п-МОП	321
§4.5. МИКРОСХЕМЫ ПОСТОЯННОЙ ПАМЯТИ	327
Масочные ПЗУ	329
Программируемые ПЗУ	331
Репрограммируемые ПЗУ	335
Нетрадиционные применения ПЗУ	338
Программируемые логические матрицы	341
ЛИТЕРАТУРА	346

Глава 1

ЛИНЕЙНЫЕ ЦЕПИ И ПЕРЕКЛЮЧАТЕЛИ

Современная цифровая схемотехника берет свое начало от полупроводниковой импульсной техники. Безусловно, интегральные технологии вносят свои особенности в построение элементов и схем. Но базовые принципы во многом сохраняются. Процессы в обоих случаях остаются импульсными, а соединения между элементами представляются линейными цепями с емкостями и индуктивностями либо как длинные линии. Есть и другая сторона вопроса. В полупроводниковой технике базовым элементом является транзистор, а в интегральной – логический элемент. Это затрудняет строгое аналитическое описание динамики устройств в последнем случае и скрадывает ряд принципиальных моментов. Вместе с тем, их качественный характер проявляется достаточно выпукло при анализе на уровне транзисторных аналогов. Наконец, только в сравнении можно осознать все преимущества перехода к интегральному базису.

Таковы мотивы данной главы. Отбор материала для нее представлял определенные трудности. С одной стороны – чрезвычайный объем наработок по той части современной теории цепей, которая связана с их анализом и синтезом в переходном режиме, с другой – не менее обширный материал по полупроводниковым ключам, логическим элементам, триггерам и генераторам импульсов. Из такого изобилия надо было оставить малую толику как образовательную основу последующего изучения дисциплины. Нужная выборка проведена по материалам работ [1,2]. Классичность рассматриваемых вопросов позволила сохранить библиографические ссылки на основные первоисточники с учетом их последних переизданий. Это относится и к последующим главам.

§1.1. ВВЕДЕНИЕ В АНАЛИЗ ИМПУЛЬСНЫХ ПРОЦЕССОВ

Электрические процессы в линейной цепи описываются системами обыкновенных дифференциальных уравнений с постоянными коэффициентами. Наиболее удобным методом решения таких уравнений является метод использования преобразования Лапласа [3] (операционный метод). При наличии в реальной схеме

существенно нелинейных элементов (полупроводниковых диодов, триодов и т.д.) цикл ее работы обычно разбивают на ряд этапов, в пределах каждого из которых с достаточной для инженерной практики точностью схему можно считать линейной. Поэтому операционный метод следует считать основным методом анализа импульсных процессов. На базе операционного метода развиты различные приближенные оценки основных параметров переходных процессов [4-7].

Характеристика формы импульсов

С понятием импульса обычно связывают представление о кратковременном сигнале, точнее о сигнале, время действия которого сравнимо с длительностью переходных процессов в устройстве, где этот сигнал имеет место. Соответственно в электромеханических системах импульсным оказывается сигнал продолжительностью до нескольких секунд, а в современных электронных – до десятков микросекунд. Такому определению импульса отвечают два типа сигналов: видеоимпульсные и радиоимпульсные. Последние представляют собой отрезок радиочастотных колебаний, модулированных по амплитуде видеоимпульсом. В дальнейшем рассматривается только случай видеоимпульсов. В реальных условиях форма их может быть самой разнообразной: прямоугольная, треугольная, трапецевидная, колоколообразная и т.д. Однако во встречающихся приложениях наиболее желательной является прямоугольная форма импульса. Поэтому такая форма принимается нами за основную и считается идеальной. Все другие формы полагаются искаженными (по сравнению с прямоугольной).

Соответственно при анализе работы того или иного импульсного элемента будем всегда считать, что на его входе действует идеально прямоугольный импульс. О качестве функционирования элемента будем судить по степени отклонения формы импульса на выходе от идеальной. Эти отклонения являются следствием переходных процессов, которые всегда имеют место в реальных схемах из-за наличия в них реактивных элементов и инерционности используемых электронных приборов. Принятую в настоящее время характеристику формы импульса проиллюстрируем на примере обобщенного, искаженного импульса (импульса на выходе некоторого устройства), показанного на рис.1.1. Большинство реально встречающихся на практике импульсов “вписывается” в эту обобщенную форму при отсутствии или некотором видоизменении (в частности, сглаживании) тех или иных ее элементов. Исходный идеальный импульс (импульс на входе того же устройства), с которым производится сравнение,

показан на рис.1.1. пунктиром. Амплитуды и длительности обоих рассматриваемых импульсов для простоты полагаются равными.

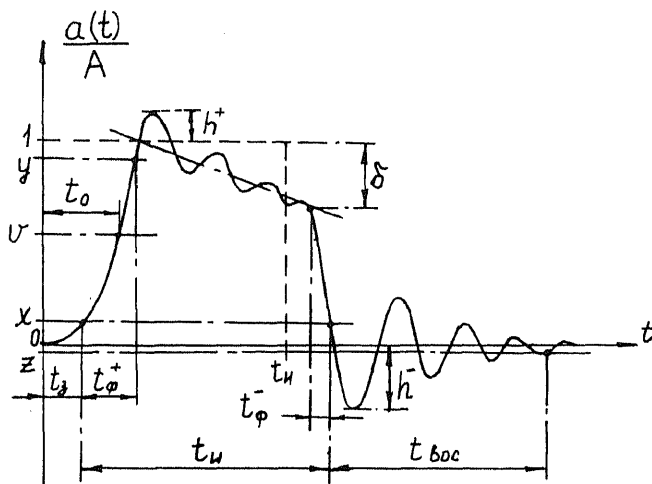


Рис. 1.1

На рис.1.1. обозначено:

$a(t)$ — ток или напряжение;

t — время;

A — амплитуда импульса;

h^+ — амплитуда выброса на вершине импульса;

h^- — амплитуда послеимпульсного выброса;

δ — спад вершины импульса;

x, y, z, v — некоторые условные уровни отсчета;

t_z, t_0 — времена задержки;

t_ϕ^+ — длительность положительного фронта импульса;

t_ϕ^- — длительность отрицательного фронта импульса;

t_u — длительность импульса;

$t_{вос}$ — время восстановления.

Необходимость введения условных уровней отсчета связана со спецификой работы реальных устройств. В течение времени, пока $a(t) < xA$, сигнал $a(t)$ практически не оказывает воздействия на последующую схему. Поэтому длительность импульса измеряют на

уровне x , а величину t_1 принимают за характеристику времени задержки входного сигнала при прохождении через рассматриваемое устройство. Иногда задержку сигнала (t_0) отсчитывают на уровне u , отличном от x . Часто берут $u=0,5$; $x=0,1$. Промежуток времени, в течение которого $a(t)$ алгебраически нарастает от значения x_A до величины u_A , характеризует длительность установления сигнала на выходе устройства. Характер установления может быть самым различным, например, асимптотическое приближение к единичному уровню снизу. Поэтому в общем случае без введения условного уровня отсчета u время установления оказывается неопределенным. Наиболее часто принимают $u=0,9$. Величина $t_{вос}$ характеризует длительность восстановления исходного состояния схемы по окончании воздействия входного сигнала. В общем случае следующий импульс на вход схемы должен поступить не ранее, чем завершено восстановление. При измерении $t_{вос}$ обычно берут $z=0,1h^-$.

В дальнейшем при прочих равных условиях качество импульса будем считать тем выше, чем меньше величины t_{ϕ}^- , t_{ϕ}^+ , $t_{вос}$, h^- , h^+ , δ . Для цепей задержки специально оговаривается точность получения заданной величины t_0 . В большинстве же случаев задержка импульса является вредным параметром и ее стремятся уменьшить. Помимо введенных параметров, в точных приложениях учитывают еще частоту и интенсивность затухания наложенных колебаний [3]. В общем случае интервал времени между моментом появления очередного импульса и началом отсчета кратен некоторой величине T , которую по аналогии со случаем регулярной импульсной последовательности условно называют периодом следования импульсов. Соответственно $F=1/T$ — частота и $N=T/t_n$ — скважность импульсов.

Сущность операционного метода

Функции $f(t)$ и $F(p)$, связанные прямым

$$\int_0^{\infty} f(t) e^{-pt} dt = F(p)$$

и обратным

$$\frac{1}{2\pi j} \int_{\sigma-j\infty}^{\sigma+j\infty} F(p) e^{pt} dp = \begin{cases} f(t) & , t > 0; \\ 0 & , t < 0 \end{cases}$$

преобразованиями Лапласа, принято называть соответственно оригиналом и изображением. Наличие этой связи будем условно обозначать как [8] $f(t) = F(p)$. Пусть даны изображения для ряда функций:

$$f_1(t) = F_1(p), f_2(t) = F_2(p), \dots, f_n(t) = F_n(p).$$

Тогда из свойства линейности определенных интегралов следует, что

$$\sum_{k=1}^n A_k f_k(t) = \sum_{k=1}^n A_k F_k(p),$$

где A_1, A_2, \dots, A_n — некоторые постоянные величины. Укажем далее, что если $f(t) = F(p)$, то [3]

$$f'(t) = pF(p) - f(0), \quad \int_0^t f(t) dt = \frac{1}{p} F(p).$$

Проиллюстрируем использование операционного метода на примере случая, когда исходная система интегро-дифференциальных уравнений цепи записана по методу контурных токов [8-10]. Тогда левые части приведенных выше соответствий исчерпывают возможные варианты формы записи таких уравнений. Потребуем, чтобы исходная система характеризовала действительное состояние схемы в любой момент времени. Это означает в данном случае, что напряжение на любой емкости C следует записывать в виде

$$U_C(t) = U_C(0) + \frac{1}{C} \int_0^t i(t) dt.$$

Применяя к каждому из исходных уравнений прямое преобразование Лапласа, приходим к системе линейных алгебраических уравнений относительно изображений искомых величин. При таком переходе автоматически будут учтены и начальные условия в индуктивностях. Из полученной системы нетрудно найти искомые изображения, а по ним — оригиналы, удовлетворяющие всем начальным условиям, если только эти условия непротиворечивы [3,10,11]. Аналогично обстоит дело и при использовании метода узловых напряжений.

Переход от изображений к оригиналам может быть выполнен либо с помощью известных формул разложения, либо на основании разработанных таблиц соответствий [3,12]. При этом полезно иметь в

виду теоремы подобия $f(at) = \frac{1}{a} F(p/a)$, $a > 0$ и запаздывания:

Таблица 1.1

$F(p)$	$f(t)$
$\frac{1}{p}$	$1(t)$
$\frac{\tau}{1+p\tau}$	$e^{-t/\tau}$
$\frac{1}{p(1+p\tau)}$	$1 - e^{-t/\tau}$
$\frac{1}{p^2}$	t
$\frac{1}{(p+a)(p+b)}$	<ol style="list-style-type: none"> $\frac{1}{b-a}(e^{-at} - e^{-bt})$, а, в – вещественные и разные. te^{-at}, а, в – вещественные и одинаковые. $\frac{1}{\beta}e^{-\alpha t}\sin\beta t$, а, в – комплексно-сопряженные ($a = \alpha - j\beta$, $b = \alpha + j\beta$).
$\frac{1}{p(1+p\theta_1)(1+p\theta_2)}$	$1 + \frac{1}{\theta_2 - \theta_1}(\theta_1 e^{-t/\theta_1} - \theta_2 e^{-t/\theta_2})$, θ_1, θ_2 – вещественные и разные.
$\frac{1+p\theta_3}{p(1+p\theta_1)(1+p\theta_2)}$	$1 - \frac{\theta_3 - \theta_1}{\theta_2 - \theta_1}e^{-t/\theta_1} + \frac{\theta_3 - \theta_2}{\theta_2 - \theta_1}e^{-t/\theta_2}$, $\theta_1, \theta_2, \theta_3$ – вещественные и разные.
$\frac{1}{(p+a)^2(p+b)}$	$\frac{1}{(b-a)^2}(e^{-at} - e^{-bt}) + \frac{t}{b-a}e^{-at}$, а, в – вещественные и разные.

$$F(p)e^{-pt_0} = \begin{cases} f(t-t_0) & , t > t_0; \\ 0 & , t < t_0. \end{cases}$$

Некоторые из используемых в этой книге соответствий приведены в табл.1.1, где $1(t)$ – единичная функция,

$$l(t) = \begin{cases} 1, & t > 0; \\ 0, & t < 0. \end{cases}$$

Идеальный прямоугольный импульс $a(t)$ связан с ней соотношением

$$a(t) = \begin{cases} A(t), & t < t_n; \\ 0, & t > t_n, \end{cases}$$

где $A(t) = A \cdot l(t)$ – перепад амплитудой A .

Наиболее удобно изображения искомых величин находить из эквивалентных операционных схем. Внешними источниками в них служат изображения внешних токов и э.д.с., а также дополнительные операционные источники, обязанные своим появлением ненулевым начальным условиям. Роль пассивных элементов играют операционные сопротивления. Правила составления этих схем можно усмотреть из предыдущего примера:

1. Э.д.с. источников напряжения и токи источников тока как функции времени заменяются их изображениями по Лапласу с сохранением направления стрелки в схемном обозначении источника.

2. Активное сопротивление R заменяется операционным сопротивлением, равным также R .

3. Емкость C заменяется операционным сопротивлением $1/pC$ и последовательно соединенным с ним источником операционной э.д.с. $U_c(0)/p$ с сохранением направления $U_c(0)$ (стрелка проставляется от минуса к плюсу).

4. Индуктивность L заменяется операционным сопротивлением pL и последовательно соединенным с ним источником операционной э.д.с. $i_L(0)$, направление которой совпадает с направлением $i_L(0)$.

Применяя эти правила к цепи (рис.1.2,а), приходим к эквивалентной ей операционной схеме (рис.1.2,б).

Эквивалентные операционные схемы удовлетворяют тем же законам, что и цепи, образованные только активными сопротивлениями R при действии в них постоянных токов и напряжений [10] (законы Ома и Кирхгофа). Следовательно, здесь применимы основные методы анализа подобных цепей (методы контурных токов и узловых напряжений), и сохраняют силу известные теоремы (наложения, взаимности, об эквивалентных источниках) [8-10,13]. Детальное рассмотрение схемотехники операционного метода читатель найдет в книге [10]. Мы ограничимся минимально необходимыми сведениями.

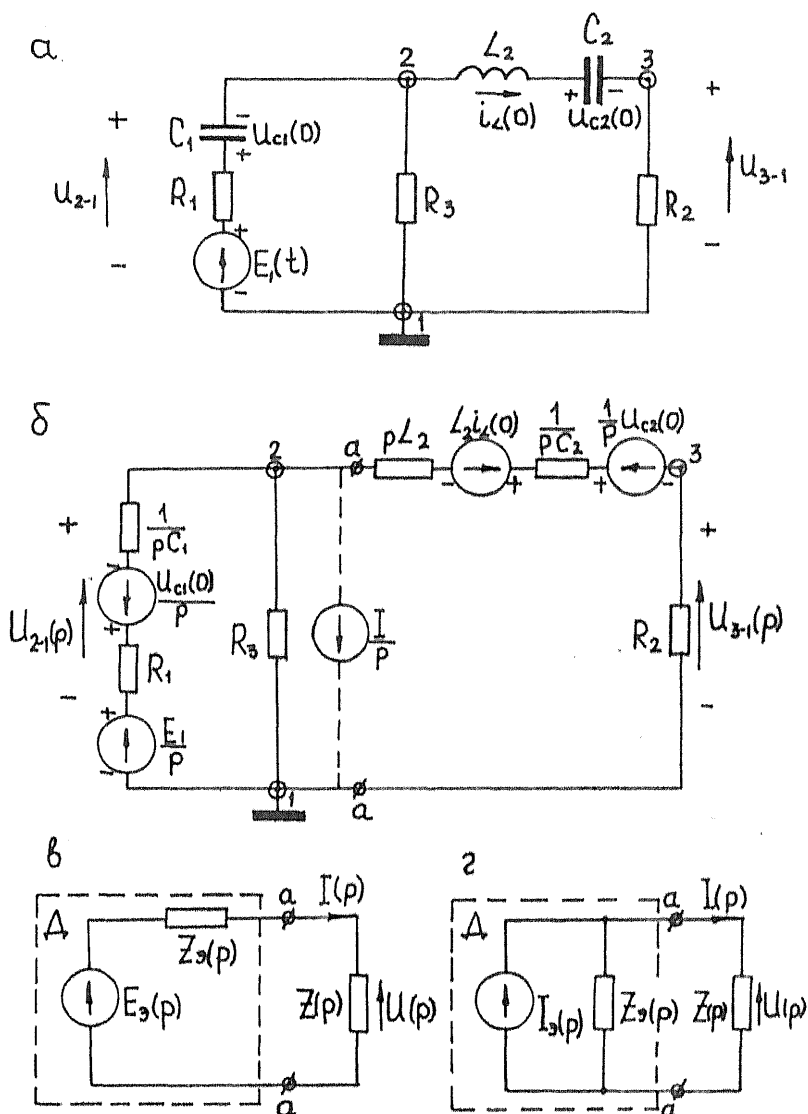


Рис. 1.2

В частном случае, когда число узлов в цепи равно двум, справедлива известная формула узлового напряжения:

$$U_{2-1}(p) = \frac{\sum_{i=1}^k E_i(p) Y_i(p) + \sum_{j=1}^{\ell} I_j(p)}{\sum_{i=1}^k Y_i(p)}.$$

Здесь предполагается, что между узлами 2 и 1 имеется всего $k+\ell$ параллельных ветвей. Из них ℓ ветвей с источниками тока $I_j(p)$, $j=1,2,\dots,\ell$, и k ветвей с источниками э.д.с. $E_i(p)$, $i=1,2,\dots,k$. Через $Y_i(p)$ обозначена суммарная операционная проводимость i -й ветви. Потенциал узла 1 считается равным нулю. Со знаком плюс берутся э.д.с. и токи, стрелки в схемном обозначении которых направлены в узел 2.

В качестве примера рассмотрим схему (рис.1.2,б). Для большей общности будем считать, что между узлами 2 и 1 действует источник тока I/p , как показано пунктиром. Определим $U_{2-1}(p)$. По формуле узлового напряжения находим

$$U_{2-1}(p) = \frac{\frac{E_1 - U_{C1}(0)}{p} \cdot \frac{1}{R_1 + 1/pC_1} + \left[\frac{U_{C2}(0)}{p} - L_{21k}(0) \right] \frac{1}{pL_2 + 1/pC_2 + R_2} - \frac{I}{p}}{\frac{1}{R_1 + 1/pC_1} + \frac{1}{R_2} + \frac{1}{pL_2 + 1/pC_2 + R_2}}.$$

Согласно теореме об эквивалентных источниках любой активный операционный двухполюсник D со стороны его зажимов а-а можно представить одной из эквивалентных схем (рис.1.2,в,г). Здесь $E_s(p)$ – э.д.с. эквивалентного источника напряжения, равная напряжению холостого хода на зажимах а-а; $Z_s(p)$ – внутреннее сопротивление эквивалентного источника, равное сопротивлению между зажимами а-а при отключенной нагрузке $Z(p)$ и отсутствии источников энергии внутри D (все источники напряжения закорочены, а источники тока разомкнуты); $I_s(p) = E_s(p)/Z_s(p)$ – ток эквивалентного источника тока.

В качестве примера на использование этой теоремы найдем напряжение $U_{2-1}(p)$ в схеме (рис.1.2,б). Часть схемы левее зажимов а-а заменим эквивалентным источником напряжения. Параметры его определяются

$$E_s(p) = \frac{\frac{E_1 - U_{C1}(0)}{p} \cdot \frac{1}{R_1 + 1/pC_1} - \frac{I}{p}}{Y_3(p)}; \quad Y_3(p) = \frac{1}{Z_3(p)} = \frac{1}{R_1 + 1/pC_1} + \frac{1}{R_2}.$$

Теперь уже отыскание $U_{j-1}(p)$ не вызывает затруднений.

Анализ цепей с экспоненциальным изменением

Экспоненциальным называют сигнал вида

$$f(t) = B + D e^{-t/\theta}.$$

Здесь B и D — некоторые постоянные величины; θ — постоянная времени. Легко убедиться, что $B = f(\infty)$, $D = f(0) - f(\infty)$. Соответственно

$$f(t) = f(\infty) - [f(\infty) - f(0)] e^{-t/\theta}. \quad (1.1)$$

И если заведомо известно, что токи или напряжения в цепи изменяются экспоненциально, то выражения для них могут быть записаны сразу при знании начальных $f(0)$ и стационарных $f(\infty)$ значений и постоянной времени цепи θ .

Обозначим $A = |D|$. При $D < 0$ имеем случай экспоненциально возрастающего сигнала

$$f(t) = (B - A) + a(t), \quad a(t) = A(1 - e^{-t/\theta}).$$

Случаю $D > 0$ отвечает экспоненциально убывающий сигнал

$$f(t) = B + b(t), \quad b(t) = A e^{-t/\theta}.$$

Замечаем, что график произвольного экспоненциального сигнала получается из графиков $a(t)$ или $b(t)$ (рис. 1.3, а, б) путем смещения осн абсцисс.

Найдем длительности фронтов t_ϕ^+ и t_ϕ^- экспонент $a(t)$ и $b(t)$, измеряя их на уровнях 0-0,9 и 1-0,1 соответственно. Согласно (1.1) промежуток времени $t_2 - t_1$, в течение которого $f(t)$ изменяется от значения $f(t_1)$ до уровня $f(t_2)$, равен

$$t_2 - t_1 = \theta \ln \frac{f(\infty) - f(t_1)}{f(\infty) - f(t_2)}.$$

В частности, при $t_1 = 0$, $t_2 = \tau$ имеем

$$\tau = \theta \ln \frac{f(\infty) - f(0)}{f(\infty) - f(\tau)}. \quad (1.2)$$

Отсюда для рассматриваемого случая получим

$$t_\phi^+ = t_\phi^- = \theta \ln 10 \approx 2,3\theta.$$

Проведем касательные к кривым $a(t)$ и $b(t)$ при $t = 0$. На рис. 1.3, а, б они обозначены как $c(t)$ и $d(t)$. Заметим, что $c(0) = A$, $d(0) = 0$, а скорости изменения сигналов $a(t)$ и $b(t)$ падают с ростом времени.

Теперь вполне очевиден метод приближенного построения графиков $a(t)$ и $b(t)$ по известным A , θ .

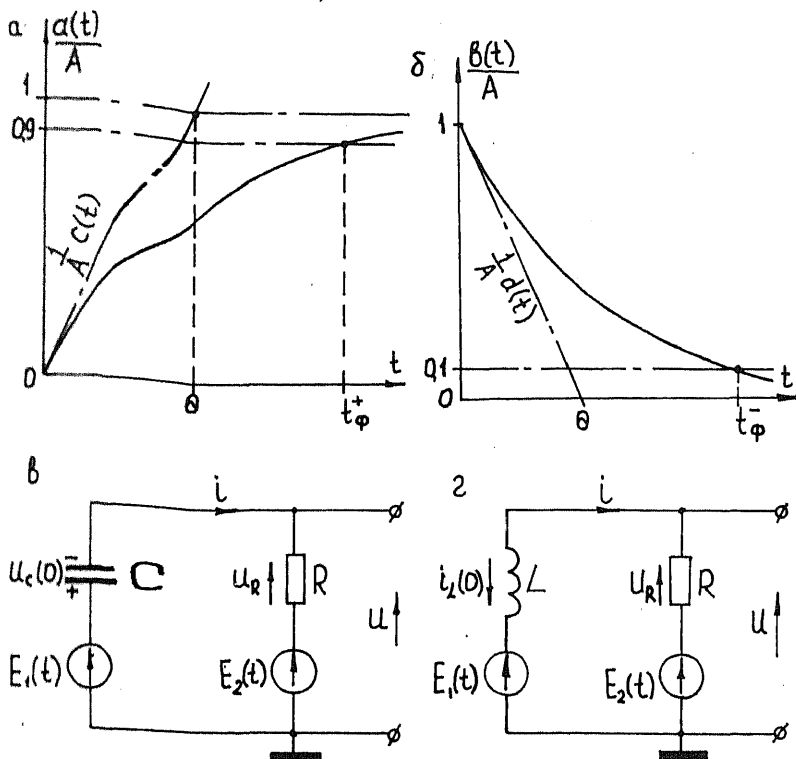


Рис. 1.3

Определим вид цепей с экспоненциальным изменением. Экспоненциальный сигнал является решением следующего дифференциального уравнения

$$\theta f'(t) + f(t) = B.$$

Ему удовлетворяют токи и напряжения в схемах (рис.1.3, в, г). Для первой из них $\theta=RC$, для другой $\theta=L/R$. Иные контуры с экспоненциальным изменением не известны. Отсюда следует, что процессы на выходе (активная нагрузка) анализируемой схемы экспоненциальны в том и только в том случае, если ее можно привести к одному из рассмотренных контуров. Для этого исходная цепь, во-первых, должна содержать обычно лишь реактивности

одного вида, во-вторых, все внешние токи и э.д.с. в ней при $t > 0$ не должны изменяться и, в-третьих, после исключения всех источников энергии цепь должна допускать сведение ее к пассивному RC или RL контуру, из которого по известным R, C и L можно сразу определить постоянную времени.

§1.2. ИМПУЛЬСНЫЕ ПРОЦЕССЫ В ЛИНЕЙНЫХ ЦЕПЯХ

Простейшие цепи

Главная особенность импульсных процессов заключается в том, что в общем случае за счет накопления энергии в реактивностях сигнал на выходе цепи определяется ее реакцией не на одиночный импульс, а на последовательность импульсов и зависит от скважности. Поэтому знания переходных процессов еще недостаточно для полного анализа импульсных процессов в схеме. Однако при выполнении определенных условий можно ограничиться рассмотрением реакции цепи на воздействие одиночного импульса. Покажем это на примере двухэлементных RC и RL цепей. По условию на входе цепи действует источник прямоугольных импульсов напряжения или тока с параметрами E_1 (I_1) – амплитуда, $t_{им}$ – длительность, T – период следования импульсов. Это эквивалентно наличию в схеме ключа K_1 (рис.1.4, а, б). Во время действия импульса ключ находится в положении 1, а в промежутке между импульсами – в положении 2. Период коммутации ключа равен T .

Рассмотрим емкостную цепь (рис.1.4, а). Пусть в исходном состоянии емкость C полностью разряжена (ключ K_1 – в положении 2).

Тогда, начиная с момента замыкания ключа K_1 , происходит заряд емкости

$$U_C(t) = E_1(1 - e^{-t/\theta}), \quad \theta = RC.$$

Напряжение на выходе цепи

$$U_2(t) = E_1 e^{-t/\theta}$$

при $t_{им} > 2,3\theta$ (случай укорачивающей цепи) имеет вид экспоненциально спадающего импульса (рис.1.4, в) амплитудой E_1 и длительностью $t_{м2} = 2,3\theta < t_{им}$. В промежутке между импульсами (ключ K_1 – в положении 2) происходит разряд энергии, накопленной в электрическом поле конденсатора. При этом на сопротивлении R

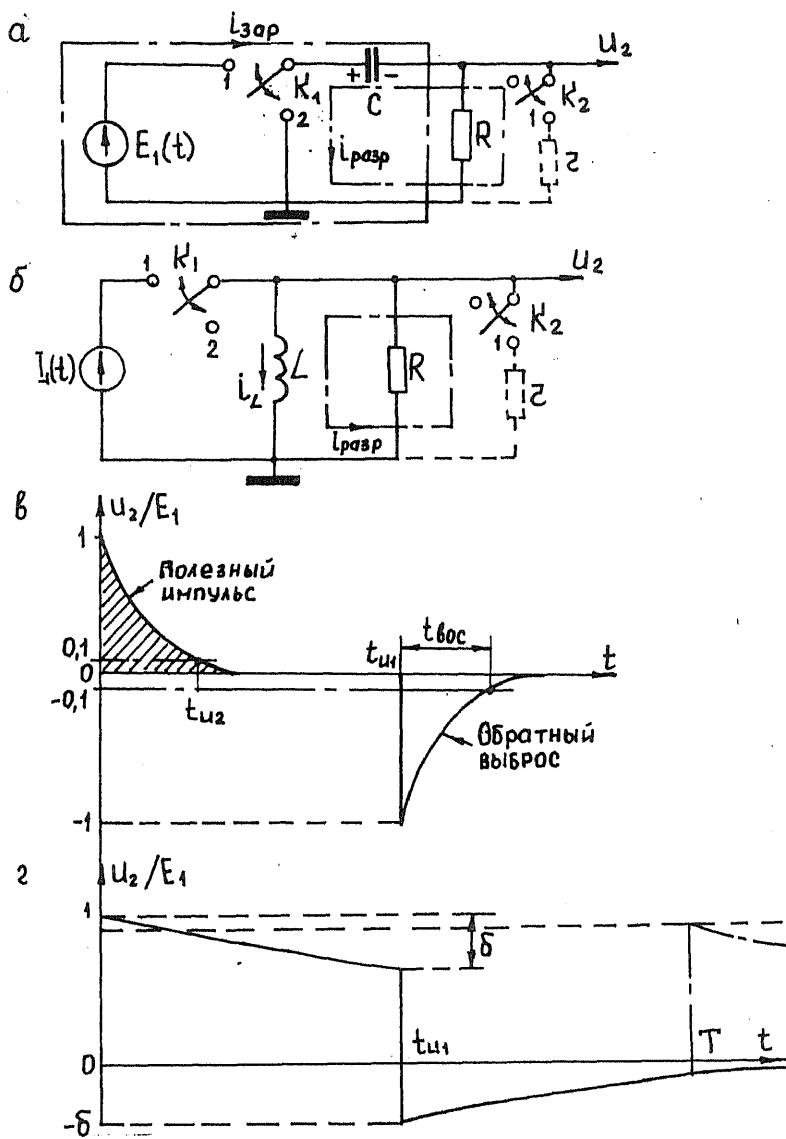


Рис. 1.4

выделяется аналогичный первому импульс напряжения, но обратной полярности (отрицательный выброс), что непосредственно вытекает и

из принципа наложения. Время, необходимое для разряда емкости, является здесь временем восстановления исходного состояния схемы. В данном случае $t_{\text{вос}} = t_{\text{н2}} = 2,3\theta$. Наличие времени восстановления является характерной особенностью всех схем, использующих накопители энергии.

Если $t_{\text{н1}} < 2,3\theta$ (случай разделительной цепи), то за время действия входного импульса емкость заряжается не полностью

$$U_C(t_{\text{н1}}) = \delta E_i = E_i(1 - e^{-t_{\text{н1}}/\theta}) < E_i.$$

Величина δ характеризует спад вершины импульса и амплитуду отрицательного выброса на выходе (рис.1.4,г). Она уменьшается с ростом θ . Однако одновременно с этим увеличивается $t_{\text{вос}}$. Посмотрим, что произойдет, если следующий импульс поступит до окончания полного разряда емкости.

Обозначим через ξ_i отнесенное к E_i напряжение, до которого заряжается емкость по окончании i -го импульса на входе; ε_i — относительное напряжение на емкости по окончании i -го периода; $\{\xi_i\}$ и $\{\varepsilon_i\}$ — бесконечные последовательности чисел $\xi_0, \xi_1, \xi_2, \dots$ и $\varepsilon_0, \varepsilon_1, \varepsilon_2, \dots$. По условию в исходном состоянии емкость разряжена, т.е. $\xi_0 = 0$ и $\varepsilon_0 = 0$. Из физических соображений ясно, что $|\xi_i| < 1$, $|\varepsilon_i| < 1$, т.е. выделенные последовательности в совокупности ограничены. Анализируя процессы заряда-разряда емкости, приходим к выводу, что

$$\xi_{i+1} - \xi_i = \xi_i e^{-T/\theta}; \quad \varepsilon_{i+1} - \varepsilon_i = \varepsilon_i e^{-T/\theta}.$$

Следовательно,

$$\lim_{i \rightarrow \infty} |\xi_{i+1} - \xi_i| = 0; \quad \lim_{i \rightarrow \infty} |\varepsilon_{i+1} - \varepsilon_i| = 0.$$

Но тогда в силу известного признака Коши последовательности $\{\xi_i\}$ и $\{\varepsilon_i\}$ сходятся к некоторым пределам ξ и ε соответственно.

Таким образом, в рассматриваемой цепи при воздействии на ее входе регулярной импульсной последовательности должен установиться стационарный режим, характеризуемый тем, что напряжения на емкости в моменты поступления (окончания) каждого очередного импульса оказываются одинаковыми.

Определим величины ξ и ε . Вполне очевидно, что

$$\xi = 1 - (1 - \varepsilon)e^{-t_{\text{н1}}/\theta}; \quad \varepsilon = \xi e^{-(T - t_{\text{н1}})/\theta}.$$

Подставляя одно в другое, получим

$$\xi = \frac{1 - e^{-t_{\text{нл}}/\theta}}{1 - e^{-T/\theta}}; \quad \varepsilon = \frac{e^{t_{\text{нл}}/\theta} - 1}{e^{T/\theta} - 1}.$$

После разложения экспонент в ряд Маклорена $e^x = 1 + x + \dots$ имеем

$$\xi \approx \varepsilon \approx \frac{t_{\text{нл}}}{T} = \frac{1}{N}, \quad T \ll \theta.$$

Следовательно, при $\theta \gg T$ в стационарном режиме на емкости создается примерно постоянное напряжение $E_g \approx E_i/N$. Его называют напряжением динамического смещения, ибо на величину E_g происходит смещение картины импульсов на выходе: $U_2(t) \approx U_1(t) - E_g$. Величина смещения тем больше, чем меньше скважность. Поскольку динамическое смещение возникает при чрезмерно больших θ , то его устранению может помочь коммутация нагрузки с помощью ключа K_2 (рис.1.4,а,пунктир) в момент $t = t_{\text{нл}}$. Такая коммутация происходит, например, при шунтировании нагрузки цепочкой из последовательного соединения диода и сопротивления. Время восстановления в этом случае уменьшается. Амплитуда отрицательного выброса неизменна при любом θ .

Аналогичное рассмотрение может быть проведено и для цепи с индуктивностью (рис.1.4,б). Если обозначить $E_i = RI_i$, $\theta = L/R$, то картина импульсов на выходе отвечает рис.1.4,в,г. Если $t_{\text{нл}} > 2,3\theta$, то по окончании импульса на входе ток в индуктивности $i_L(t_{\text{нл}}) = I_i$. В процессе разряда энергии, накопленной в индуктивности, на выходе формируется отрицательный выброс, аналогичный полезному импульсу. Время восстановления $t_{\text{вос}} = 2,3\theta$. В случае $\theta \gg T$ подобно предыдущему в индуктивности поддерживается примерно постоянный ток $i_g \approx I_i/N$, который обуславливает появление динамического смещения импульсов на выходе $E_g = RI_i/N$. Коммутация нагрузки с помощью ключа K_2 уменьшает в данном случае только амплитуду отрицательного выброса. Время же восстановления увеличивается за счет роста постоянной времени. Характерно, что для рассмотренной индуктивной цепи в стационарном режиме площади полезного импульса и отрицательного выброса всегда равны, даже при наличии коммутации нагрузки.

Влияние неучтенных параметров

Реальные цепи содержат неучтенные ранее так называемые паразитные параметры – источника, нагрузки и самих реактивных элементов. Это внутреннее сопротивление источника, емкость нагрузки, распределенные емкости катушек индуктивности и т.д. В данном разделе показывается влияние некоторых из указанных параметров на поведение простейших цепей при импульсных воздействиях.

Емкостная цепь. Из предыдущего рассмотрения следует, что RC цепь может быть использована в качестве разделительной цепи для неискаженной передачи импульсов от источника в нагрузку, если постоянная времени цепи во много раз превышает длительность импульса. Установка разделительной емкости оказывается необходимой в случае, когда непосредственная или же потенциометрическая связь между источником и нагрузкой недопустима. Например, когда импульсы в нагрузке должны действовать с иного потенциального уровня, чем в источнике. Та же самая цепь может быть использована и для изменения длительности импульсов. Так, при $t_{н1} > 2,3\theta$ имеем на выходе остроконечный импульс постоянной амплитуды $E_2 = E_1$ длительностью $t_{н2} = 2,3\theta < t_{н1}$ (случай укорочения). В любом случае, если выходным сигналом считать напряжение на емкости, то $t_{н2}$ превышает $t_{н1}$ на время разряда емкости $t_{н2} = t_{н1} + 2,3\theta$ (расширяющая цепь). Амплитуда импульса на выходе $E_2 = \delta E_1$ зависит здесь от отношения $t_{н1}/\theta$.

Рассмотрим близкий к реальному случай укорачивающей цепи (рис.1.5,а), где R_i – внутренне сопротивление источника, C_n – паразитная емкость нагрузки. По условию емкости C и C_n первоначально полностью разряжены. На этапе воздействия входного импульса (ключ K_1 – в положении 1) получаем

$$U_2(p) = \frac{A}{\theta_2} \cdot \frac{1}{(p+a)(p+v)}. \quad (1.3)$$

Здесь

$$A = \frac{E_1}{1 + \gamma_1 + \gamma_2}; \quad \theta_2 = \frac{C_n R_i}{1 + \gamma_1 + \gamma_2}; \quad \theta_1 = CR(1 + \gamma_1 + \gamma_2),$$

и при $\gamma_1 = \frac{R_i}{R} \leq 0,5$; $\gamma_2 = \frac{C_n}{C} \leq 0,5$ с точностью не хуже 7,5%

$$a = \frac{1}{\theta_1}; \quad b = \frac{1}{\theta_2}. \quad (1.4)$$

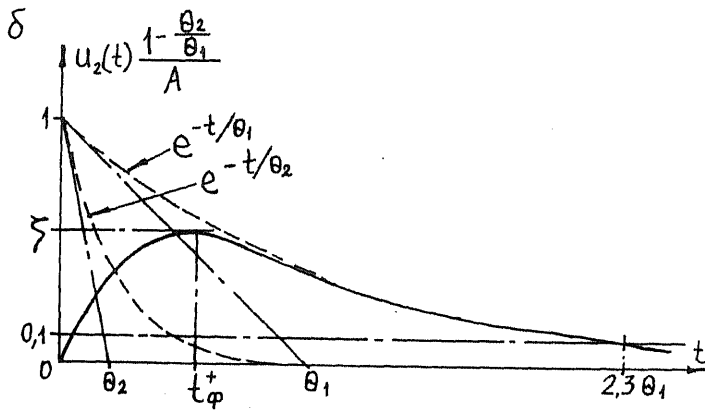
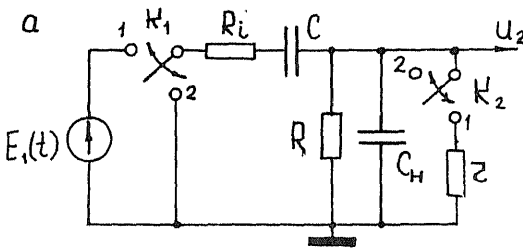


Рис. 1.5

Соответственно (табл.1.1)

$$U_2(t) = \frac{A}{1 - \frac{\theta_2}{\theta_1}} (e^{-t/\theta_1} - e^{-t/\theta_2}). \quad (1.5)$$

Параметры сигнала на выходе (рис.1.5, б) определяются:

$$t_{\varphi}^* = \frac{\ln \frac{\theta_1}{\theta_2}}{\frac{1}{\theta_2} - \frac{1}{\theta_1}}; \quad E_2 = A e^{-t_{\varphi}^*/\theta_1}; \quad t_{w2} \approx 2.3 \theta_1. \quad (1.6)$$

Результаты просчета по этим формулам для случая $\gamma_1 = \gamma_2 = \gamma$ и разных γ приведены в табл.1.2, где $\theta = RC$. На основании данных таблицы заключаем, что увеличение паразитных параметров (рост γ) приводит

к уменьшению амплитуды выходного сигнала, увеличению его длительности и затягиванию положительного фронта при тех же θ , E_1 . Результат получается достаточно удовлетворительным, если $\gamma \leq 0,2$. При $\gamma_1 \neq \gamma_2$ данные таблицы должны давать правильную качественную картину, если взять $\gamma = \max(\gamma_1, \gamma_2)$.

Таблица 1.2

γ	E_2/E_1	t_{Φ}^+/θ	t_{n2}/θ
0,5	0,416	0,37	4,6
0,33	0,525	0,223	3,83
0,25	0,604	0,155	3,45
0,2	0,655	0,113	3,22
0,1	0,805	0,042	2,76

В рассмотренном случае коммутация нагрузки в момент $t = t_{n1}$ с помощью ключа K_2 оказывает влияние не только на время восстановления исходного состояния схемы, но и на амплитуду обратного выброса. В силу принципа наложения на этапе восстановления должны быть справедливы формулы (1.5), (1.6) и табл.1.2, если заменить в них E_2 на $E_{\text{выбр}}$ и t_{n2} на $t_{\text{вос}}$. За счет уменьшения R здесь происходит увеличение $\gamma = \max(\gamma_1, \gamma_2)$ и во столько же раз – снижение θ . В итоге оказывается, что $E_{\text{выбр}} < E_2$ и $t_{\text{вос}} < t_{n2}$.

Цепь с индуктивностью. Учет влияние паразитной емкости нагрузки на поведение рассмотренной ранее простейшей цепи (рис.1.4,б). При этом имеем цепь рис. 1.6,а с параллельным колебательным контуром, которая интересна и сама по себе. Обозначим:

$$\frac{L}{R} = \theta_1; \quad RC = \theta_2; \quad I_1 R = A; \quad \frac{1}{2} \cdot \frac{\rho}{R} = \alpha,$$

$\sqrt{L/C} = \rho$ – волновое сопротивление; $\frac{1}{\sqrt{LC}} = \omega_0$ – частота собственных колебаний контура. При нулевых начальных условиях на этапе формирования полезного импульса на выходе получаем выражение

$$U_2(p) = \frac{A}{\theta_2} \cdot \frac{1}{(p + a)(p + v)},$$

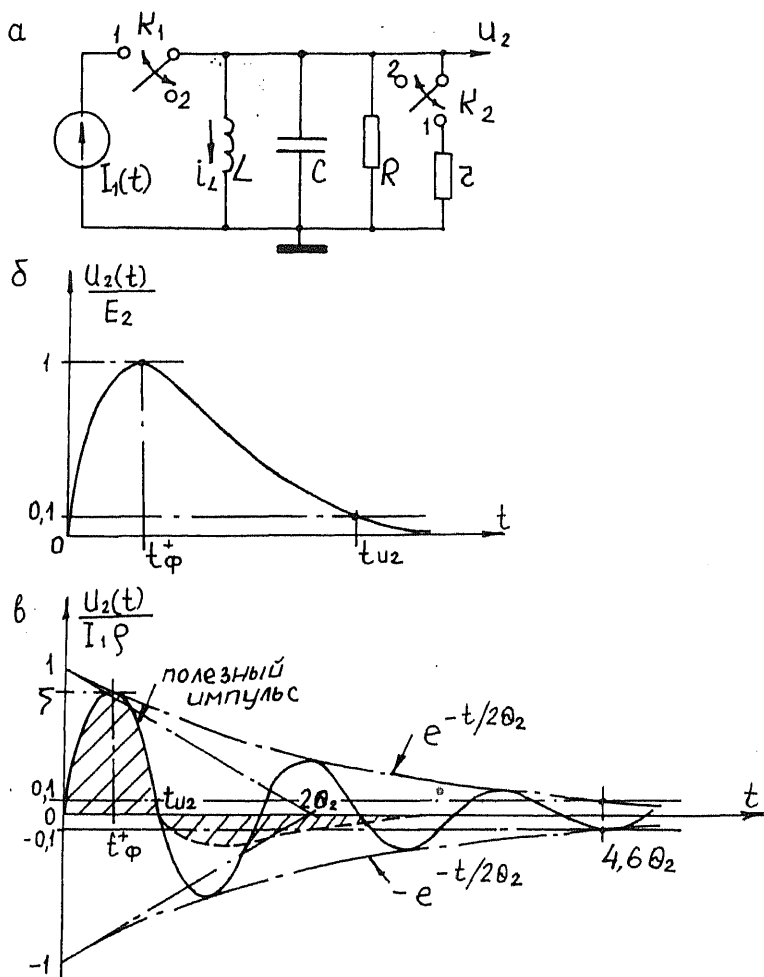


Рис. 1.6

которое не отличается от формулы (1.3). Если $R \leq 0,5r$, режим в контуре аperiodический (рис.1.6,б). При $R \leq 0,25r$ сигнал на выходе определен формулами (1.4), (1.5), (1.6). Согласно им при данных I_1, L и C с уменьшением сопротивления R , шунтирующего контур,

происходит снижение амплитуды импульса на выходе и увеличение его длительности. Для критического режима $R = 0,5\rho$; $a = v = \frac{1}{2\theta_2}$ и

$$U_1(t) = \frac{A}{\theta_2} t e^{-1/2\theta_2 t}.$$

Параметры импульса на выходе в этом случае

$$t_{\phi}^* = \sqrt{LC}; \quad E_1 = 0,37 I_1 \rho; \quad t_{u2} = 4,9 \sqrt{LC}. \quad (1.7)$$

Режим в контуре становится колебательным, когда $R > 0,5 \rho$. При этом $a = \frac{1}{2\theta_2} - j\omega_1$; $v = \frac{1}{2\theta_2} + j\omega_1$ и

$$U_2(t) = \frac{\rho I_1}{\sqrt{1-\alpha^2}} e^{-1/2\theta_2 t} \sin \omega_1 t, \quad \omega_1 = \omega_0 \sqrt{1-\alpha^2}.$$

На выходе имеем синусоидальный сигнал, амплитуда которого убывает со временем по экспоненте $e^{-1/2\theta_2 t}$ (рис.1.6,в). За полезный импульс обычно принимают первую полуволну синусоиды. Тогда

$$t_{u2} = \frac{\pi}{\omega_1} = \frac{\pi \sqrt{LC}}{\sqrt{1-\alpha^2}}; \quad t_{\phi}^* = \frac{1}{\omega_1} \operatorname{arctg} \beta; \quad E_2 = I_1 \rho e^{-\frac{1}{\beta} \operatorname{arctg} \beta}, \quad (1.8)$$

где $\beta = \sqrt{1-\alpha^2}/\alpha$. Если параметры контура и источника заданы, то при переходе от апериодического к колебательному режиму по мере роста R происходит увеличение амплитуды и уменьшение длительности импульса на выходе. В пределе при $R \rightarrow \infty$ получаем $E_2 = \rho I_1$, $t_{u2} = \pi \sqrt{LC}$, $t_{\phi}^* = 0,5 t_{u2}$.

От колебаний, которые возникают по окончании полезного импульса, можно избавиться путем коммутации в момент $t = t_{u2}$ сопротивления нагрузки с помощью ключа K_2 (рис.1.6,а). Легко показать, что для "сильно" колебательного режима поведение цепи, начиная с момента $t = t_{u2}$, можно рассматривать как реакцию при нулевых начальных условиях на перепад тока I_1 отрицательной полярности. Поэтому, если выбрать $(R \parallel r) < 0,5\rho$, то амплитуду и длительность обратного всплеска (рис.1.6,в,пунктир) можно определить по полученным ранее для апериодического режима формулам, подставляя в них $(R \parallel r)$ вместо R . Независимо от режима в контуре аналогичная коммутация имеет место и по окончании входного импульса. Как правило, переходный процесс в контуре, вызванный начальным входным перепадом, к этому моменту уже

завершен, и параметры обратного выброса определяются рассмотренным способом.

Обычно на практике бывают заданы величины I_1, E_2, t_{a2}, R . Тогда выбор режима в контуре полностью определяется значением E_2 . Если $E_2 < 0,74RI_1$, то режим обязательно колебательный; при $E_2 \geq 0,74RI_1$ – аperiodический (конечно, всегда $E_2 < RI_1$). При заданных I_1, t_{a2}, R в аperiodическом режиме достигается максимальное значение E_2 (или минимально необходимое I_1 при данных E_2, t_{a2}, R). Энергетически наименее выгоден колебательный режим. Однако его использование может быть продиктовано требуемой формой импульса на выходе или же некоторыми удобствами в реализации цепи.

Импульсный трансформатор

Две магнитосвязанные катушки индуктивности при сравнительно большой величине индуктивности (первичной обмотки) L_1 и близком к единице значении коэффициента связи $k = M/\sqrt{L_1 L_2}$, где M – взаимоиндуктивность, образуют импульсный трансформатор (рис.1.7,а). Обычно катушки намотаны на общий ферромагнитный сердечник. Иногда применяют несколько вторичных обмоток. Но этот случай не обладает принципиальными особенностями и нами не рассматривается.

Любой несимметричный четырехполюсник может быть представлен эквивалентной операционной схемой с идеальным трансформатором (рис.1.7,в) [8,10]. Независимо от вида источника и нагрузки токи и напряжения на зажимах идеального трансформатора связаны соотношением

$$\frac{U_{\text{вых}}(p)}{U_{\text{вх}}(p)} = \frac{I_{\text{вх}}(p)}{I_{\text{вых}}(p)} = n. \quad (1.9)$$

Здесь n – коэффициент трансформации. Это постоянная величина, положительная или отрицательная.

Параметры интересующего нас эквивалента импульсного трансформатора можно установить, сопоставляя его с другим известным эквивалентом [8] исходной схемы (рис.1.7,б):

$$Z_1(p) = p[L_1(1 - k^2)] = pL_p; \quad Z_2(p) = p[L_1 k^2] = pL_\mu; \quad n = \frac{1}{k} \sqrt{\frac{L_2}{L_1}}.$$

Принято называть: L_p – индуктивность рассеивания; L_μ – индуктивность намагничивания трансформатора. Обычно на практике

$|k| = 0,99 - 0,999$. Поэтому с достаточной точностью $L_n = L_1$; $|n| = \sqrt{L_2/L_1}$;
 $L_p = (0,002 - 0,02)L_1$.

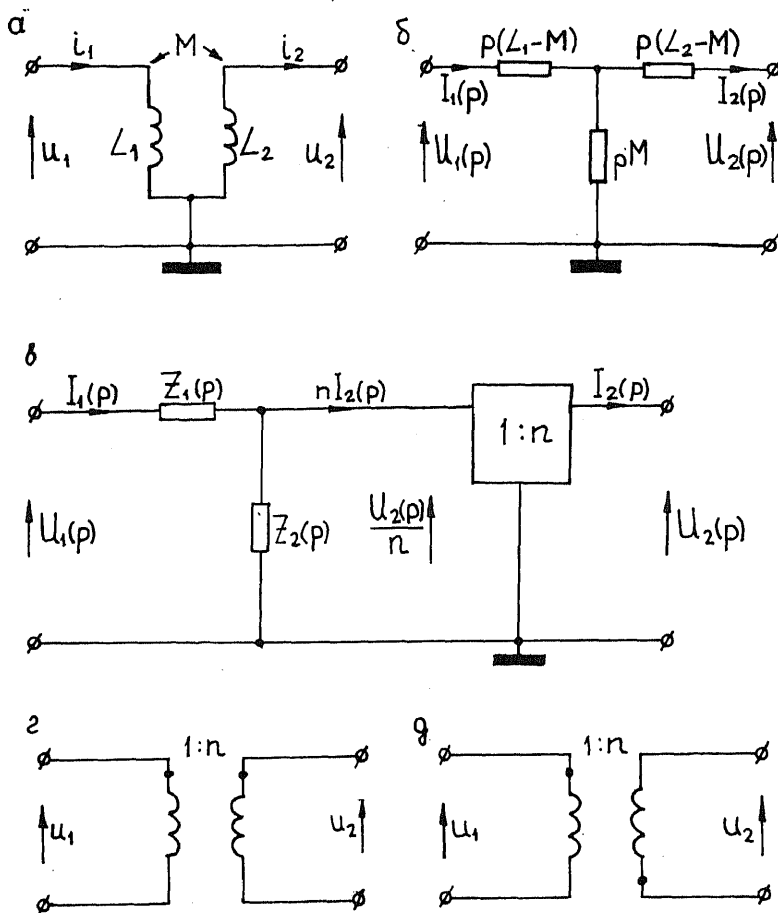


Рис. 1.7

Импульсный трансформатор проектируют таким образом, чтобы делитель $Z_1 - Z_2$ давал приемлемые искажения входного сигнала. Поэтому передающие свойства рассматриваемой схемы определены, в основном, свойствами идеального трансформатора. Из соотношения (1.9) следует:

1. Сигналы на входе и выходе идеального трансформатора совпадают по форме при возможном изменении масштаба и полярности. В последнем случае принято говорить об инвертировании входного сигнала. Схемные обозначения реального трансформатора при $n > 0$ и $n < 0$ показаны на рис.1.7, г, д.

2. Потери мощности внутри идеального трансформатора отсутствуют.

3. Структура его входного сопротивления аналогична сопротивлению нагрузки. Только все емкости пересчитываются во входную цепь увеличенными в n^2 раз, а все сопротивления и индуктивности – уменьшенными во столько же раз.

4. Если сопротивление нагрузки $Z_n = R_n$ и внутреннее сопротивление источника $Z_i = R_i$ чисто активны, то амплитуды импульсов на входе и выходе идеального трансформатора связаны соотношением: $E_i = E_n \left(\frac{1}{n} + \frac{R_i}{R_n} n \right)$. При заданных E_i, R_i, R_n величина E_n максимальна, если

$$n = n_{\text{опт}} = \sqrt{R_n / R_i}.$$

Это случай согласования источника и нагрузки. Тогда $E_n = E_{\text{макс}} = 0,5 E_i n_{\text{опт}}$.

5. При заданных E_i, R_n, R_i потребление мощности от источника падает по мере уменьшения n за счет снижения потерь на R_i .

6. Перечисленные свойства дают достаточно полное представление о применениях импульсного трансформатора. Из-за отсутствия связи по постоянному току между входом и выходом в нем достигается дополнительно разделение исходных потенциальных уровней источника и нагрузки.

В эквивалентной схеме замещения реального трансформатора необходимо учесть дополнительно распределенные емкости между обмотками и другие паразитные емкости трансформатора [14]. Это делается обычно включением сосредоточенной емкости C_0 параллельно с элементом Z_2 . В итоге для цепи передачи импульсов от источника в нагрузку с помощью импульсного трансформатора имеем достаточно полную, приведенную к первичной обмотке, эквивалентную схему (рис.1.8,а). Здесь $R = R_n / n^2$, $u_2 = u_n / n$.

Будем считать, что значение L_1 настолько велико, а длительность положительного фронта импульса на выходе t_d^* настолько мала, что

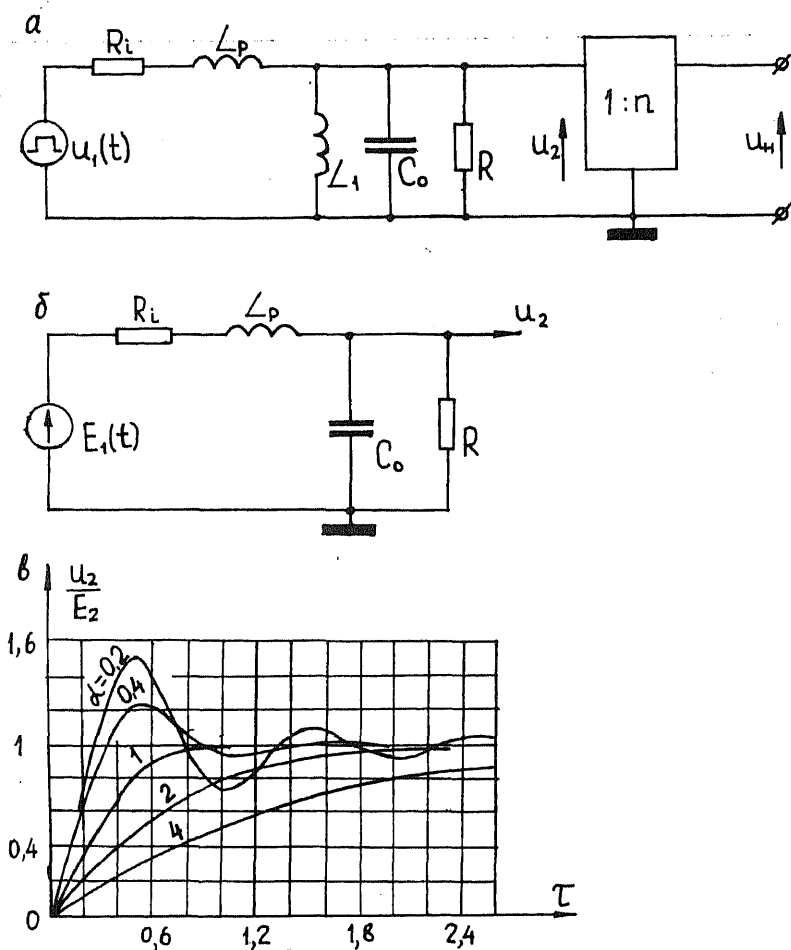


Рис. 1.8

ток в индуктивности намагничивания за время t_{ϕ}^* изменяется незначительно. Тогда в этом промежутке ветвь с индуктивностью L_1 в схеме (рис.1.8,а) практически разомкнута, и эквивалентная схема упрощается (рис.1.8,б). Напряжение на выходе схемы образуется наложением на постоянную составляющую (амплитуду импульса)

$$E_2 = E_1 / \left(1 + \frac{R_i}{R} \right) \text{ аperiodического или колебательного процессов в}$$

зависимости от величины $\alpha = 0,5 \left(\frac{\rho}{R} - \frac{R_1}{\rho} \right)$, где $\rho = \sqrt{L_p/C_0}$. При $\alpha \geq 1$ режим апериодический, если $\alpha < 1$ - режим колебательный [15].

На рис.1.8, в представлены кривые нарастания импульса на выходе для различных значений α . Здесь $\tau = t / (2\pi\sqrt{\beta L_p C_0})$, $\beta = 1 / \left(1 + \frac{R_1}{R} \right)$.

Из приведенных графиков видно, что длительность положительного фронта падает с уменьшением α . Расчеты дают [15]:

$$t_{\Phi}^* = \begin{cases} 3,35 \sqrt{\beta L_p C_0}, & \alpha = 1; \\ 2,2 \sqrt{\beta L_p C_0}, & \alpha = 0,7; \\ 1,7 \sqrt{\beta L_p C_0}, & \alpha = 0,4. \end{cases} \quad (1.10)$$

Наилучшим можно считать случай $\alpha = 0,7$, ибо здесь получаем приемлемое значение выброса $h^* = 0,04$ при сравнительно малом t_{Φ}^* . Для любых α и β t_{Φ}^* падает с уменьшением произведения $L_p C_0$.

На этапе формирования вершины импульса на выходе и при восстановлении исходного состояния схемы по окончании входного сигнала скорости изменения токов и напряжений в ней незначительны по сравнению с этапом формирования фронта. Поэтому на рассматриваемых стадиях наличием элементов L_p, C_0 в схеме (рис.1.8, а) можно пренебречь, и эквивалентная схема сводится к цепи (рис.1.9, а). Применяя к ней теорему об эквивалентном источнике, получаем схему (рис.1.9, б), которая не отличается от рассмотренной ранее (рис.1.4, б). Соответственно напряжение $u_2(t)$ изменяется так, как показано на рис.1.4, г. Только вместо E_1 следует подставить $E_1 = I_1 R_1 = E_2$. Остается справедливой и формула для спада вершины δ с подстановкой в нее $\theta = L_1 / (R_1 \parallel R)$. Требуемая величина L_1 определяется допустимым значением δ . Сохраняют силу и замечания в отношении динамического смещения.

Будем считать длительность отрицательного фронта настолько малой, что за время его формирования ток в индуктивности L_1 не успеет существенно измениться. Тогда на этапе формирования отрицательного фронта имеем эквивалентную схему (рис.1.9, в). Ветвь с индуктивностью L_1 заменена здесь источником тока $I = i_{L_1}(t_{ul}) = \delta E_1 / R_1$. Начальные условия таковы:

$$i_L(0) = I + E_2(1 - \delta) / R; \quad u_C(0) = E_2(1 - \delta).$$

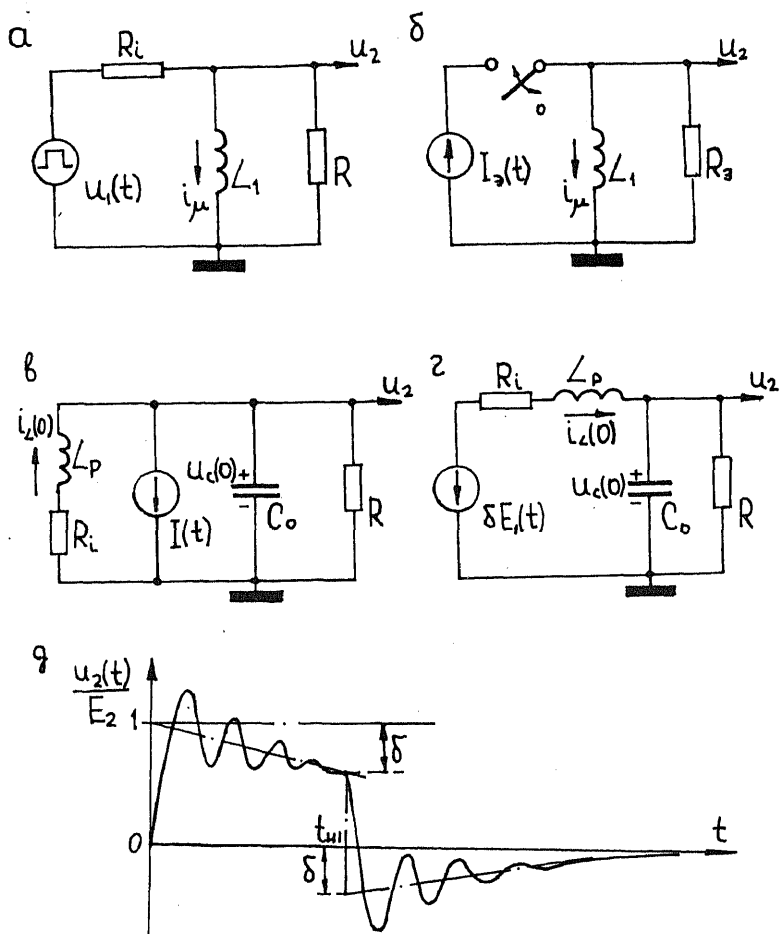


Рис. 1.9

Перейдем к эквивалентной операционной схеме. Преобразуем ее и вновь возвратимся во временную область. В итоге получим схему (рис.1.9,г), где

$$i_L(0) = E_2(1 - \delta)/R; \quad u_C(0) = E_2(1 - \delta).$$

В силу принципа наложения сигнал на выходе можно рассматривать здесь как алгебраическую сумму двух реакций: одной – при короткозамкнутом входе и начальных условиях:

$$i_L(0) = E_2/R; \quad u_C(0) = E_2, \quad (1.11)$$

и другой – на воздействие отрицательного перепада $-\delta E_1(t)$ при таких начальных условиях:

$$i_L(0) = -\delta E_2/R; \quad u_C(0) = -\delta E_2.$$

Нетрудно заметить тождественность схем на рис.1.9,г и рис.1.8,б, а также тот факт, что начальные условия (1.11) создаются в результате воздействия на схему перепада $E_1(t)$. Поэтому опять-таки в силу принципа наложения первая из рассматриваемых реакций оказывается равной $E_2 - u_2(t)$, где $u_2(t)$ – сигнал на выходе при формировании положительного фронта (рис.1.8,в). Вторая же реакция отвечает установившемуся режиму в схеме при наличии на ее входе сигнала $-\delta E_1(t)$. Следовательно, она только смещает первую реакцию вниз на величину δE_2 без изменения ее формы.

На рис.1.9,д представлена общая картина импульса на выходе, построенная на основании выполненного анализа, для случая $\alpha < 1$.

Длинные линии

В точных приложениях для дистанционной передачи импульсов от источника в нагрузку следует использовать неоднородные линии передачи, волновое сопротивление которых изменяется по длине линии по специальному закону, определяемому характером нагрузки [16]. Однако в большинстве практических случаев с достаточной точностью нагрузку можно полагать чисто активной и применять для целей передачи обычные радиотехнические кабели, приближенным аналогом которых являются однородные идеальные линии. Поэтому знание импульсных процессов в таких линиях необходимо для грамотной организации работы с измерительной аппаратурой и правильной стыковки импульсных устройств с помощью кабелей. Кроме того, при определенных условиях со стороны источника и нагрузки идеальная однородная линия оказывается точным элементом формирования или задержки импульсов. Знание этих условий полезно при решении задачи синтеза цепей формирования и задержки.

Импульсные процессы в однородной идеальной линии. Отдельные стороны этого вопроса довольно подробно рассмотрены в работах [8,14,17–19]. За модель однородной идеальной линии принята бесконечная цепная схема, в которой участок линии длиной dx заменен Γ -образным звеном с индуктивностью $L_0 dx$ в продольном

плече и емкостью $C_0 dx$ – в поперечном (рис.1.10,а). Здесь $L_0 = L/\ell$ и $C_0 = C/\ell$ – погонные (отнесенные к единице длины) индуктивность и емкость; L – индуктивность петли, образованной прямым и обратным проводами; C – суммарная емкость между проводами; ℓ – длина линии.

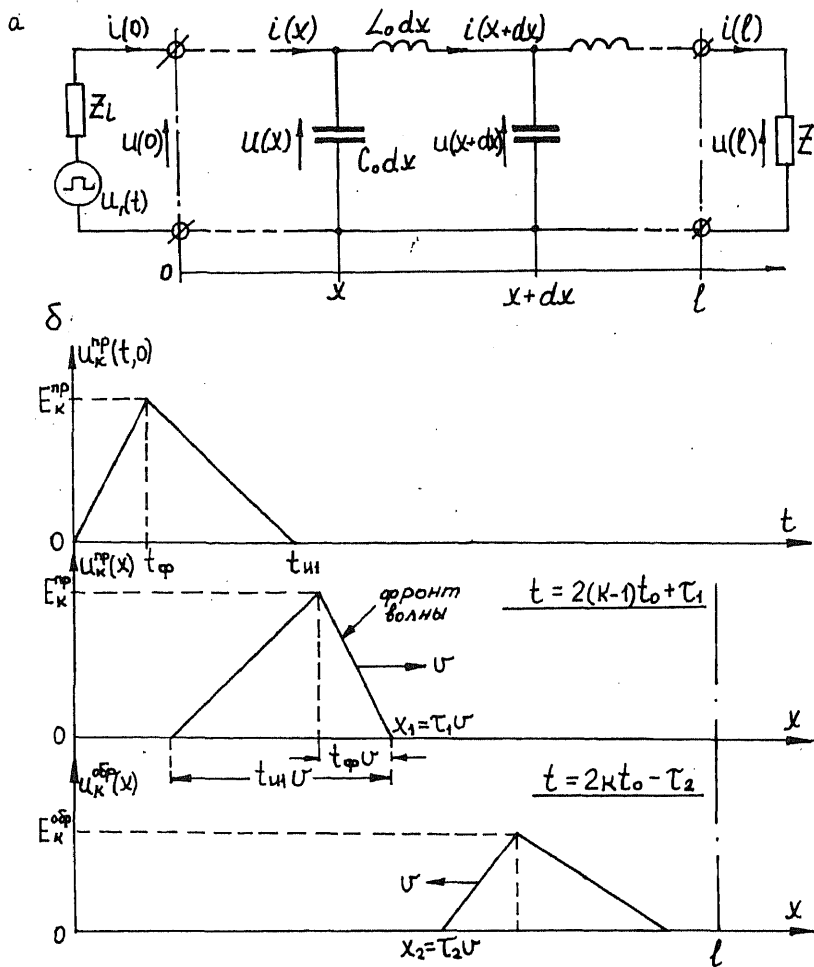


Рис. 1.10

Обозначим через $u(x), i(x)$ напряжение и ток в сечении линии, находящемся на расстоянии x от ее начала. Заметим, что их необходимо считать одновременно и функциями от t . Для участка длиной dx (рис. 1.10, а) имеем

$$u(x + dx) = u(x) - L_0 dx \frac{\partial i(x + dx)}{\partial t}; \quad i(x + dx) = i(x) - C_0 dx \frac{\partial u(x)}{\partial t}.$$

Устремляя dx к нулю, в пределе получаем

$$\frac{\partial u(x, t)}{\partial x} = -L_0 \frac{\partial i(x, t)}{\partial t}; \quad \frac{\partial i(x, t)}{\partial x} = -C_0 \frac{\partial u(x, t)}{\partial t}.$$

Перейдем к изображениям

$$\frac{\partial U(p, x)}{\partial x} = -p L_0 I(p, x); \quad \frac{\partial I(p, x)}{\partial x} = -p C_0 U(p, x).$$

Отсюда

$$\frac{\partial^2 U(p, x)}{\partial x^2} - p^2 L_0 C_0 U(p, x) = 0.$$

Решение этого дифференциального уравнения:

$$U(p, x) = F_1(p) e^{-sx} + F_2(p) e^{sx},$$

где $s = p \sqrt{L_0 C_0}$, а величины $F_1(p)$ и $F_2(p)$ должны быть найдены из условий в начале и в конце линии. Соответственно

$$I(p, x) = -\frac{1}{p L_0} \cdot \frac{\partial U(p, x)}{\partial x} = \sqrt{\frac{C_0}{L_0}} [F_1(p) e^{-sx} - F_2(p) e^{sx}].$$

Обозначив

$$v = \frac{1}{\sqrt{L_0 C_0}}; \quad \rho = \sqrt{\frac{L_0}{C_0}}; \quad \tau = \frac{x}{v},$$

получим

$$\left. \begin{aligned} U(p, \tau) &= F_1(p) e^{-p\tau} + F_2(p) e^{p\tau}; \\ I(p, \tau) &= [F_1(p) e^{-p\tau} - F_2(p) e^{p\tau}] \frac{1}{\rho}. \end{aligned} \right\} \quad (1.12)$$

Величины v, ρ и τ называют соответственно скоростью распространения фронта волны, волновым сопротивлением (сопротивлением для фронта волны) и временем распространения фронта волны по участку линии длиной x (электрической длиной отрезка x). Физический смысл этих и последующих названий станет ясным из дальнейшего.

Положим в уравнениях (1.12) $\tau = 0$ и $\tau = t_0$, где $t_0 = \ell/v$ — электрическая длина линии. Выразим $U(p, 0)$ и $U(p, t_0)$ согласно схеме

(рис.1.10,а). Решая получившуюся систему равенств, найдем $F_1(p)$ и $F_2(p)$. Подставив их в равенства (1.12), окончательно получим

$$\left. \begin{aligned} U(p, \tau) &= \frac{1}{\beta} U_1(p) \frac{e^{-p\tau} + M_1 M_2 e^{-p(2t_0 - \tau)}}{1 - M_1 M_2 e^{-2pt_0}}; \\ I(p, \tau) &= \frac{1}{\beta \rho} U_1(p) \frac{e^{-p\tau} - M_1 M_2 e^{-p(2t_0 - \tau)}}{1 - M_1 M_2 e^{-2pt_0}} \end{aligned} \right\} \quad (1.13)$$

где

$$\beta = 1 + \frac{Z_1(p)}{\rho}; \quad M_1 = \frac{Z_1(p) - \rho}{Z_1(p) + \rho}; \quad M_2 = \frac{Z(p) - \rho}{Z(p) + \rho}.$$

Величины M_1 и M_2 называют коэффициентами отражения от начала и конца линии.

По условию $Z_1 = R_1$ и $Z = R$. При этом M_1, M_2 — вещественны и по модулю не более единицы. Тогда дробь $1/(1 - M_1 M_2 e^{-2pt_0})$ можно рассматривать как сумму убывающей геометрической прогрессии со знаменателем $q = M_1 M_2 e^{-2pt_0}$ [18]:

$$\frac{1}{1 - M_1 M_2 e^{-2pt_0}} = \sum_{k=1}^{\infty} (M_1 M_2)^{k-1} e^{-p[2(k-1)t_0]}, \quad M_1 M_2 \neq 0.$$

Подстановка в соотношение (1.13) дает

$$\begin{aligned} U(p, \tau) &= \frac{U_1(p)}{\beta} \left\{ \sum_{k=1}^{\infty} (M_1 M_2)^{k-1} e^{-p[2(k-1)t_0 + \tau]} + M_2 \sum_{k=1}^{\infty} (M_1 M_2)^{k-1} e^{-p[2kt_0 - \tau]} \right\}, \\ I(p, \tau) &= \frac{U_1(p)}{\beta \rho} \left\{ \sum_{k=1}^{\infty} (M_1 M_2)^{k-1} e^{-p[2(k-1)t_0 + \tau]} - M_2 \sum_{k=1}^{\infty} (M_1 M_2)^{k-1} e^{-p[2kt_0 - \tau]} \right\}. \end{aligned}$$

Если $M_2 = 0$, то необходимо использовать (1.13).

Осуществим переход к оригиналам. Учитывая теорему запаздывания, имеем

$$u(t, \tau) = \sum_{k=1}^{\infty} u_k^{np} + \sum_{k=1}^{\infty} u_k^{op}, \quad i(t, \tau) = \sum_{k=1}^{\infty} i_k^{np} - \sum_{k=1}^{\infty} i_k^{op}. \quad (1.14)$$

Здесь

$$\begin{aligned} u_k^{np} &= \frac{1}{\beta} (M_1 M_2)^{k-1} u_1[t - (2(k-1)t_0 + \tau)]; \quad i_k^{np} = \frac{1}{\rho} u_k^{np}; \\ u_k^{op} &= \frac{1}{\beta} M_2 (M_1 M_2)^{k-1} u_1[t - (2kt_0 - \tau)]; \quad i_k^{op} = \frac{1}{\rho} u_k^{op}. \end{aligned}$$

Вид полученных решений позволяет дать очень удобную интерпретацию процессов в линии как результат наложения множества

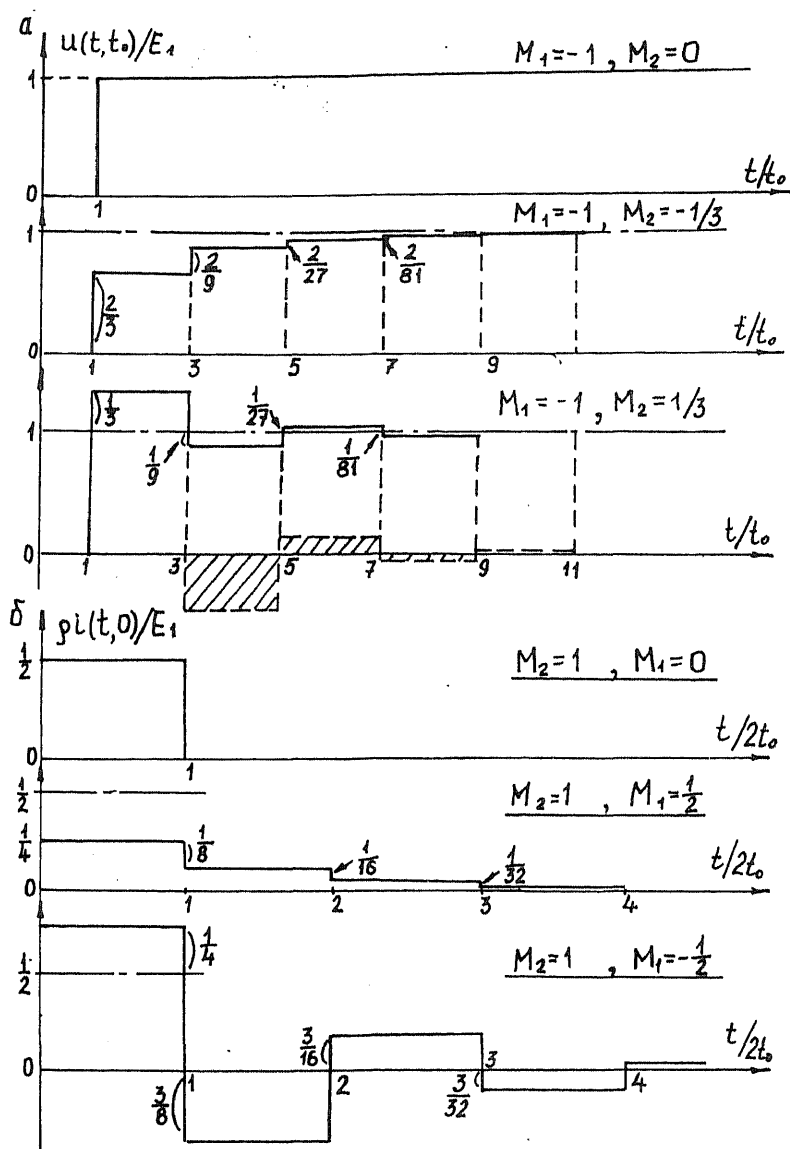


Рис. 1.11

волновых процессов, получающихся вследствие многократных отражений от конца и начала линий [8,19]. Тогда становятся правомерными принятые названия для $\tau, \nu, \rho, M_1, M_2$.

На рис.1.10,б показан пример распространения вдоль линии k -й пары волн (прямой и обратной). Если $R = \rho$ (случай согласования), то $M_2=0$ и

$$U(p, \tau) = \frac{1}{\beta} U_1(p) e^{-p\tau}; \quad I(p, \tau) = \frac{1}{\beta\rho} U_1(p) e^{-p\tau}.$$

Соответственно

$$u(t, \tau) = \frac{1}{\beta} u_1(t - \tau); \quad i(t, \tau) = \frac{1}{\beta\rho} u_1(t - \tau).$$

Сигнал в любом сечении линии повторяет здесь сигнал на входе с задержкой на время τ . В линии наблюдается лишь одна прямая волна. Отражения отсутствуют.

Согласно (1.14) изменение во времени сигнала в любом сечении линии происходит скачкообразно. Моменты появления скачков совпадают с началом прохождения через рассматриваемое сечение очередной прямой или обратной волны. Скачки, обязанные одноименным волнам, следуют через одинаковые промежутки, равные времени двойного побега волны вдоль линии. На рис.1.11,а показаны графики напряжения в конце линии для разных M_2 и $M_1 = -1$ ($R_1 = 0$) при воздействии на входе перепада $E_1(t)$. В случае $M_2=0$ имеем точную задержку входного сигнала на время t_0 . Если же $M_2 \neq 0$, то сигнал на выходе получается искаженным. Степень искажений растет по мере приближения $|M_2|$ к единице. Переходные процессы в начале разомкнутой на конце линии представлены на рис.1.11,б. При $M_1=0$ на R_1 получаем идеально прямоугольный импульс напряжения амплитудой $E_2=0,5E_1$ и длительностью $t_{из2}=2t_0$. Степень искажений сформированного импульса растет при $|M_1| \rightarrow 1$. Та же самая картина наблюдается и для напряжения на входе короткозамкнутой на конце линии ($M_2 = -1$), если знаки M_1 и M_2 на рис.1.11,б сменить на обратные.

Замечания по использованию радиотехнических кабелей. Радиотехнические коаксиальные кабели в первом приближении могут рассматриваться как однородные идеальные линии с параметрами ρ, t_0 . Главное внимание при использовании кабелей следует уделять вопросу их согласования с нагрузкой. Три основные схемы их включения

показаны на рис.1.12. Первая схема осуществляет неискаженную передачу (точную задержку) входного сигнала. Две других представляют возможные варианты схем формирования.

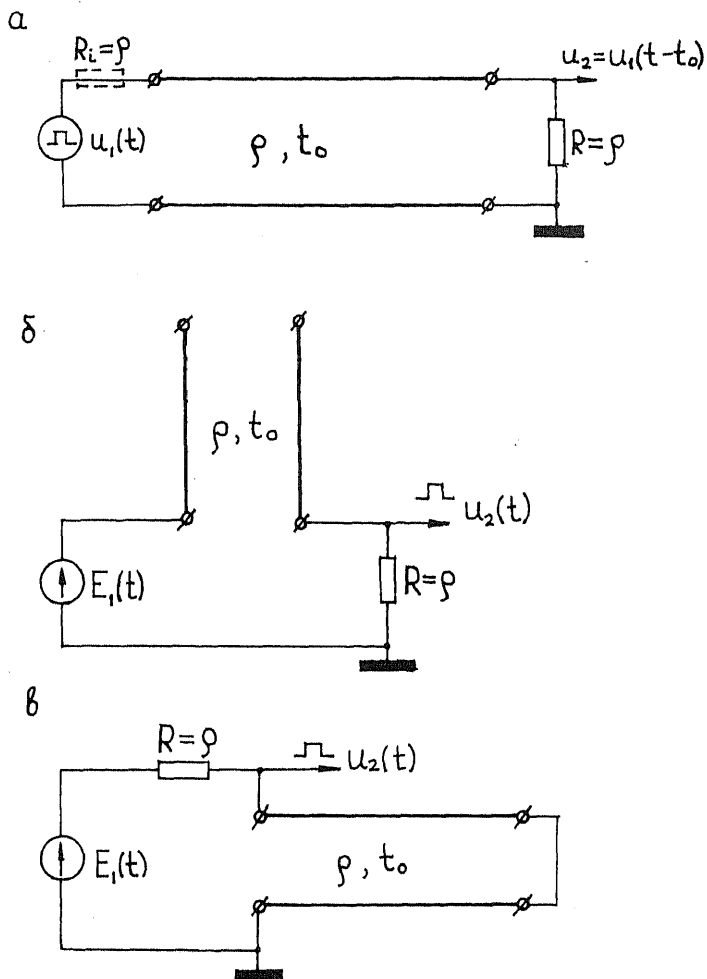


Рис. 1.12

Обычно длительность передаваемого импульса $t_{\text{эл}} \gg t_0$. При этом рассогласование на нагрузочном конце приводит либо к затыгиванию

фронтов импульса на выходе, либо к появлению затухающих колебаний на вершине и по окончании импульса (рис.1.11,а). Период этих колебаний равен $4t_0$. Если же $t_{эл}$ сравнима с t_0 , то рассогласование приводит к появлению ложных импульсов на выходе, как показано пунктиром для случая $t_{эл} = 2t_0$ (рис.1.11,а). В зависимости от $t_{эл}$ картина может быть самой различной. Для уменьшения искажений целесообразно применять дополнительное согласование на входе (рис.1.12,а, пунктир) [14]. Аналогичные искажения наблюдаются и при использовании кабелей для целей формирования (рис.1.12,б,в), если нарушено согласование на входе (рис.1.11,б).

Применение простого экранированного кабеля (маркируется РК-1, РК-2 и т.д.) для целей задержки и формирования связано с конструктивными трудностями. Для него $v=200$ м/мкс. Так что при $t_0=1$ мкс требуется кабель длиной $\ell=200$ м. Поэтому задержка с помощью таких кабелей осуществляется только при создании особо точных и довольно громоздких измерительных устройств. Эти кабели имеют малое волновое сопротивление ($\rho=50 \div 150$ Ом) и сильно нагружают источник импульсов.

Для указанных целей разработаны специальные кабели, которые характеризуются меньшей скоростью распространения сигнала и повышенным волновым сопротивлением [19]. Это достигнуто за счет увеличения погонной индуктивности кабеля. Внутренний его проводник выполнен в виде спирали. Маркируются такие кабели: РКЗ-1, РКЗ-2 и т.д. Время задержки доходит здесь до 0,5мкс/м, $\rho=400 \div 1000$ Ом. Однако они создают значительные искажения формы импульса, что объясняется уменьшением погонной индуктивности и ростом потерь с частотой [14].

При значительных длинах кабелей марок РК активными потерями в линии уже пренебрегать нельзя. Наличие потерь приводит к существенному ослаблению сигнала на выходе линии передачи. При $R = \rho$ и $R_l = 0$ амплитуда импульса в нагрузке $E_2 = E_1 e^{-\alpha \ell}$, где $\alpha = 1,15 \cdot 10^{-3}$ 1/м. Для $\ell=200$ м имеем $E_2 = 0,8E_1$. При $f > 2$ МГц коэффициент затухания α довольно быстро растет с частотой [19]. Поэтому за счет более сильного ослабления высокочастотных составляющих происходит не только снижение E_2 , но и дополнительные искажения формы импульса на выходе, если $t_{эл} < 1$ мкс. Степень искажений увеличивается по мере укорочения импульса.

Обычно длина кабелей передачи не превышает нескольких метров. Поэтому с указанными искажениями можно считаться лишь при длительностях импульсов в десятые и сотые доли микросекунды.

Искусственные линии задержки

Однородную идеальную длинную линию с параметрами ρ, t_0 условно разобьем на n одинаковых так называемых исходных отрезков. Поведение исходного отрезка моделируется звеном рис. 1.13, а [20]. Параметры звена $\rho = \sqrt{L/C}$ и $\tau_0 = \sqrt{LC} = t_0/n$ имеют тот

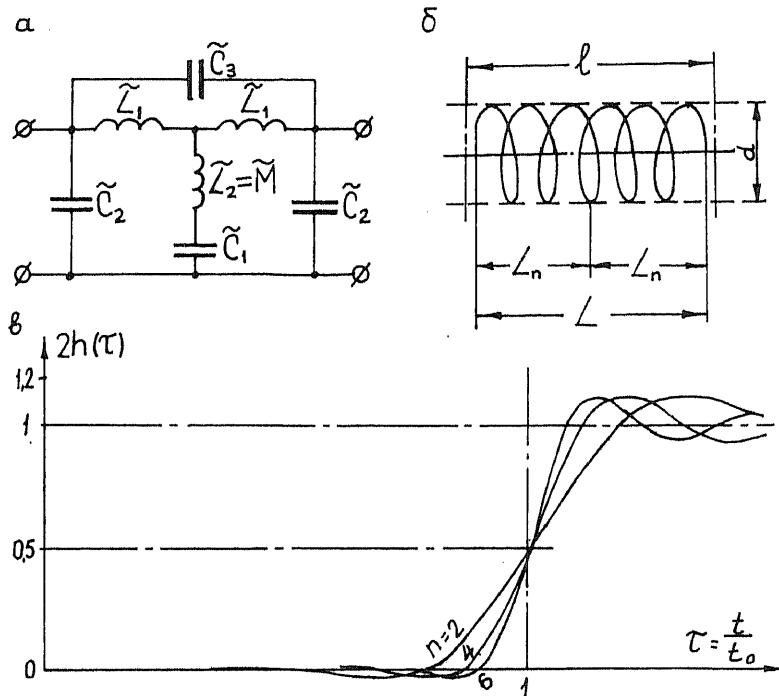


Рис. 1.13

же смысл, что и для исходного отрезка. Здесь L и C — суммарные индуктивность и емкость того и другого, измеренные на нулевой частоте. Последовательно соединяя n таких звеньев, получаем однородную искусственную линию задержки (ИЛЗ). Приближенный

характер моделирования требует согласования не только на выходе, но и на входе линии ($R_1 = R_n = \rho$), чтобы получить приемлемые искажения импульса в нагрузке ценой уменьшения его амплитуды в два раза.

На рисунке показаны нормированные (безразмерные) элементы звена, определяемые коэффициентами некоторых полиномов $P_k(s) = 1 + s + a_2 s^2$ и $P_l(s) = 1 + s + b_2 s^2 + b_3 s^3$,

$$\tilde{C}_1 = 2 \left(1 - \frac{b_3}{b_2} \right); \quad \tilde{C}_2 = \frac{b_3}{b_2}; \quad \tilde{C}_3 = \frac{1}{2} \left(a_2 - \frac{b_3}{b_2} \right);$$

$$\tilde{L}_1 = 1; \quad \tilde{M} = -\frac{1}{2} \left(1 - \frac{b_2}{1 - \frac{b_3}{b_2}} \right).$$

Используемая нормировка:

$$s = \rho \tau_0 / 2; \quad \zeta(s) = Z(s) / \rho.$$

Соответственно реальные значения элементов

$$L_k = \frac{1}{2} \tilde{L}_k \tau_0 \rho; \quad C_k = \frac{1}{2} \tilde{C}_k \tau_0 / \rho.$$

Приведенная схема принята за каноническую схему простейшего скорректированного звена [20]. Исключая из нее те или иные элементы путем наложения соответствующих условий на коэффициенты a_i , b_i , можно получить различные варианты искомых моделей. Например, полагая $b_3 = 0$ ($\tilde{C}_3 = 0$), приходим к Т-мостовому звену с корректирующей емкостью [21, 22]. Принимая дополнительно $a_2 = 0$ ($\tilde{C}_3 = 0$), получаем звено типа "m" [14, 15, 19, 21, 23]. В любом случае условие $a_2 b_2 - b_3 = 0$ означает отсутствие корректирующей емкости \tilde{C}_3 , а условие $b_2^2 - b_2 + b_3 = 0$ — отсутствие взаимоиндуктивности \tilde{M} . Различаются следующие три основных варианта простейших скорректированных звеньев: LC-звено ($\tilde{C}_3 = 0$; $\tilde{M} = 0$); М-звено ($\tilde{C}_3 = 0$; $\tilde{M} \neq 0$); МС-звено ($\tilde{C}_3 \neq 0$; $\tilde{M} \neq 0$). Все они один за другим являются как бы результатом введения все более сложной коррекции в исходное звено, состоящее из двух П-образных LC-звеньев, соединенных каскадно.

При $M \neq 0$ Т-образная часть звена изготавливается в виде единой катушки индуктивности с отводом [14] (рис.1.13,б). Индуктивность катушки между ее зажимами $L = 2L_1$. Индуктивность каждой ее

половины $L_a = L_1 - |M|$ (обычно $M < 0$). При заданных L и M размеры катушки и число витков W определяются формулами [14]

$$\frac{d}{\ell} = \frac{1 - 2 \frac{L_a}{L}}{0,46 \left(4 \frac{L_a}{L} - 1 \right)}; \quad \ell = \sqrt[3]{\frac{102 \left(1 + 0,46 \frac{d}{\ell} \right) L}{\left(\frac{d}{\ell} n_1 \right)^2}}; \quad W = \ell n_1.$$

Здесь L — в мкГн; ℓ и d — осевая длина и внутренний диаметр намотки, см; n_1 — число витков обмотки на 1 см длины катушки.

Значения элементов звеньев, вычисленные в соответствии с найденными в [20] полиномиальными коэффициентами, приведены в табл.1.3. Для построенных моделей значение выброса на вершине переходной характеристики линии практически не зависит от числа звеньев.

Таблица 1.3

Тип звена	P_x	P_t		$\frac{C_1}{C}$	$\frac{C_2}{C}$	$\frac{C_3}{C}$	$\frac{L_n}{L}$	$-\frac{M}{L}$
	a_2	b_2	b_3					
LC	0,5	0,5	0,25	0,5	0,25	0	0,5	0
M	0,423	0,423	0,179	0,5774	0,2113	0	0,433	0,067
MC	0,4085	0,4085	0,1503	0,632	0,184	0,0102	0,4115	0,0885

Величина $\tau_\Phi = \frac{t_\Phi}{t_0}$ с высокой точностью удовлетворяет соотношению

$$\tau_\Phi = K_p n^{-2/3},$$

где K_p — коэффициент, зависящий от сложности звена. Эта формула используется для определения необходимого числа звеньев по заданной τ_Φ .

Временные параметры рассматриваемых моделей приведены в табл.1.4 [20, 24]. Возможно некоторое улучшение результатов в рамках тех же структур. Однако выброс всегда сравнительно велик. Для иллюстрации на рис.1.13,в показаны переходные характеристики линий на основе MC-звеньев. Подробный анализ переходных процессов в однородных линиях задержки на основе звеньев типа "m" и T-мостовых звеньев с корректирующей емкостью дан в работах [20, 22, 23].

Характерно, что расчетная задержка t_0 достигается всегда примерно на уровне 0,5 (рис. 1.13, в).

Таблица 1.4

Тип звена	Выброс	K_p
LC	0,22	0,76
M	0,15	0,5
MC	0,12	0,44

Наиболее полное обоснование рассмотренного подхода к построению однородных ИЛЗ содержится в работе [25]. Существенное снижение амплитуды выброса (до 0,02 – 0,03) при неизменных τ_f и p достигается использованием так называемых концевых звеньев, синтезируемых особым образом [26]. Миниатюрные ИЛЗ промышленного изготовления [27] выпускаются в корпусах, близких по размерам к корпусам интегральных микросхем. Например, линия ЛЗМ-0,1-300 (0,1мкс – задержка, 300 Ом – волновое сопротивление) имеет геометрическую длину 23мм, линия ЛЗМ-0,2-600 – 32мм, ЛЗМ-1,0-750 – 44мм. Эти линии выполняются с отводами через 50нс, 100нс и т.д.

§1.3. ТРАНЗИСТОРНЫЕ КЛЮЧЕВЫЕ СХЕМЫ

Основной задачей дальнейшего рассмотрения в этой главе является выяснение характера импульсных процессов в транзисторах и переключаемых схемах (ключи, логические элементы и триггеры, генераторы импульсов) на их основе. Временные оценки, получаемые при таком рассмотрении, должны допускать экспериментальную проверку в реальных условиях лабораторного практикума. Поэтому ограничимся использованием сравнительно низкочастотных транзисторов, когда влияние их собственной инерционности на процессы в схемах наиболее сильно и хорошо наблюдаемо. Выбор типа транзистора (п-р-п или р-п-р) в данном случае особой роли не играет.

Статические и динамические параметры транзисторов

Транзистор является системой двух взаимодействующих р-п – переходов (рис.1.14,а), каждый из которых путем инжекции изменяет концентрацию неосновных носителей заряда в базе и тем самым влияет

на ток другого перехода. Поэтому ток коллектора i_k является функцией эмиттерного тока i_e (тока базы i_b). Для стационарного режима

$$i_b = i_k + i_e; \quad i_k = \alpha_0 i_e + I_{k0}; \quad i_k = \beta_0 i_e + (\beta_0 + 1) I_{k0}.$$

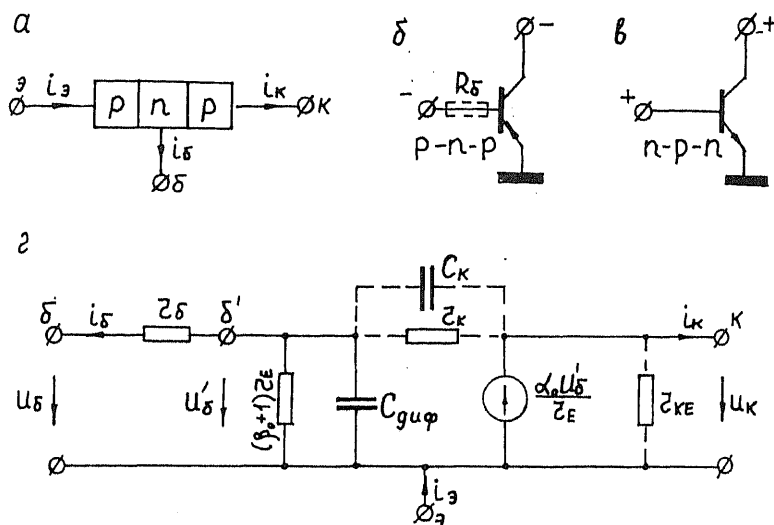


Рис. 1.14

Здесь α_0 и $\beta_0 = \alpha_0 / (1 - \alpha_0)$ — стационарные коэффициенты усиления по току в схемах с общей базой (ОБ) и общим эмиттером (ОЭ). Обычно $\alpha_0 = 0,9 \div 0,99$, $\beta_0 = 10 \div 100$. Параметр I_{k0} — тепловой ток коллектора, определяемый как ток через коллекторный переход при обратном смещении на переходе коллектор-база и разорванной цепи эмиттера. Обычно I_{k0} имеет порядок от десятых долей до единиц микроампер. Условные обозначения триодов и полярности напряжений на электродах при работе в активном режиме транзисторов типа р-п-р и п-р-п показаны на рис.1.14,б,в.

Использование той или иной системы параметров транзистора зависит от выбора его эквивалентной схемы [7]. На рис.1.14,г представлена одна из широко распространенных эквивалентных схем транзистора, включенного по схеме ОЭ, представляющей для нас наибольший интерес. Здесь r_b — объемное сопротивление базы, $r_b \approx 30 \div 200$ Ом; $r_e = \varphi_e / i_e$ — сопротивление эмиттера, $\varphi_e \approx 25$ мВ — температурный потенциал триода (при $i_e = 5$ мА имеем $r_e = 5$ Ом);

$C_{\text{диф}} = \tau_a / g_e$ — диффузионная емкость, учитывающая инерционность процессов в транзисторе [28]; $\tau_a = 1 / (2\pi f_a)$ — постоянная времени коэффициента α (схемы ОБ); f_a — граничная частота, на которой $\alpha = 0,707 \alpha_0$; C_k — емкость коллекторного перехода; g_k и g_{kc} — сопротивления утечки перехода коллектор — база и участка коллектор — эмиттер. В приближенных расчетах наличием C_k , g_k и g_{kc} можно пренебречь.

Из приведенной схемы видно, что зависимый генератор тока $\alpha_0 u'_6 / g_e$, действующий в цепи коллектора, определяется не входным напряжением u_6 , а напряжением u'_6 , приложенным между воображаемой точкой δ' внутри транзистора и выводом эмиттера. Величина u'_6 может быть определена, если известны g_e и вольт-амперная характеристика перехода (диода) база — эмиттер. Однако и то, и другое имеет большой разброс от образца к образцу. Для облегчения расчетов и обеспечения взаимозаменяемости триодов в импульсных схемах [7] последовательно со входом транзистора обычно включают дополнительное сопротивление $R_6 \gg r_6$. Тогда входной базовый ток $i_6 \approx u_6 / R_6$ определяется только внешними параметрами схемы, и с ним оперировать более удобно, чем с напряжением u'_6 .

Рассматриваемая эквивалентная схема не учитывает специфичной диффузионной задержки t_0 появления тока коллектора относительно тока эмиттера [7]. Неплохое приближение к реальной зависимости $\alpha(p)$ имеет вид

$$\alpha(p) = \frac{I_k(p)}{I_s(p)} = \frac{\alpha_0}{1 + p\tau_a} e^{-pt_0}.$$

Соответственно

$$\beta(p) = \frac{I_k(p)}{I_s(p)} = \frac{\alpha(p)}{1 - \alpha(p)} \approx \frac{\beta_0}{1 + p\tau_\beta} e^{-pt_0},$$

где $\tau_\beta = (\beta_0 + 1)(\tau_a + t_0)$ — постоянная времени коэффициента β (схемы ОЭ). Пренебрегая запаздыванием, для переходной характеристики схемы ОЭ по току (активный режим) имеем

$$h_\beta(t) \approx \beta_0 (1 - e^{-t/\tau_\beta}), \quad \tau_\beta \approx (\beta_0 + 1)\tau_a.$$

Этот результат совпадает с получаемым из схемы (рис.1.14,г). Поскольку $\tau_p \gg \tau_a$, то временные свойства схемы ОЭ много хуже, чем схемы ОБ.

Режим работы транзистора сильно влияет на значения его параметров. Пример тому – зависимость g_m от i_b . Зависит от $i_b(i_k)$ и параметр β_0 . Для типовых триодов максимум β_0 достигается при $i_k = 3-5 \text{ мА}$, увеличиваясь с ростом $|u_k|$. Ток коллектора практически не зависит от напряжения на коллекторе при $|u_k| \geq (3-4)\phi_r$. Емкость $C_k \approx C_{кв} \sqrt{E/u_k}$ уменьшается с ростом $|u_k|$ ($C_{кв}$ – емкость, измеренная при $u_k = E$). Как правило, τ_a уменьшается с ростом $|u_k|$ и i_b . Сильно зависят параметры триода и от температуры. Коэффициент β_0 с повышением температуры обычно увеличивается и уменьшается только в области высоких температур. Значение τ_p также растет с повышением температуры. Тепловой ток германиевых транзисторов удваивается с ростом температуры на каждые $8-10^\circ\text{C}$. У кремниевых триодов $I_{к0}$ удваивается всякий раз с ростом температуры на 5°C , оставаясь в рабочем интервале температур ниже, чем у германиевых.

Различают транзисторы сплавного типа (диффузионные) и транзисторы с диффузионной базой (дрейфовые). В первых перемещение неосновных носителей в базе происходит, в основном, за счет диффузии. Неравномерная концентрация примесей в дрейфовых триодах создает в базе собственное электрическое поле, что значительно ускоряет перемещение носителей через базу, которое носит теперь дрейфовый характер. Второе название для таких триодов обусловлено спецификой технологии. По сравнению со сплавными дрейфовые триоды обладают меньшими τ_a и большими β_0 . Сравнительно велика здесь и задержка $t_0 \approx 0,7\tau_a$ (для сплавных $t_0 \approx 0,22\tau_a$), и строго говоря, пренебрегать ею уже нельзя.

Характеристика открытого и закрытого состояний ключа ОЭ [29]

Электронный ключ осуществляет размыкание и замыкание цепи нагрузки под воздействием управляющих входных сигналов (обычно маломощных). Качество ключа определяется падением напряжения на нем в замкнутом состоянии, током утечки в разомкнутом и скоростью перехода из одного состояния в другое. Наибольшее применение в

импульсной технике находит ключ ОЭ в силу минимальной потребной мощности управляющего сигнала. Его полная схема в случае активной нагрузки $Z_k = R_k$ (коллекторное сопротивление) и использования триода р-п-р приведена на рис.1.15,а. Указанные направления токов и

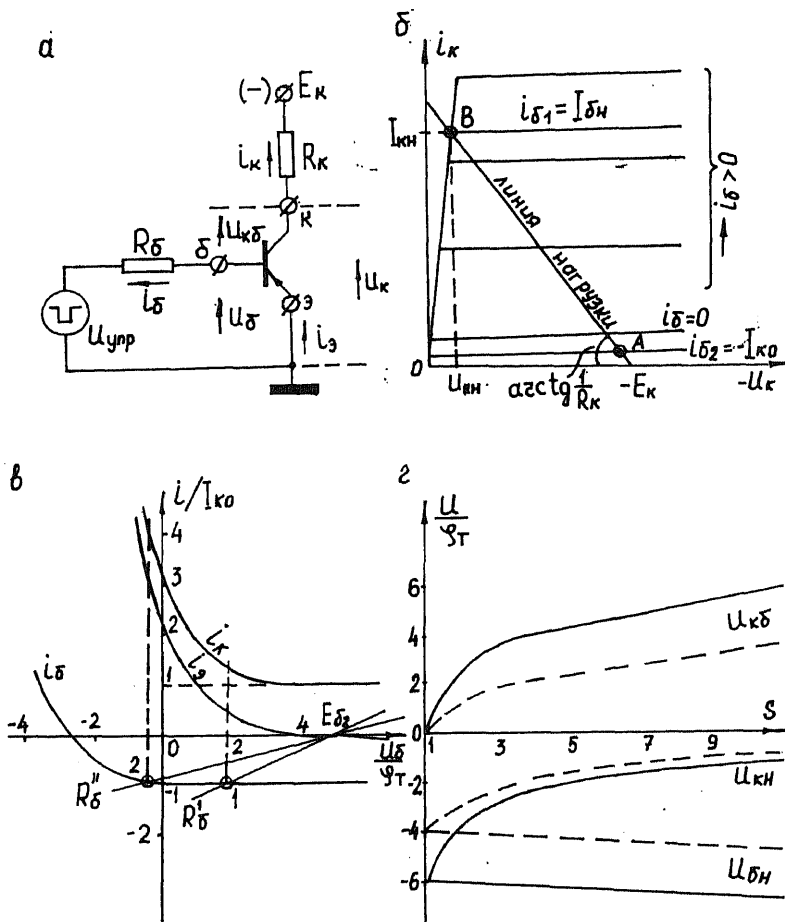


Рис. 1.15

напряжений примем за положительные. Проведем на семействе статических характеристик триода (рис.1.15,б) линию нагрузки. В точке А триод заперт (режим отсечки), в точке В – полностью открыт

(режим насыщения). При $i_6 > i_{61}$ положение рабочей точки практически не изменяется. Отрезок АВ отвечает активному режиму. По условию управляющее напряжение принимает одно из двух возможных значений: отрицательное $E_{61} < 0$ — при открытом ключе и положительное $E_{62} > 0$ — при закрытом.

Для характеристики процессов в режиме отсечки воспользуемся известными соотношениями

$$\begin{aligned} \frac{i_3}{I_{k0}} &= \frac{\alpha_1}{(1-\alpha_1)\alpha} (e^{-u_6/\varphi_T} - 1) - \frac{\alpha_1}{1-\alpha_1} (e^{u_k/\varphi_T} - 1); \\ \frac{i_k}{I_{k0}} &= \frac{\alpha_1}{1-\alpha_1} (e^{-u_6/\varphi_T} - 1) - \frac{1}{1-\alpha_1} (e^{u_k/\varphi_T} - 1). \end{aligned} \quad (1.15)$$

Здесь α_1 — коэффициент передачи по току в схеме ОБ при инверсном включении триода, когда коллектор выступает в роли эмиттера, а эмиттер — в роли коллектора. Обычно $\alpha_1 \leq 0,7$ и $\beta_1 = \alpha_1/(1-\alpha_1) \leq 2-3 \ll \beta$.

Пусть $u_{гг} = E_{62} \gg \varphi_T$, $|E_k| \gg \varphi_T$, а сопротивления R_6 и R_k не очень велики, так что падением напряжения на них от токов базы и коллектора в режиме отсечки можно пренебречь. Тогда $u_6 \approx E_{62}$, $u_k \approx E_k$, и поскольку $\alpha\alpha_1 \approx \alpha_1$, из соотношений (1.15) получаем

$$i_3 \approx -\frac{\beta_1}{\beta} I_{k0}; \quad i_k \approx \left(1 - \frac{\beta_1}{\beta}\right) I_{k0}; \quad i_6 = i_3 - i_k \approx -I_{k0},$$

что отвечает режиму глубокой отсечки. Полагая $u_6 \approx E_{62} = 0$ и $|u_k| \approx |E_k| \gg \varphi_T$, из уравнений (1.15) имеем

$$i_3 \approx \beta_1 I_{k0}; \quad i_k \approx (1 + \beta_1) I_{k0}; \quad i_6 \approx -I_{k0}.$$

Таким образом, i_3 на границе отсечки существенно увеличивается и меняет знак, тогда как i_6 остается практически неизменным. Соответственно возрастает и i_k . Изменения всех трех токов в режиме отсечки иллюстрируют кривые (рис.1.15,в). Точки 1 и 2 определяют режим триода. При $R_6 = R'_6$ все еще имеет место режим отсечки. Если же $R_6 = R''_6$, то триод переходит в активный режим, хотя и $E_{62} > 0$. Для режима глубокой отсечки

$$E_{62} \geq I_{k0}^{\max} R_6 + (3-4)\varphi_T,$$

где I_{k0}^{\max} — тепловой ток при максимальной рабочей температуре. Если это условие выполнено, то закрытый триод можно представить

эквивалентным источником тока $I_{к0}$, действующим между базой и коллектором ($i_b \approx -I_{к0}$; $i_k \approx I_{к0}$).

Рассмотрим режим насыщения (ключ замкнут). По условию здесь $u_{упр} = E_{б1} < 0$; $|E_{б1}| \gg \varphi_T$; $|E_k| \gg \varphi_T$. В этом режиме оба перехода смещены в прямом направлении ($u_{кб} > 0$, $u_b < 0$), и напряжения на них не превышают нескольких φ_T . Поэтому токи i_b и i_k заданы внешней частью схемы

$$i_b \approx |E_{б1}|/R_b; \quad i_k \approx |E_k|/R_k = I_{кн},$$

$I_{кн} = \beta I_{бн}$ – ток коллектора насыщения; $I_{бн}$ – ток базы насыщения. Для насыщенного триода $i_b \geq I_{бн}$. Величину $S = i_b/I_{бн}$ называют степенью насыщения. На рис.1.15,г приведены типовые зависимости межэлектродных напряжений насыщенного триода от S при $I_{кн} = 10^3 I_{к0}$ (сплошные кривые) и $I_{кн} = 10^2 I_{к0}$ (пунктир). Согласно графикам при $I_{кн} = 10^3 I_{к0}$ на границе насыщения ($S=1$) имеем

$$u_b = u_{бн} \approx -6\varphi_T = -0,15B; \quad u_{кб} = 0; \quad u_k = u_{кн} \approx -6\varphi_T = -0,15B.$$

Сравнительно малые значения межэлектродных напряжений позволяют считать насыщенный транзистор эквипотенциальной точкой. При $S \rightarrow \infty$ $|u_{кн}| \rightarrow \varphi_T \ln \frac{1}{\alpha_1}$. Начиная от $S=3+5$, межэлектродные напряжения изменяются незначительно. Величины $u_{кб}$ и $|u_{бн}|$ падают с ростом температуры в силу изменения $I_{к0}$. Для кремниевых триодов, у которых тепловые токи на порядок меньше, чем у германиевых, напряжения на переходах получаются больше. Значение β на границе насыщения на 30-40% меньше, чем в нормальном усилительном режиме, ибо оно отвечает весьма малым напряжениям $u_k = u_{кн}$.

Временные процессы в ключе ОЭ

Достаточно строгое рассмотрение этого вопроса можно найти в работах [7,30]. В своем изложении мы будем придерживаться методики, заимствованной из книг [28,29], взяв за основу так называемый метод заряда.

Для временных процессов длительностью более τ_a ток базы $i_b(t)$ и заряд в базе $Q(t)$ связаны приближенным соотношением:

$$Q'(t) + \frac{1}{\tau_\beta} Q(t) = i_\delta(t); \quad (1.16)$$

где $i_\delta(t)$ берется со своим знаком (рис.1.15,а), а заряд по своей физической природе всегда неотрицателен. В активном режиме дополнительно

$$i_k(t) = \frac{1}{\tau_\alpha} Q(t).$$

Поэтому знание $Q(t)$ позволяет определить длительности фронтов тока коллектора (время переключения схемы). В момент закрывания триода заряд в базе спадает до нуля. При $Z_k = R_k$ триод оказывается на грани насыщения, как только $Q(t) = Q_{гр} = I_{кн} \tau_\alpha \approx I_{бн} \tau_\beta$. Триод насыщен все время, пока $Q(t) > Q_{гр}$. Величину $Q_{гр}$ называют граничным зарядом, разность $Q(t) - Q_{гр} = Q_{изб}(t)$ — избыточным зарядом. Перейдя в равенстве (1.16) к изображениям, получим операционное уравнение заряда

$$Q(p) = \frac{Q(0) + I_\delta(p)}{1 + p\tau_\beta} \tau_\beta, \quad (1.17)$$

где $Q(0)$ — начальный заряд в базе. Отсюда находят $Q(t)$ по известным $i_\delta(t)$ и $Q(0)$.

Понятие граничного заряда можно обобщить и на случай произвольной нагрузки в цепи коллектора. При насыщении $u_k = u_{кн} \approx 0$. Поэтому определим $I_{кн}(t)$ как ток, протекающий в цепи нагрузки при воздействии на нее перепада напряжения $E_k(t)$ и нулевых начальных условиях. Соответственно граничный заряд $Q_{гр}(t) = \tau_\alpha I_{кн}(t)$, и самое общее определение состояния насыщения: $Q(t) > Q_{гр}(t)$. Иногда вводят понятие фиктивного тока $I(t) = Q(t)/\tau_\alpha$ [28]. В активном режиме $I(t) \leq I_{кн}(t)$. Для режима насыщения $I(t) > I_{кн}(t)$. Реальный ток коллектора $i_k(t) = \min[I_{кн}(t), I(t)]$. Сделанное обобщение является приближенным.

Вернемся к случаю ключа ОЭ с активной нагрузкой в цепи коллектора (рис.1.15,а). Процесс его открывания можно разделить на две стадии: 1) формирование положительного фронта тока коллектора и 2) накопление избыточного заряда в базе. Закрывание ключа также происходит в два этапа: 1) рассасывание избыточного заряда и

2) формирование отрицательного фронта тока коллектора. Перечисленные этапы иллюстрируют временные диаграммы (рис.1.16).

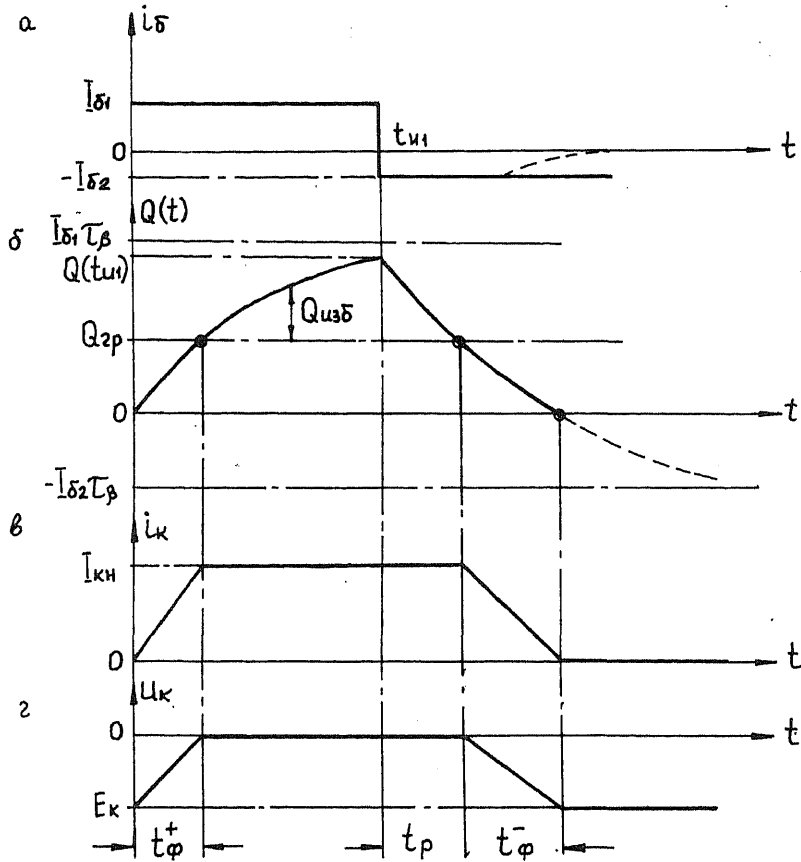


Рис. 1.16

Пусть в исходном состоянии триод закрыт ($Q(0)=0$), и в момент $t=0$ задана ступенька открывающего базового тока $I_{c1}=|E_{c1}|/R_b \geq I_{c0}$. Тогда согласно (1.17) $Q(p)=I_{c1}\tau_p/p(1+p\tau_p)$ и $Q(t)=I_{c1}\tau_p(1-e^{-t/\tau_p})$. Учитывая, что $Q(t_\phi^+)=Q_{rp}$, имеем

$$t_\phi^+ = \tau_p \ln \frac{1}{1 - \frac{1}{S}}, \quad (1.18)$$

где $S = I_{\phi 1} / I_{\phi n} > 1$ – стационарная степень насыщения. При $S = 1$, определяя длительность фронта на уровне $0,9Q_{гр}$, получаем $t_{\phi}^* = 2,3\tau_{\beta}$. Влияние C_{κ} и t_0 можно учесть, подставляя вместо τ_{β} величину $(\beta_0 + 1)(\tau_{\kappa} + t_0) + \overline{C}_{\kappa} R_{\kappa}$ и вводя задержку t_0 в начало изменения $Q(t)$. Здесь $\overline{C}_{\kappa} \approx 1,6C_{\kappa E}$ – усредненная емкость коллектора; $C_{\kappa E}$ – значение C_{κ} при $u_{\kappa} = E_{\kappa}$. По окончании формирования положительного фронта i_{κ} и u_{κ} практически не изменяются. Заряд в базе продолжает нарастать, стремясь к своему стационарному значению $I_{\phi 1} \tau_n$, где τ_n – постоянная времени накопления. Величина $\tau_n < \tau_{\beta}$, но в приближенных расчетах можно принять $\tau_n \approx \tau_{\beta}$ [28].

В момент t_{n1} окончания открывающего сигнала на вход схемы подается положительное управляющее напряжение $E_{\phi 2}$. Полагая входное сопротивление триода на всем этапе закрывания равным r_{ϕ} , имеем $I_{\phi 2} \approx E_{\phi 2} / R_{\phi}$. Заряд в базе начинает уменьшаться (рис.1.16,б). Однако пока триод не выйдет из насыщения, величины i_{κ} и u_{κ} не изменяются. Этот этап называют стадией рассасывания избыточного заряда в базе триода, а его длительность t_p – временем рассасывания. Полагая постоянную времени рассасывания $\tau_n \approx \tau_{\beta}$, $Q(0) = Q(t_{n1})$, $Q(t_p) = Q_{гр}$, аналогично предыдущему получим

$$t_p = \tau_{\beta} \ln \frac{I_{\phi 1} (1 - e^{-t_{n1}/\tau_{\beta}}) + I_{\phi 2}}{I_{\phi n} + I_{\phi 2}}. \quad (1.19)$$

Эта формула справедлива лишь при условии, что закрывающий базовый ток сравнительно мал. В случае $I_{\phi 2} > I_{\phi n} \left(1 + \beta_0 / \beta\right)$ имеем так называемое эмиттерное рассасывание [29,30]. Величина t_p получается здесь меньше, чем по формуле (1.19).

На этапе формирования отрицательного фронта $Q(0) = Q_{гр}$, $Q(t_{\phi}^-) = 0$

$$t_{\phi}^- = \tau_{\beta} \ln \left(1 + \frac{I_{\phi n}}{I_{\phi 2}} \right), \quad I_{\phi 2} > 0. \quad (1.20)$$

Если $I_{\phi 2} = 0$, то при отсчете на уровне $0,1Q_{гр}$ значение $t_{\phi}^- = 2,3\tau_{\beta}$. В действительности процесс закрывания ключа развивается сложнее, а величина t_{ϕ}^- оказывается больше. Одна из причин – влияние C_{κ} и t_0 . Его можно учесть, как и ранее. Основная причина – непостоянство

входного сопротивления на этапе закрывания. Начиная с некоторого момента оно резко возрастает, а ток базы уменьшается (рис.1.16,а, пунктир). Это происходит тем раньше, чем больше $I_{\delta 2}$.

Из полученных формул следует, что с ростом $I_{\delta 1}$ уменьшается t_{ϕ}^+ и увеличивается t_p . С ростом $I_{\delta 2}$ уменьшаются t_p и t_{ϕ}^- . Рассмотрим пример НЧ триода. Пусть $\tau_{\beta}=5\text{мкс}$; $t_{n1}=10\text{мкс}$; $\beta=50$; $I_{\delta 1}=I_{\delta 2}=1\text{мА}$; $I_{k1}=5\text{мА}$. Тогда на основании формул (1.18), (1.19) и (1.20) получаем $t_{\phi}^+ \approx t_{\phi}^- \approx 0,5\text{мкс}$; $t_p \approx 3\text{мкс}$. Таким образом, влияние процесса рассасывания на скорость переключения весьма ощутимо.

Введение корректирующих элементов

Для повышения быстродействия ключа целесообразно исключить насыщение (уменьшить t_p) при неизменно малых t_{ϕ}^+ , t_{ϕ}^- . Это достигается незначительным усложнением схемы.

Ключ ОЭ с ускоряющей емкостью. Рассматриваемая схема приведена на рис. 1.17,а. Будем считать, что входные импульсы длительностью t_{n1} поступают с некоторого неотрицательного потенциального уровня $E_{\delta 2} \geq 0$, достигая при своем изменении открывающего потенциала $E_{\delta 1} < 0$. При отсутствии емкости C и $I_{\delta 1} = I_{\delta n}$ величина $t_{\phi}^+ = 2,3\tau_{\beta}$ значительна. Установка ускоряющей емкости позволяет при том же стационарном открывающем токе базы существенно убыстрить процесс открывания триода. Причиной тому является большой ток базы на этапе формирования фронта (рис.1.17,б), обусловленный зарядом емкости C . Разряд емкости по окончании открывающего сигнала приводит к увеличению начального закрывающего тока базы, благодаря чему убыстрятся процесс закрывания триода.

Пусть в исходном состоянии триод закрыт. На этапе формирования положительного фронта эквивалентная схема базовой цепи отвечает рис.1.17,в. Начальное напряжение на емкости $u_c(0) = I_{k0}R_{\delta}$. При $I_{k0} \ll I_{\delta 1}^{\text{от}}$ влиянием тока I_{k0} можно пренебречь. Тогда согласно схеме

$$I_{\delta}(p) = I_{\delta 1}^{\text{от}} \frac{1 + p\tau}{p(1 + p\tau')}; \quad U_c(p) = I_{\delta 1}^{\text{от}} R_{\delta} \frac{1}{p(1 + p\tau')}.$$

Здесь

$$I_{\delta 1}^{\text{от}} = \frac{|E_{\delta 1}|}{R_{\delta} + R_i + r_{\delta}}; \quad \tau = CR_{\delta}; \quad \tau' = \tau \frac{R_i + r_{\delta}}{R_{\delta} + R_i + r_{\delta}} \ll \tau;$$

R_i – внутреннее сопротивление источника; τ' – постоянная времени базовой цепи.

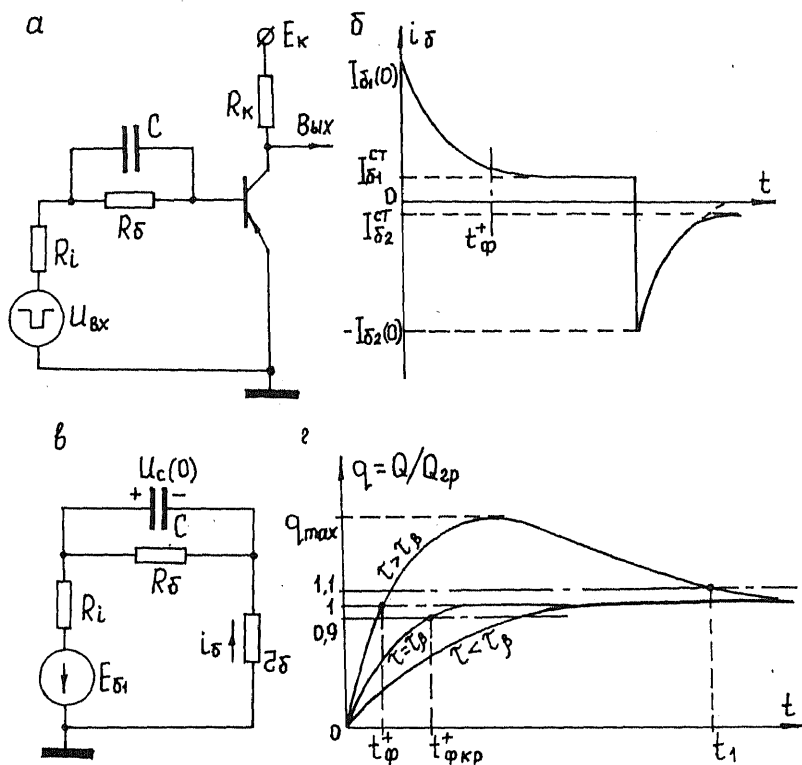


Рис. 1.17

Пусть $I_{б1}^{ст} = I_{бн}$. Тогда

$$Q(p) = \frac{I_б(p) \tau_б}{1 + p \tau_б} = Q_{гр} \frac{1 + p \tau}{p(1 + p \tau')(1 + p \tau_б)}$$

Для критического режима, когда $\tau = \tau_б$, $Q(t) = Q_{гр}(1 - e^{-t/\tau'})$. Здесь $Q_{н2б} = 0$ и при отсчете на уровне $0,9Q_{гр}$

$$t_{фкр}^+ = 2,3 \tau'$$

В общем случае согласно табл. 1.1

$$Q(t) = Q_{\text{гр}} \left(1 - \frac{\tau - \tau'}{\tau_{\beta} - \tau'} e^{-t/\tau'} + \frac{\tau - \tau_{\beta}}{\tau_{\beta} - \tau'} e^{-t/\tau_{\beta}} \right).$$

Кривые $Q(t)$ для разных τ показаны на рис.1.17,г. Считается, что изменение τ обязано вариации емкостью C при неизменном R_{δ} . Вариант $\tau < \tau_{\beta}$ не представляет интереса, ибо здесь $t_{\phi}^+ > t_{\text{фпр}}^+$. В случае $\tau > \tau_{\beta}$

$$t_{\phi}^+ = \frac{\tau_{\beta} \tau'}{\tau_{\beta} - \tau'} \ln \frac{\tau - \tau'}{\tau - \tau_{\beta}} < t_{\text{фпр}}^+,$$

и выигрыш в длительности фронта при $\tau \rightarrow \infty$ составляет не более 25% по сравнению со случаем $\tau = 5\tau_{\beta}$. Поэтому использование режима $\tau > 5\tau_{\beta}$ малоэффективно. С ростом τ увеличивается амплитуда выброса на кривой заряда и растет время установления t_1 стационарного заряда в базе:

$$Q_{\text{max}} \approx \frac{\tau - \tau'}{\tau_{\beta} - \tau'} Q_{\text{гр}}; \quad t_1 \approx \tau_{\beta} \ln \left(10 \frac{\tau - \tau_{\beta}}{\tau_{\beta} - \tau'} \right), \quad \tau > \tau_{\beta}. \quad (1.21)$$

Значение $Q(t) = Q_{\text{max}}$ достигается при $t \approx 2,3\tau'$.

Длительность входного импульса должна быть не менее времени заряда ускоряющей емкости: $t_{\text{н1}} \geq 2,3\tau'$. В противном случае замедлится процесс закрывания триода. Пусть $t_{\text{н1}}$ сравнительно велика ($t_{\text{н1}} \geq t_1, \tau > \tau_{\beta}$). Тогда для любого режима $t_{\phi}^- \leq t_{\phi}^+$, где знаку равенства отвечает $E_{\delta 2} = 0$. При заданной величине $E_{\delta 2}$ в режиме $\tau > \tau_{\beta}$ значение $t_{\phi}^- < t_{\text{ф.кр}}^-$ и меньше времени разряда ускоряющей емкости. Поэтому в момент закрывания триода на емкости остается некоторое напряжение. В дальнейшем оно будет уменьшаться с большой постоянной времени τ , и при высоких частотах следования импульсов возможно появление динамического смещения на емкости плюсом на базу, что приведет к увеличению t_{ϕ}^+ . Если же $t_{\text{н1}} = 2,3\tau'$ — минимальна, то для любого режима длительность отрицательного фронта заряда (включая время рассасывания) равна времени разряда ускоряющей емкости

$$t_{\phi}^- = t_{\text{разр}} = \tau' \ln \left(1 + \frac{I_{\delta 1}^{\text{ст}}}{I_{\delta 2}^{\text{ст}}} \right), \quad E_{\delta 2} > 0 \quad (1.22)$$

и увеличивается с ростом τ , так что при $\tau > \tau_{\beta}$ и $E_{\delta 2} = 0$ получаем $t_{\phi}^- > t_{\phi}^+$. Быстродействие схемы разумно оценивать параметром $\max(t_{\phi}^+, t_{\phi}^-)$. Приведенные результаты показывают, что при высоких частотах

следования импульсов целесообразно использовать критический режим в цепи базы.

Ранее полагалось, что $I_{\delta 1}^{ст} = I_{\delta n}$. Полученные результаты справедливы и в том случае, когда стационарный заряд в базе превышает $Q_{пр}$. При этом под t_{ϕ}^+ и t_{ϕ}^- следует понимать общее время накопления стационарного заряда и изменения заряда от значения $Q(t_{n1})$ до нуля. Характерно, что величины t_{ϕ}^+ и t_{ϕ}^- при $\tau \geq \tau_{\phi}$ никогда не превышают значения $2,3\tau'$. Это обуславливает эффективность использования рассмотренной схемы.

Введение нелинейной обратной связи. Согласно (1.22) использование режима $\tau > \tau_{\phi}$ и увеличение стационарной степени насыщения $S = I_{\delta 1}^{ст}/I_{\delta n}$ (с ростом амплитуды импульсов на входе) может привести к затягиванию процесса закрывания триода. Чтобы этого не случилось, в схему вводят нелинейную обратную связь с коллектора на базу (рис.1.18). В данном случае сопротивление R_6 разбивается на две части: R_6 и $г$. Величина $г$ удовлетворяет условию

$$\bar{r}_{np} \ll г \ll R_6', \quad (1.23)$$

где \bar{r}_{np} — усредненное прямое сопротивление триода Д в диапазоне протекающих через него токов $I_a \approx I_{\Pi}^{ст}$. Обычно можно считать $\bar{r}_{np} = 200 \div 300$ Ом, так что необходимая величина $г$ составляет 1-2кОм.

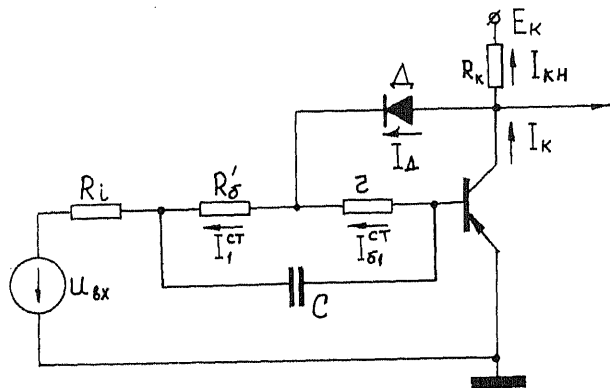


Рис. 1.18

Пусть в исходном состоянии триод закрыт. Тогда $u_k \approx E_k$ и диод находится под обратным смещением, т.е. заперт. В таком положении он остается на всем этапе формирования положительного фронта. В момент $t=0$ на вход схемы подается открывающий импульс. При $t < 2,3\tau'$, пока в цепи базы протекает значительный емкостный ток, процессы происходят как и в обычном ключе ОЭ с ускоряющей емкостью, ибо сравнительно небольшая утечка через диод в интервале $t_{\phi}^* < t < 2,3\tau'$ слабо влияет на токи базы и коллектора. В момент времени $t = 2,3\tau'$ заряд в базе равен максимальному $Q_{\max} \approx \frac{\tau}{\tau_{\beta}} Q_{\text{от}}$.

Потенциалы базы и коллектора насыщенного триода примерно одинаковы. Поэтому при $t \geq 2,3\tau'$ в силу (1.23) почти весь стационарный входной ток $I_1^{\text{ст}} \approx |E_{\delta 1}|/R_{\delta}$ будет ответвляться через диод, так что ток базы практически спадает до нуля. Полагая $Q(0) = Q_{\max}$, для времени установления t_1 стационарного заряда в базе находим

$$t_1 \approx \tau_{\beta} \ln \frac{\tau}{\tau_{\beta}}.$$

При $\tau = 2\tau_{\beta}$ имеем $t_1 \approx 0,7\tau_{\beta}$ вместо получаемого по формуле (1.21) значения $t_1 \approx 2,3\tau_{\beta}$.

В дальнейшем в схеме должен установиться стационарный режим, соответствующий нахождению триода на грани активной области и насыщения. При этом

$$I_{\delta 1}^{\text{ст}} = \frac{1}{\beta} I_k = \frac{1}{\beta} (I_{\text{кн}} + I_d); \quad I_d = I_1^{\text{ст}} - I_{\delta 1}^{\text{ст}}; \quad I_{\text{кн}} = |E_k|/R_k.$$

После подстановки окончательно

$$I_{\delta 1}^{\text{ст}} = \frac{I_{\text{кн}} + I_1^{\text{ст}}}{\beta + 1} = \alpha I_{\delta \text{н}} \left(1 + \frac{S'}{\beta} \right) \approx I_{\delta \text{н}},$$

где $S' = I_1^{\text{ст}}/I_{\delta \text{н}} \ll \beta$. Соответственно в стационарном режиме избыточный заряд в базе триода (по сравнению с $Q_{\text{тр}}$) практически отсутствует. Ток через диод $I_d = (S' - 1)I_{\delta \text{н}}$ обусловлен небольшим превышением заряда над величиной $\tau_{\alpha} I_{\text{кн}}$. На этапе закрывания триода диод заперт и не влияет на работу схемы.

§ 1.4. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

Логическими называют элементы с числом входов обычно не менее двух, сигнал на выходе которых зависит от комбинации входных сигналов. Эти сигналы представляют возможные значения двоичной переменной. Соответственно различают сигнал единицы (сигнал 1) и сигнал нуля (сигнал 0). Каждый логический элемент реализует некоторую простейшую переключательную функцию. Произвольная функция реализуется комбинацией простейших логических элементов, определенным образом соединенных друг с другом. Такую комбинацию называют логической структурой. К числу простейших относятся логические элементы, сигнал единицы на выходе которых появляется при наличии : 1) нулевого входного сигнала – одноходовый элемент НЕ (инвертор); 2) сигнала 1 хотя бы на одном из входов – элемент ИЛИ; 3) сигнала 1 одновременно на всех входах – элемент И; 4) сигнала 0 хотя бы на одном из входов – элемент И-НЕ (Шеффера); 5) сигнала 0 одновременно на всех входах – элемент ИЛИ-НЕ (Пирса). Наборы {И, НЕ, ИЛИ}, {И-НЕ}, {ИЛИ-НЕ} образуют функционально полные системы в том смысле, что любой из них может быть принят за основу при синтезе произвольной логической структуры.

Различаются логические элементы и структуры потенциальные и динамические. В первых сигналами 1 и 0 являются потенциальные уровни U_1 и U_0 . При этом в случае $U_1 > U_0$ (алгебраически) говорят о системе положительных сигналов, если же $U_1 < U_0$ – о системе отрицательных сигналов. Связи между потенциальными элементами в структуре – резистивные или непосредственные. Длительность любой данной сигнальной комбинации на их входах не менее максимальной задержки в структуре. Признаком состояния в динамическом элементе является наличие или отсутствие импульса определенной полярности. Длительность импульса ограничена инерционностью одного элемента. Правильное функционирование структуры обеспечивается специальным подбором тактовых импульсов. Систематизированное изложение вопросов, связанных с построением динамических элементов, дано в работе [31]. Ниже рассматриваются только элементы потенциального типа. Они находят наибольшее применение в настоящее время. Изучаются диодные, транзисторные и диодно-транзисторные элементы. Дается краткое знакомство с простейшим потенциальным триггером.

Диодные элементы

Основой полупроводникового диода является р-п-переход. Его вольт-амперная характеристика резко асимметрична (рис.1.19,а). При некотором значении U_z обратного напряжения возникает пробой перехода, что сопровождается резким возрастанием обратного тока. Для всех диодов характерна инерционность. В основе ее лежит процесс накопления и рассасывания заряда неосновных носителей в базе. Внешним проявлением инерционности служит конечность времени восстановления обратного сопротивления $t_{вос}$ (рис.1.19,б) и времени установления прямого сопротивления $t_{уст}$ (рис.1.19,в) при воздействии на диод закрывающих и открывающих перепадов.

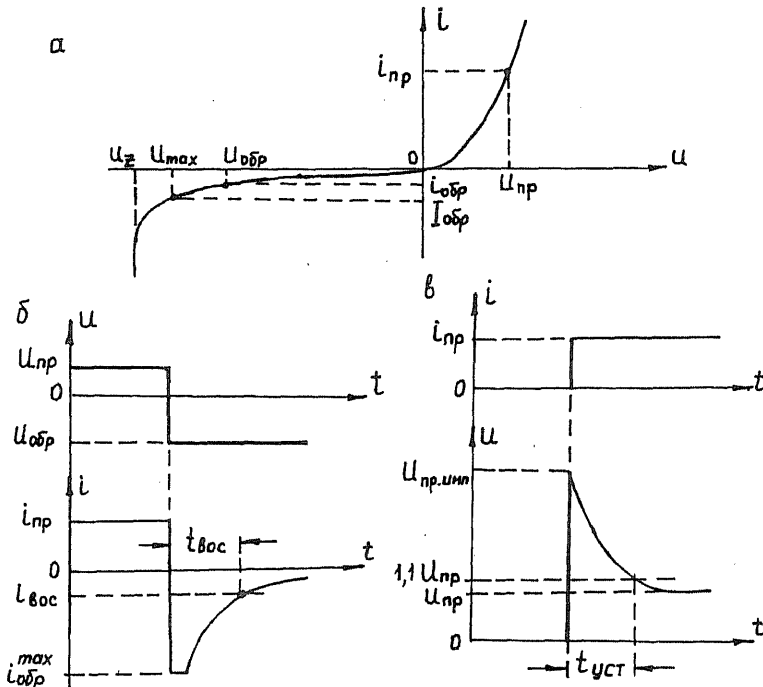


Рис. 1.19

Начальное значение $i_{обр}$ обычно намного меньше, а $i_{пр}$ — намного больше их стационарных величин. Значение $t_{уст}$ почти одинаково для

всех импульсных диодов и мало влияет на процессы в реальных схемах. Помимо $t_{\text{вос}}$ и $t_{\text{пер}}$, к числу импульсных параметров диода относят его емкость C_d при обратном смещении и заряд переключения

$Q_n = \int_0^{t_{\text{вос}}} i_{\text{обр}} dt$ (рис.1.19,б). Значения $t_{\text{вос}}$ монотонно, а Q_n линейно увеличиваются с ростом $i_{\text{пр}}$. С повышением $u_{\text{обр}}$ растет амплитуда выброса обратного (рассасывающего) тока и уменьшается $t_{\text{вос}}$. Детальное рассмотрение работы импульсных диодов дано в [30,32].

Диодные логические элементы строятся по принципу параллельного диодного ограничения. Для уяснения сущности вопроса рассмотрим работу параллельного диодного ограничителя по максимуму при наличии двух неодинаковых пороговых уровней U'_{n1} и U''_{n1} (рис.1.20,а). Пусть $U'_{n1} > U''_{n1}$ и выполнены условия ограничения по любому из уровней

$$E_2 > U'_{n1} > U''_{n1}; \quad r_{\text{пр}} \ll R_2 \ll r_{\text{обр}}. \quad (1.24)$$

Тогда для $u_{\text{вых}}$ имеются две возможности: $u_{\text{вых}} \geq U'_{n1}$ либо $u_{\text{вых}} < U'_{n1}$. Если верно первое, то оба диода открыты и

$$u_{\text{вых}} = \frac{E_2 g_2 + (U'_{n1} + U''_{n1}) g_{\text{пр}}}{g_2 + 2g_{\text{пр}}},$$

где $g_2 = 1/R_2$, $g_{\text{пр}} = 1/r_{\text{пр}}$. По условию $g_2 \ll g_{\text{пр}}$, а E_2 , U'_{n1} , U''_{n1} — величины одного порядка. При этом $u_{\text{вых}} \approx 0,5(U'_{n1} + U''_{n1}) < U'_{n1}$, что противоречит исходной посылке. Остается единственное: $u_{\text{вых}} < U'_{n1}$. Но тогда диод D_1 закрыт и согласно (1.24) $u_{\text{вых}} = U''_{n1}$.

Этот результат допускает следующее обобщение: в параллельном диодном ограничителе по максимуму с несколькими неодинаковыми пороговыми уровнями, если выполнены условия ограничения по любому из них, то напряжение на выходе фиксируется всегда на наиболее отрицательном из уровней. Аналогично доказывается, что в схеме (рис.1.20,б), если $E_1 < U'_{n2} < U''_{n2}$ и $r_{\text{пр}} \ll R_1 \ll r_{\text{обр}}$, то D_1 — закрыт, D_2 — открыт и $u_{\text{вых}} = U''_{n2}$. Здесь уже ограничение происходит на наиболее положительном из уровней. Подчеркнем, что в рассмотренных схемах ограничение наступает за счет протекания тока через соответствующий открытый диод. При этом все другие диоды закрыты.

Осуществим переход к диодным логическим элементам. Рассматривая клеммы подключения пороговых уровней как входные

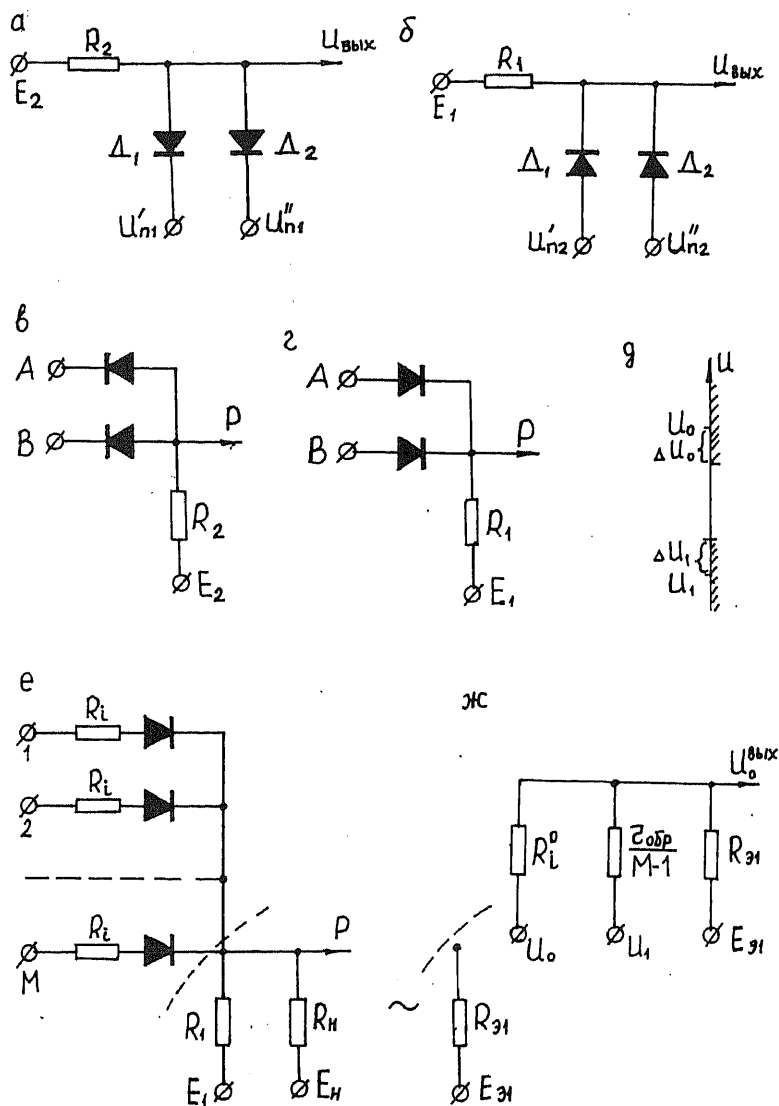


Рис. 1.20

зажимы, перерисуем схемы (рис.1.20,а,б) в несколько ином виде (рис.1.20,в,г). Будем считать, что сигналы на входах принимают

значения U_1 или U_0 . Пусть $U_1 < U_0$ (система отрицательных сигналов) и выполнены условия ограничения:

$$E_2 > U_0; E_1 < U_1; \quad (1.25)$$

$$r_{np} \ll R_{1,2} \ll r_{обр}. \quad (1.26)$$

Тогда схема на рис.1.20,в является элементом ИЛИ, а схема на рис.1.20,г – элементом И. Характерно, что в системе положительных сигналов при выполнении соответствующих условий рис.1.20,в отвечает элементу И, а рис.1.20,г – ИЛИ. В дальнейшем, для определенности, в этой главе рассматривается всегда система отрицательных сигналов.

Неравенства (1.25) назовем условиями фиксации. При их выполнении в случае идеальных источников и диодов

($R_i = r_{np} = 0, r_{обр} \rightarrow \infty$) на выходе элемента будет зафиксирован нужный потенциальный уровень. Однако в действительности R_i и r_{np} конечны. Протекание тока открытого диода вызывает на них падение напряжения определенной полярности, которое тем меньше, чем «сильнее» неравенство (1.26).

Для количественной оценки искажений обратимся к числовой оси (рис.1.20,д). Считаем, что на входах элемента присутствуют стандартные потенциалы U_0 и U_1 . Сигнал на выходе полагаем неискаженным, если

$$U_0^{вых} \geq U_0 - \Delta U_0 = U_0 - K_0(U_0 - U_1); U_1^{вых} \leq U_1 + \Delta U_1 = U_1 + K_1(U_0 - U_1).$$

Здесь K_0, K_1 – заданные коэффициенты допустимых искажений нуля и единицы, $0 < K_{0,1} < 1$. Условия неискаженной передачи сигналов перепишем в виде

$$\frac{U_0 - U_0^{вых}}{U_0 - U_1} \leq K_0, \quad \frac{U_1^{вых} - U_1}{U_0 - U_1} \leq K_1. \quad (1.27)$$

В элементе ИЛИ картина распределений потенциалов на выходе сдвинута по оси напряжений вверх, а для элемента И – вниз. Поэтому в элементе ИЛИ могут возникнуть искажения только сигнала 1, а в элементе И – только сигнала 0. Сделанный вывод не зависит от принятой системы сигналов. Вместе с условием фиксации условие неискаженной передачи сигнала (нуля или единицы) образует систему достаточных условий правильной работы диодного элемента.

Рассмотрим теперь случай нагруженного элемента с произвольным числом входов. Пусть M – число входов элемента И; N – то же для

элемента ИЛИ; R_i^0 и R_i^1 – внутренние сопротивления источника для сигналов 0 и 1. В общем случае $R_i^0 \neq R_i^1$. Значение r_{np} включено в R_i .

Анализ начнем с элемента И (рис.1.20,е). Здесь

$$E_{31} = \frac{E_1 g_1 + E_n g_n}{g_{31}}, \quad g_{31} = \frac{1}{R_{31}} = g_1 + g_n.$$

Условие фиксации: $E_{31} < U_1$. Наибольшее ослабление сигнала 0 имеет место при его поступлении только на один из входов. Тогда открыт всего лишь один диод, и внутреннее сопротивление источника, от которого отбирается ток, оказывается максимальным. Соответствующая эквивалентная схема приведена на рис.1.20,ж. Для нее

$$U_0^{вмх} = \frac{U_0 g_i^0 + U_1 (M-1) g_{о6p} + E_{31} g_{31}}{g_i^0 + (M-1) g_{о6p} + g_{31}}.$$

Согласно (1.27) искомое условие запишется

$$\frac{(M-1) g_{о6p} + \frac{U_0 - E_{31}}{U_0 - U_1} g_{31}}{(M-1) g_{о6p} + g_i^0 + g_{31}} \leq k_0.$$

Аналогичное рассмотрение можно провести и для элемента ИЛИ. Расчетные соотношения здесь

$$E_{32} = \frac{E_2 g_2 + E_n g_n}{g_{32}} > U_0, \quad g_{32} = g_2 + g_n$$

и

$$\frac{(N-1) g_{о6p} + \frac{E_{32} - U_1}{U_0 - U_1} g_{32}}{(N-1) g_{о6p} + g_i^1 + g_{32}} \leq k_1.$$

С увеличением числа входов элемента возрастает суммарный ток утечки через закрытые диоды, а потому – и степень искажения сигнала. Особенности поведения диодных логических структур рассмотрены в [1]. Дополнительно могут быть рекомендованы работы [33,34].

Транзисторные элементы

По принципу действия различают транзисторные элементы и структуры: с переключением напряжений, с непосредственными связями, с переключением токов. Ниже рассматриваются только элементы первой группы. Они строятся на основе ключа $O\vec{Э}^{\rightarrow}$ с

ускоряющей емкостью. Поэтому их анализ аппаратно близок предыдущему. Знакомство с другими группами будет дано в §2.1 сразу в интегральном варианте. Главное в данном и следующем разделах – это выяснить, какой логический тип предпочтителен в том или ином случае, и выявить некоторые общие черты поведения логических элементов в составе структуры.

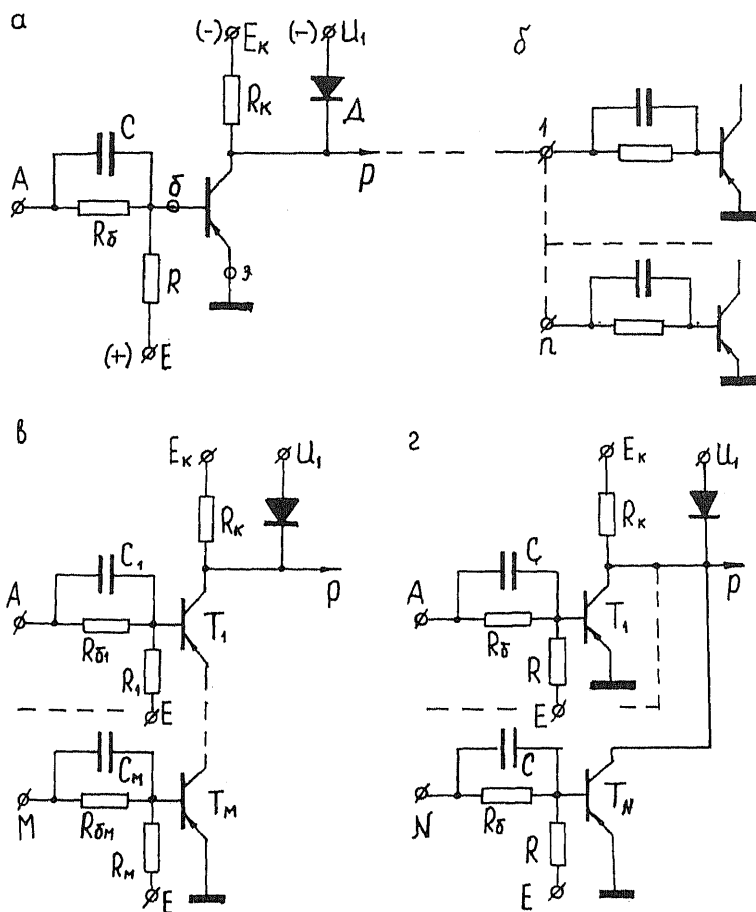


Рис. 1.21

Элементы с переключением напряжений. Как и прежде, будем рассматривать элементы отрицательных сигналов, полагая $U_1 < U_0$. Схема инвертора (элемент НЕ) показана на рис.1.21,а. При поступлении на его вход сигнала U_0 триод закрывается и потенциал выхода фиксируется на уровне U_1 . Единичный входной сигнал вызывает насыщение триода. На выходе получаем сигнал нуля $U_0 = U_{\text{кн}} < 0$. Цепь смещения Е-Р ставится для надежного закрывания триода при нулевом входном сигнале. Цепочка диодной фиксации $U_1 - Д$ служит для стандартизации сигнала 1 в условиях переменной нагрузки.

Далее рассматривается случай, когда к выходу данного инвертора подключено n ($1 \leq n \leq k$) таких же инверторов (рис.1.21,б). Условие закрывания триода запишется

$$U_{0n} = \frac{U_0 g_0 + E g - I_{k0}^{\text{max}}}{g_0 + g} \geq (3-4)\varphi, \quad (1.28)$$

Условие фиксации потенциала коллектора закрытого триода имеет вид

$$\frac{E_k g_k + I_{k0}^{\text{max}}}{g_k + k g_0} < U_1. \quad (1.29)$$

Для насыщенного триода $U_{0n} \approx 0$. Поэтому условие насыщения триода

$$I_{01}^{\text{cr}} = |U_1| g_0 - E g = \frac{1}{\beta_{\text{min}}} |E_k| g_k, \quad (1.30)$$

где β_{min} – минимальное для данного типа триодов значение β . Соотношения (1.28) – (1.30) позволяют выполнить статический расчет схемы.

Схема (рис.1.21,в) представляет элемент Шеффера на M входов. Если хотя бы один из триодов в последовательной цепи закрыт (на его вход подан сигнал 0), то вся цепь разорвана и сигнал на выходе равен U_1 . Только при наличии сигнала 1 одновременно на всех входах (все триоды насыщены) получаем на выходе сигнал U_0 . Пусть режим в схеме стационарный, и все триоды находятся на грани насыщения. Для простоты наличием утечки в цепях $R_j - E, j=1,2,\dots,M$, временно пренебрежем. Параметры всех триодов считаем одинаковыми. Тогда $I_{0j} = I_{01} / \alpha^{j-1}$ и

$$R_{0j} = \alpha^{j-1} R_{01}, \quad j=1,2,\dots,M. \quad (1.31)$$

Однако для реальных значений M и α , близких к единице, можно принять $R_{0j} = R_0, R_j = R$ – одинаковыми для всех триодов. Поэтому

статический расчет элемента И-НЕ может быть выполнен по формулам (1.28) – (1.30) с подстановкой в них вместо U_0 величины $MU_{\text{кн}}$.

Схема элемента Пирса на N входов показана на рис.1.21,г. Триоды включены здесь параллельно. Поэтому сигнал 0 на выходе появляется при наличии сигнала 1 хотя бы на одном из входов. Фиксация сигнала 1 на выходе имеет место, если все триоды закрыты. Особенностью статического расчета схемы по сравнению с инвертором является необходимость подстановки в формулу (1.29) вместо $I_{\text{кн}}^{\text{max}}$ суммарного тока утечки коллекторов N закрытых триодов, равного $NI_{\text{кн}}^{\text{max}}$.

Дадим сравнительную оценку быстродействия элементов НЕ, И-НЕ (Ш), ИЛИ-НЕ (П). При этом будем считать: 1) смена сигнальных потенциалов на входах происходит мгновенно; 2) режим в базовых цепях – критический, т.е. $\tau = C_1 R_0 = \tau_0$; 3) утечка через сопротивление R_1 отсутствует; 4) величины R_0 удовлетворяют условию (1.31). Тогда длительности фронтов тока коллектора в инверторе $t_{\Phi(\text{И-НЕ})}^+ = t_{\Phi(\text{И-НЕ})}^- = 2,3 \tau'$, где τ' – постоянная времени базовой цепи.

Пусть $M=2$ и на оба входа элемента И-НЕ одновременно поступают сигналы 1. При этом

$$I_{\text{к2}}(p) = I_{\text{с2}}(p) \frac{\beta}{1 + p\tau_p} = \beta I_{\text{сн2}} \frac{1}{p(1 + p\tau')}, \quad I_{\text{сн2}} = \frac{1}{\alpha\beta} \cdot \frac{|E_{\text{к}}|}{R_{\text{к}}};$$

$$I_{\text{к1}}(p) = I_{\text{с2}}(p) \frac{\alpha}{1 + p\tau_a} = \alpha\beta I_{\text{сн2}} \frac{1}{p(1 + p\tau')(1 + p\tau_a)}.$$

Соответственно

$$i_{\text{к1}}(t) = \frac{|E_{\text{к}}|}{R_{\text{к}}} \left(1 - \frac{\tau'}{\tau' - \tau_a} e^{-t/\tau'} + \frac{\tau_a}{\tau' - \tau_a} e^{-t/\tau_a} \right), \quad \tau' \neq \tau_a.$$

Кривая $i_{\text{к1}}(t)$ выбросов не имеет и асимптотически приближается к уровню $|E_{\text{к}}|/R_{\text{к}}$. Поэтому величину t_{Φ}^+ следует определять на уровнях 0 – 0,9. Полагая $\tau' > \tau_a$ и учитывая, что всегда $t_{\Phi}^+ > 2,3\tau_a$, если открытый триод в каскаде ОБ находится на грани насыщения, имеем

$$t_{\Phi(\text{И})}^+ = \tau' \ln \left(10 \frac{\tau'}{\tau' - \tau_a} \right) \approx 2,3\tau' + \tau_a = t_{\Phi(\text{И-НЕ})}^+ + \tau_a. \quad (1.32)$$

Выполненный анализ справедлив в предположении, что триод T_2 работает в активном режиме. В данном случае это действительно так,

ибо заряд емкости C_1 , вызванный изменением тока $i_{k2}(t) = i_{k1}(t)$, происходит точно за время $t_{\phi(ш)}^*$.

Добавку τ_a в формуле (1.32) примем за ориентировочную характеристику увеличения длительности фронта, вносимого в элементе И-НЕ каждым вышестоящим триодом. В итоге имеем следующую приближенную оценку: $t_{\phi(ш)}^* \approx t_{\phi(НЕ)}^* + (M-1)\tau_a$. Таким образом, элемент И-НЕ более инерционен, чем инвертор. Разница тем сильнее, чем больше M . Заметим, что ввод триодов в насыщение здесь недопустим. В наиболее тяжелом случае, когда сигнал 0 подается только на базу триода T_n , задержка начала изменения потенциала на выходе равна суммарному времени рассасывания всех триодов. Рассасывание триода T_j начинается с момента выхода триода T_{j+1} из насыщения и происходит с большой постоянной времени τ_p , ибо характер процесса рассасывания не зависит от схемы включения триода.

Длительности фронтов напряжения на выходе элемента Пирса зависят от комбинации входных сигналов. Минимальное значение t_{ϕ}^* получается при одновременной подаче сигнала 1 на все входы, когда стационарная степень насыщения каждого триода оказывается равной N . Общее время установления сигнала 1 на выходе $t_y = t_p + t_{\phi}^*$ одинаково в любом случае, но веса составляющих t_p и t_{ϕ}^* меняются. Так, если в исходном состоянии $N-1$ триодов уже закрыты, то $t_y = t_{\phi}^*$. При одновременном закрывании всех триодов значительную долю t_y составляет t_p . Как бы то ни было, быстродействие элемента Пирса не хуже, чем у инвертора. Поэтому система {ИЛИ-НЕ} предпочтительнее системы {И-НЕ} не только с позиций статики, но и динамики.

Переходные процессы в цепочке инверторов. Рассмотрим цепочку инверторов, в которой каждый инвертор работает на n аналогичных ему элементов, $1 \leq n \leq k$ (рис.1.21,а,б). Определим длительности фронтов тока коллектора в некотором промежуточном инверторе. Для простоты будем полагать: 1) утечка в цепи смещения пренебрежимо мала; 2) триод в инверторе-источнике переключается мгновенно; 3) открытый триод источника находится на грани насыщения; 4) объемное сопротивление базы триода $r_b \ll R_s$; 5) $\tau = CR_s = \tau_p$.

Учитывая, что к источнику присоединено n инверторов, для определения открывающего базового тока I_{b1} выделенного инвертора

имеем эквивалентную схему (рис.1.22,а). В начальный момент времени напряжение на суммарной емкости пС равно нулю. Поэтому диод

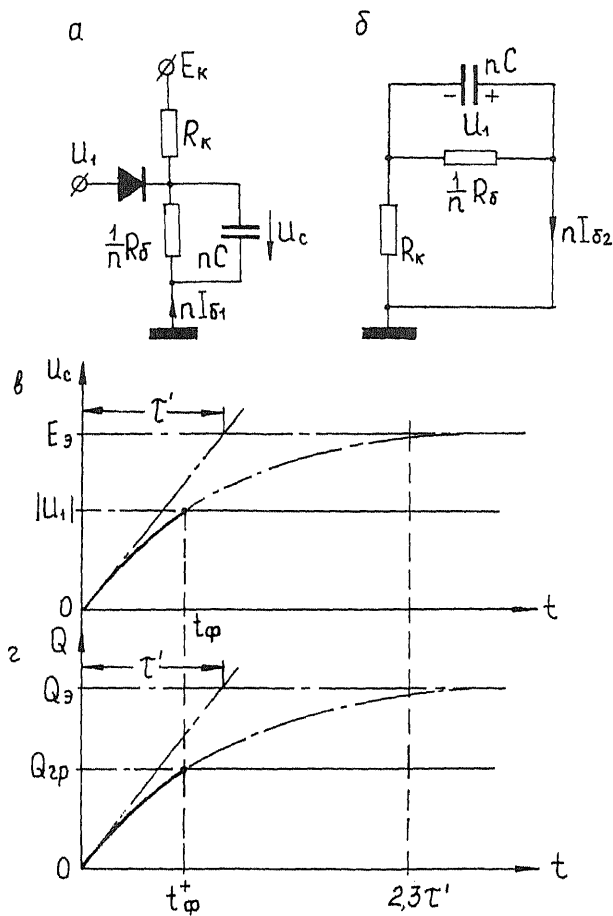


Рис. 1.22

закрыт, и открывающий ток базы стремится к стационарной величине

$$I_{\delta 1}^{\text{ст}} = \frac{1}{n} \cdot \frac{|E_K|}{R_K + \frac{1}{n}R_\delta} = \frac{|E_K|}{nR_K + R_\delta}$$

с постоянной времени

$$\tau' = nC \frac{\frac{1}{n} R_6 R_k}{\frac{1}{n} R_6 + R_k} = \tau_p \frac{n R_k}{R_6 + n R_k}.$$

Вплоть до момента открывания диода

$$Q(t) = Q_0 (1 - e^{-t/\tau'}), \quad Q_0 = \tau_p I_{61}^{CT};$$

$$u_c(t) = E_0 (1 - e^{-t/\tau'}), \quad E_0 = R_6 I_{61}^{CT},$$

где $Q(t)$ – заряд в базе; $u_c(t)$ – напряжение на базовой емкости.

Обозначим $\gamma = U_1/E_0$. По условию $I_{61}^{CT} = \frac{1}{\beta} |E_0| g_k = |U_1| g_0$. Отсюда

$R_6 = \gamma \beta R_k$. После подстановки

$$\tau' = \tau_p \frac{n}{n + \gamma \beta}; \quad E_0 = |U_1| \frac{\beta}{n + \gamma \beta}; \quad Q_0 = Q_{cp} \frac{\beta}{n + \gamma \beta},$$

где $Q_{cp} = I_{61} \tau_p$ – граничный заряд. По условиям статики обязательно

$$\frac{\beta}{n + \gamma \beta} > 1. \text{ Соответственно } E_0 > |U_1| \text{ и } Q_0 > Q_{cp}.$$

Формирование положительного фронта тока коллектора заканчивается одновременно с открыванием диода (рис.1.22,в,г):

$$t_{\Phi}^+ = t_{\Phi} = \tau' \ln \frac{1}{1 - \frac{\beta}{n + \gamma \beta}}. \quad (1.33)$$

С этого момента наступает фиксация. Ток базы сразу же спадает до значения I_{61} . Дальнейшего нарастания заряда в базе не происходит. Триод остается на грани насыщения. На основании (1.33) заключаем, что в цепочке инверторов значение t_{Φ}^+ увеличивается с ростом числа выходов инвертора, достигая при $n = k$ своего максимального значения.

Рассмотрим процесс закрывания триода. Фиксация прекращается в момент начала разряда базовой емкости. При наших допущениях цепь коллектора открытого триода в источнике эквивалентна заземленному сопротивлению R_k . Поэтому запирающий ток базы I_{62} выделенного триода может быть найден из эквивалентной схемы (рис.1.22,б). Постоянная времени базовой цепи τ' остается прежней. Длительность отрицательного фронта тока коллектора t_{Φ}^- определится полученной

ранее формулой для случая критического режима в базовой цепи ключа ОЭ с ускоряющей емкостью:

$$t_{\phi}^{-} = 2,3\tau' = 2,3\tau_p \frac{n}{n + \gamma\beta}. \quad (1.34)$$

Таким образом, в цепочке инверторов и значение t_{ϕ}^{-} растет с увеличением n . Характерно, что здесь всегда $t_{\phi}^{-} > t_{\phi}^{+}$, ибо $t_{\phi}^{+} < 2,3\tau'$ (рис.1.22,г). Пусть, для примера, $n \ll \gamma\beta$, $\gamma=0,5$. Тогда из (1.33), (1.34) имеем $t_{\phi}^{+} = 1,4\pi\tau_a$, $t_{\phi}^{-} = 4,6\pi\tau_a$.

Проанализируем влияние величины γ на быстрдействие цепочки инверторов, полагая U_i и $I_{\text{кн}}$ постоянными, $\tau=\tau_p$. Из полученных нами формул следует, что с уменьшением γ значение t_{ϕ}^{+} падает, а t_{ϕ}^{-} — растет. При этом $\lim_{\gamma \rightarrow 0} t_{\phi}^{+} = \pi\tau_a$, $\lim_{\gamma \rightarrow 0} t_{\phi}^{-} = 2,3\tau_p$. Указанное обстоятельство имеет простое физическое объяснение. В нашем случае снижение γ влечет за собой возрастание $|E_{\kappa}|$ и R_{κ} в одинаковое число раз. С одной стороны, это приводит к увеличению τ' , а с другой — к росту $I_{\text{б1}}^{\text{ст}}$. Последнее оказывает наибольшее влияние на величину t_{ϕ}^{+} (рис.1.22,г). В пределе при $|E_{\kappa}|$, $R_{\kappa} \rightarrow \infty$ имеем на входе триода идеальный источник импульса тока $I_{\text{кн}}/n$, что и определяет асимптотические значения t_{ϕ}^{+} и t_{ϕ}^{-} . Из условий статики $\kappa < \beta(1-\gamma)$. Поэтому предельное значение κ уменьшается с ростом γ . Влияние нагрузки на быстрдействие элемента характерно для любых технологий.

Диодно-транзисторные элементы

Инвертор может быть с успехом использован в комбинации с диодными элементами, ибо система {И, ИЛИ, НЕ} является функционально полной. Простейшая из таких комбинаций ИЛИ-НЕ (И-НЕ) представляет собой диодно-транзисторный элемент Пирса (Шеффера) и может быть взята за основу при создании произвольной логической структуры. В силу присущих им особенностей диодно-транзисторные элементы составляют отдельную группу логических схем. В зависимости от типа инвертора различают два вида таких элементов: с переключением напряжений и с непосредственными связями. Кратко остановимся на каждом из них. Достаточное

количество примеров построения диодно-транзисторных элементов и структур можно найти в книгах [28, 33, 34].

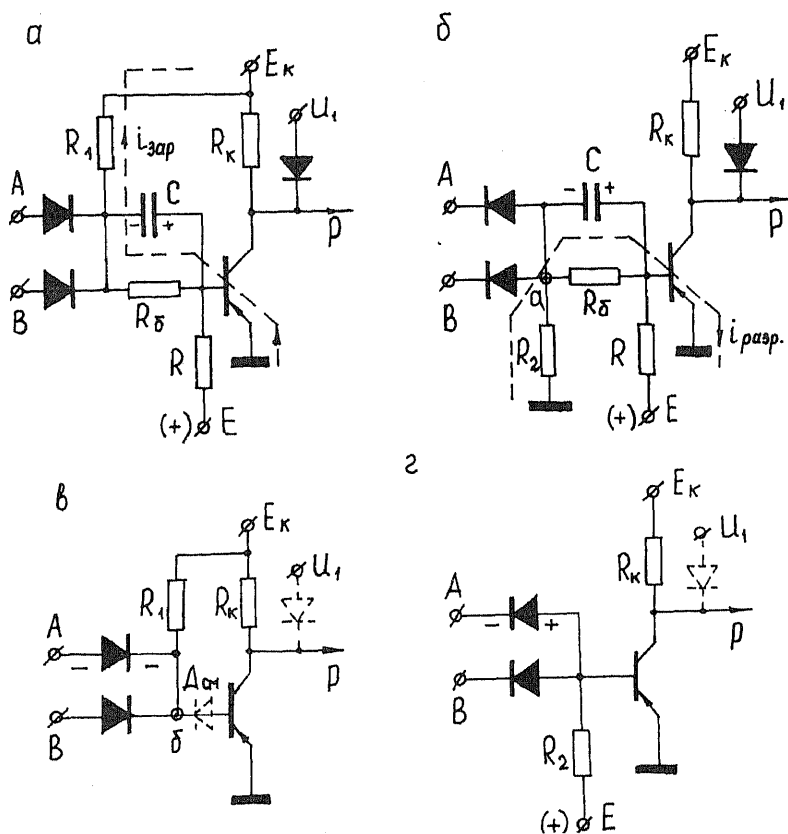


Рис. 1.23

Элементы с переключением напряжений. Схемы диодно-транзисторных элементов И-НЕ, ИЛИ-НЕ с переключением напряжений показаны на рис.1.23,а,б. Рассмотрим сначала элемент И-НЕ. Пусть стационарно хотя бы на одном из входов действует сигнал U_0 . Тогда в исходном состоянии триод закрыт, емкость C полностью разряжена. При поступлении на оба входа сигнала 1 триод открывается зарядным током емкости C . Входные диоды

первоначально закрыты. Они открываются в момент, когда $u_c = U_1$. Одновременно прекращается заряд емкости и изменение открывающего тока базы. Картина аналогична наблюдавшейся ранее для цепочки инверторов.

Пусть k — максимально возможное число выходов элемента в структуре. При нулевом сигнале на одном входе элемент стационарно потребляет от источника входных сигналов ток $|E_k|g_1$. Поэтому расчетный ток коллектора насыщения в данном случае

$$I_{кн} = |E_k|g_{кз}, \quad g_{кз} = g_k + kg_1. \quad (1.35)$$

Будем считать, что условие фиксации в диодном элементе И на входе схемы выполнено, т.е.

$$\frac{E_k g_1}{g_1 + g_6} < U_1.$$

Тогда условие насыщения триода

$$|U_1|g_6 - E_g = \frac{1}{\beta_{min}} |E_k|g_{кз}.$$

Последние две формулы вместе с условием (1.28) закрывания триода при нулевом входном сигнале полностью определяют статику схемы. Из них, полагая $\gamma = U_1/E_k$ и пренебрегая утечкой в цепи $E-R$, имеем $k < (1 - \gamma)\beta - g_k/g_1$.

Обозначим $n' = \frac{g_{кз}}{g_1} = k + \frac{g_k}{g_1}$. Примем $\tau = CR_6 = \tau_\beta$. Время нарастания заряда в базе до величины $\tau_a I_{кн}$, где $I_{кн}$ задано формулой (1.35), определится

$$t_\phi^* = \tau' \ln \frac{1}{1 - \frac{n' + \gamma\beta}{\beta}}, \quad \tau' = \tau_\beta \frac{n'}{n' + \gamma\beta}. \quad (1.36)$$

Эта формула аналогична (1.33). Как и в цепочке инверторов, входные диоды открываются точно в момент t_ϕ^* .

Наиболее тяжелым в смысле скорости закрывания триода является случай, когда сигнал нуля поступает только на один вход, а элемент-источник имеет максимальное число выходов (при этом на вход элемента поступает ток $|E_k|g_1$), ибо внутреннее сопротивление эквивалентного источника и постоянная времени базовой цепи здесь максимальны. Длительность отрицательного фронта заряда:

$$t_{\phi}^{-} = 2,3\tau_p \frac{n'}{n' + \gamma\beta}. \quad (1.37)$$

Как и в инверторе, с ростом k быстродействие ухудшается. Однако физический смысл t_{ϕ}^{+} и t_{ϕ}^{-} в данном случае несколько иной. Если полученные для цепочки инверторов формулы отражали реальный факт затягивания фронтов с ростом числа подключений n , то здесь имеются в виду длительности фронтов заряда (не тока коллектора), обусловленных расчетным значением k , а потому неизменных при любых $1 < n \leq k$. Если $n < k$, то триод попадает в насыщение, и время нарастания тока коллектора несколько меньше t_{ϕ}^{+} , найденного из (1.36). Суммарное же время закрывания триода остается неизменным и определено формулой (1.37). Следовательно, быстродействие таких схем в условиях переменной нагрузки хуже, чем у транзисторных структур с переключением напряжений. Заметим, что все параметры схемы (k , t_{ϕ}^{+} , t_{ϕ}^{-}) улучшаются, если $R_k \rightarrow \infty$. Однако выбор слишком больших R_k в действительности может привести к затягиванию фронтов за счет влияния емкости C_k .

Придем к анализу элемента Пирса (рис.1.23,б). При поступлении хотя бы на один из входов сигнала 1 соответствующий диод открыт и процессы в базовой цепи аналогичны процессам в цепочке инверторов. Как только потенциалы обоих входов оказываются равными U_0 , начинается разряд базовой емкости C . Диоды закрываются, ибо напряжение в точке a становится отрицательным.

Условие фиксации сигнала 1 на выходе элемента-источника имеет вид

$$\frac{E_k g_k + I_{k0}^{\max}}{g_k + k(g_2 + g_6)} < U_1.$$

В данном случае $I_{k0} = |E_k|g_k$, и условие насыщения

$$|U_1|g_6 - Eg = \frac{1}{\beta_{\min}} |E_k|g_k.$$

Эти формулы вместе с (1.28) служат для статического расчета схемы. Из них, пренебрегая тепловым током и утечкой в цепи E - R , получаем ограничение на максимальное число выходов элемента

$$k < \frac{(1-\gamma)\beta}{1 + \frac{\gamma\beta}{m}}, \quad m = \frac{R_2}{R_k}.$$

Оно падает с уменьшением R_2 .

Пусть $\tau = CR_6 = \tau_p$. Тогда длительность положительного фронта тока коллектора

$$t_{\phi}^* = \tau' \ell n \frac{1}{1 - \frac{n + \beta \gamma'}{\beta}}, \quad \tau' = \tau_p \frac{n}{n + \beta \gamma'}, \quad \gamma' = \gamma \left(1 + \frac{n}{m}\right).$$

Уменьшение R_2 эквивалентно в данном случае росту γ . А потому в силу анализа, выполненного для инвертора, оно приводит к росту t_{ϕ}^* . Длительность отрицательного фронта тока коллектора

$$t_{\phi}^- = 2,3 \tau_p \frac{m}{m + \gamma \beta}$$

падает с уменьшением m и не зависит от n . В общем случае быстроедействие (ИЛИ-НЕ)-схем хуже, чем у транзисторных структур с переключением напряжений и у (И-НЕ)-схем. По величине k они также уступают элементам Шеффера.

Элементы с непосредственными связями. В элементе Шеффера (рис.1.23,в) потенциал базы условно закрытого триода более отрицателен, чем $U_{\text{кн}}$, из-за падения напряжения на открытом диоде. Поэтому в качестве входных следует использовать диоды с малым r_{np} для средних токов, например, плоскостные диффузионные диоды [32]. Если триод источника «закрыт», то входной диод элемента-нагрузки также закрыт, и открывающий ток базы $I_{\text{в1}} = |E_1|g_1$ задается базовой цепью самого элемента. Поэтому допустимый ток утечки «закрытого» триода ограничивается только условием фиксации сигнала единицы на выходе оконечного элемента структуры.

Если триод-источник насыщен, то входные диоды нагрузок открыты и расчетное условие насыщения имеет вид

$$|E_1|g_1 \geq \frac{S}{\beta} |E_1|(g_k + \kappa g_1). \quad (1.38)$$

Отсюда получаем ограничение на максимальное число выходов элемента

$$\kappa \leq \frac{\beta}{S} - \frac{g_k}{g_1}.$$

Здесь S — стационарная степень насыщения. В схеме следует применять триоды с возможно большими β , малыми τ_p , $I_{\text{к0}}$, $|U_{\text{кн}}|$. Требуется высокая стабильность характеристик диодов и транзисторов.

При расчете элемента необходимо выбрать ток $I_{\text{в1}} = |E_1|g_1$ через открытый диод и величину S , так чтобы суммарный потенциал базы

условно закрытого триода обеспечивал допустимый ток утечки. После этого из условия (1.38) находится R_k и проверяется выполнение условия фиксации. При выборе, например, диода Д311А и тока через него порядка 0,1мА имеем смещение потенциального уровня на входных диодах U_d не более 0,07В [32]. Пусть S таково, что $U_{\text{кн}} = -0,08\text{В}$. Тогда $U_g = U_{\text{кн}} + U_d \geq -0,15\text{В}$ и для типовых триодов $I_{\text{гт}} < 10(\beta + 1)I_{\text{к0}}$. Так, в случае $\beta = 50$, $I_{\text{к0}} = 2\text{мкА}$ получаем $I_{\text{гт}} < 1\text{мА}$, что обычно вполне приемлемо. Если $\gamma < 0,5$, то величина $I_{\text{гт}}$ может составлять до половины тока $|E_k|g_k$. Для снижения необходимой величины S применяют смещающий диод $D_{\text{см}}$ (рис.1.23,в,пунктир). Он должен обладать большим $\gamma_{\text{пр}}$ для малых токов. Такому требованию отвечают плоскостные сплавные диоды, например, диод Д219 [32]. При наличии $D_{\text{см}}$ напряжение на переходе база-эмиттер «закрытого» триода падает.

В элементе Пирса (рис.1.23,г) в качестве входных следует использовать плоскостные сплавные диоды марок Д219 и др., обладающие сравнительно большим $\gamma_{\text{пр}}$ для малых токов. Тогда при токе через диод не менее 0,01мА $U_d \geq 0,4\text{В}$ [32], что вполне достаточно для создания на базе триода закрывающего потенциала. Условие закрывания имеет вид

$$Eg_2 \geq NI_a^{\min} + I_{\text{к0}}^{\max}.$$

Здесь I_a^{\min} — минимальный ток диода, при котором все еще обеспечивается необходимое смещение потенциального уровня $U_a^{\min} \geq |U_{\text{кн}}| + (3-4)\phi_T$ в случае $S=1$; N — число входов элемента.

Условие насыщения запишется

$$\frac{1}{k}|E_k|g_k - Eg_2 \geq \frac{S}{\beta}|E_k|g_k, \quad S=1. \quad (1.39)$$

Отсюда

$$k \leq \frac{1}{\frac{1}{\beta} + \lambda}, \quad \lambda = \frac{Eg_2}{|E_k|g_k}.$$

Это ограничение менее жесткое, чем для элемента Шеффера. Поэтому использование системы {ИЛИ-НЕ} в данном случае предпочтительнее. Но требуется дополнительный источник питания E . Учитывая нестабильность входных характеристик триодов, при расчетах в условии (1.39) следует взять $S > 1$.

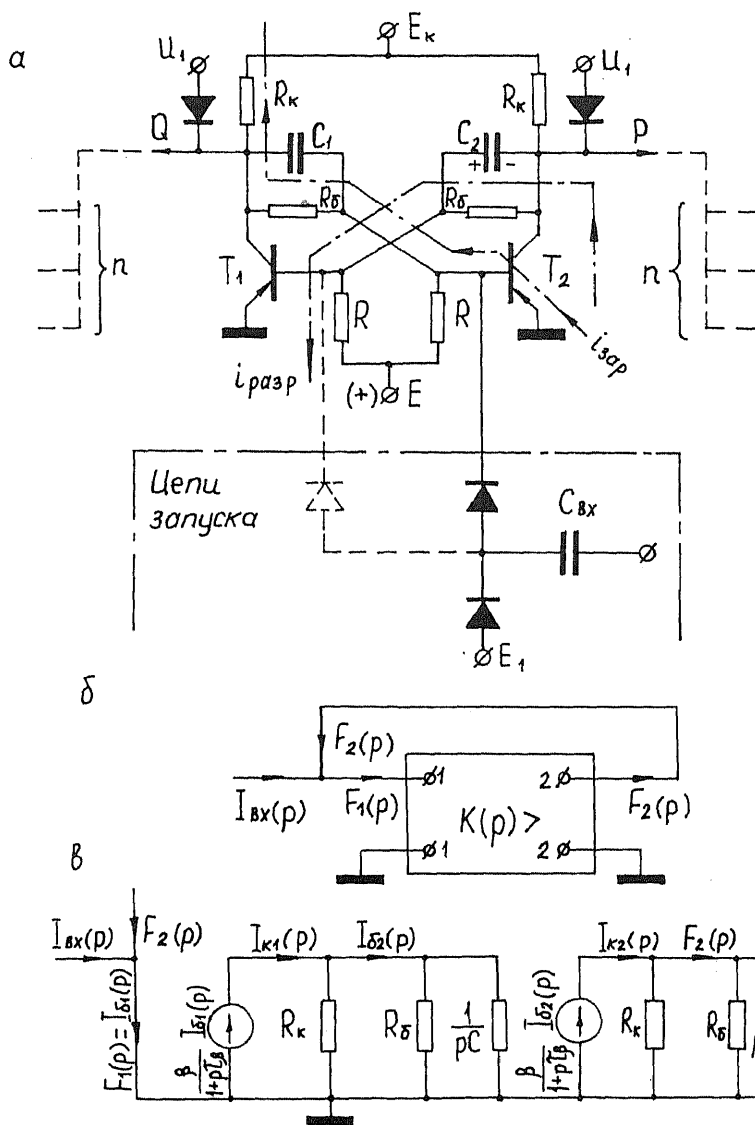


Рис. 1.24

Статический триггер

Триггер может быть создан на базе любого из рассмотренных ранее элементов НЕ, И-НЕ, ИЛИ-НЕ. Ограничимся кратким анализом особенностей построения триггеров на основе инверторов с переключением напряжений. Этот тип триггеров достаточно полно рассмотрен в работах [29, 35, 36].

Сравнение с инвертором. Рассматриваемая схема приведена на рис.1.24,а. Она образована двумя инверторами, выход каждого из которых замкнут на вход другого. Поэтому при правильно выполненном статическом расчете инвертора, если один из триодов насыщен, то другой обязательно закрыт. И наоборот, закрытое состояние одного триода вызывает насыщение другого. Следовательно, схема обладает двумя устойчивыми состояниями. Можно, например, считать выход Р прямым выходом элемента (сигнал на нем отвечает информации, хранимой в триггере), а выход Q – инверсным. К каждому выходу подключено n элементов (НЕ, И-НЕ либо ИЛИ-НЕ), $0 \leq n \leq k-1$.

Стационарно схема находится в одном из устойчивых состояний. Если по какой-либо причине оба триода одновременно окажутся в активном режиме, то за счет положительной обратной связи в схеме происходит лавинообразный (регенеративный) процесс ее переключения, когда любое начальное отклонение тока или напряжения является причиной еще большего изменения той же величины и в ту же сторону. Лавина – это бесконечно нарастающий процесс. Конечная величина физического скачка объясняется реально существующими ограничениями. В триггере лавина заканчивается обычно в момент закрывания одного из триодов. Через некоторое время другой триод оказывается в насыщении.

Переключение триггера из одного устойчивого состояния в другое осуществляется под воздействием внешнего сигнала, подаваемого в одну из точек схемы. Вопросы организации схем запуска будут рассмотрены далее.

Пусть по окончании лавины триод T_1 закрыт. Формирование положительного фронта тока коллектора триода T_2 происходит здесь так же, как и в инверторе. Одновременно за счет заряда ускоряющей емкости формируется отрицательный фронт напряжения на коллекторе триода T_1 . Как следует из анализа инвертора, при выборе $\tau = CR_0 = \tau_p$ оба процесса завершаются одновременно в момент наступления диодной

фиксации на выходе Q. Характерно, что этап регенеративного процесса кратковременен. Поэтому триод T_1 закрывается гораздо раньше, чем его базовая емкость успеет заметно разрядиться. С разрядом этой емкости, который фактически происходит на этапе открывания T_2 , обычно связывают полное установление нового стационарного состояния схемы. Время разряда в первом приближении можно оценить формулой для $t_{\bar{\phi}}$ в цепочке инверторов. Если $n=0$, то $t_{\text{раз}} \approx CR$ [29]. Более подробно об особенностях переходных процессов в триггерах можно узнать из рекомендованных ранее книг.

Анализ регенеративного процесса. На этапе регенерации триггер можно рассматривать как линейный усилитель с положительной обратной связью, поскольку оба триода работают здесь в активном режиме. Для анализа процессов в таком усилителе воспользуемся методом, изложенным в работе [14]. Элементы обратной связи отнесем к усилителю с функцией передачи $K(p)$. Начальное состояние триггера будем считать стационарным. Тогда на этапе регенерации имеем сигнальную операционную блок-схему триггера (рис.1.24,б). Здесь $I_{\kappa}(p)$ — внешний сигнал (ток); $F_1(p)$ и $F_2(p)$ — сигналы (приращения токов) на входе и выходе усилителя. Э.д.с. источников и начальные напряжения на емкостях внутри схемы равны нулю.

Поскольку $F_2(p) = F_1(p)K(p)$ и $F_1(p) = F_2(p) + I_{\kappa}(p)$, то

$$F_1(p) = I_{\kappa}(p) \frac{1}{1 - K(p)} \quad (1.40)$$

и условием возникновения лавинообразного процесса является наличие хотя бы одного корня с положительной вещественной частью в уравнении $1 - K(p) = 0$. В противном случае схема работает как обычный усилитель. Переключение ее возможно, но с гораздо меньшей скоростью.

В дальнейшем анализе^а 1) полагаем, что фиксирующие диоды закрыты; 2) входное сопротивление обоих триодов считаем равным нулю ($r_6 \ll R_{\kappa}$); 3) наличием цепей смещения пренебрегаем ($R \gg r_6$); 4) влияние нагрузки не учитываем. Соответствующая сигнальная операционная схема триггера на этапе регенерации показана на рис.1.24.в. Согласно схеме функция передачи по току усилителя с разомкнутой петлей обратной связи

$$K(p) = \left(\frac{\beta}{1 + p\tau_{\beta}} \cdot \frac{1 + p\tau}{a + p\tau} \right)^2, \quad \tau = CR_6, \quad a = 1 + \frac{R_6}{R_{\kappa}}. \quad (1.41)$$

Анализ корней уравнения $1 - K(p) = 0$ показывает, что при $a < \beta$ скачки в схеме возникают всегда. Если же $a \geq \beta$, то условием лавины является $\tau > \tau_0$. При правильном статическом расчете инвертора $R_6 = \gamma \beta R_k$, $\gamma < 1$ и $a = 1 + \gamma \beta < \beta$. Поэтому условие регенерации здесь выполняется даже при отсутствии ускоряющей емкости. Случай $a \geq \beta$ характерен для триггеров без диодной фиксации на выходе. Здесь $R_6 \approx \beta R_k$, и условие регенерации имеет вид

$$CR_k > \tau_0.$$

Рассмотрим случай подачи запирающей ступеньки тока $I_{\text{кх}}(t)$ на базу первоначально открытого триода T_1 . По условию $\tau = \tau_0$, а значение $I_{\text{кх}}$ настолько велико, что регенерация заканчивается закрыванием T_1 , когда триод T_2 открыт еще неполностью. Ток базы триода T_1 определится формулой (1.40). Приращение тока коллектора T_1

$$I_{\text{к1}}(p) = -\frac{\beta}{1 + p\tau_0} F_1(p) = \beta I_{\text{кх}} \frac{1}{p(1 + p\tau_0)[1 - K(p)]}.$$

Учитывая (1.41), для нашего случая получаем

$$I_{\text{к1}}(p) = \beta I_{\text{кх}} \frac{(a + p\tau_0)^2}{p(1 + p\tau_0)(p^2\tau_0^2 + 2ap\tau_0 + a^2 - \beta^2)}.$$

Переход к оригиналу дает

$$i_{\text{к1}}(t) = \beta I_{\text{кх}} \left[\frac{a^2}{a^2 - \beta^2} + \frac{(a-1)^2}{\beta^2 - (a-1)^2} e^{-t/\tau_0} + \right. \\ \left. + \frac{\beta}{2(\beta - a)(\beta - a + 1)} e^{\frac{\beta - a}{\tau_0} t} - \frac{\beta}{2(\beta + a)(\beta + a - 1)} e^{\frac{\beta + a}{\tau_0} t} \right].$$

Для значений t порядка τ_0 можно ограничиться в этой формуле первыми тремя членами разложения функции e^x в ряд Маклорена. В итоге имеем

$$i_{\text{к1}}(t) \approx \beta I_{\text{кх}} \left(\frac{t}{\tau_0} - \frac{1}{2} \cdot \frac{t^2}{\tau_0^2} \right).$$

Пренебрегая вторым членом в скобках и учитывая, что $i_{\text{к1}}(t_{\text{пер}}) = I_{\text{кн}}$, для времени регенерации получаем

$$t_{\text{пер}} \approx \tau_0 \frac{I_{\text{кн}}}{I_{\text{кх}}}.$$

Аналогичный анализ показывает, что при прежних допущениях ток коллектора триода T_2 $i_{k2}(t) \approx 0,5I_{kx}(t/\tau_a)^2$, и регенерация действительно заканчивается закрыванием T_1 , если $I_{kx} > 0,5I_{kн}$. В случае $I_{kx} = I_{кн}$ значение $t_{per} \approx \tau_a$ и $i_{k2}(t_{per}) \approx 0,5I_{кн}$. При отсутствии обратной связи и $I_{kx} = I_{кн}$ время закрывания T_1 также равно τ_a . Следовательно, при больших входных токах наличие регенерации не дает заметного выигрыша во времени переключения схемы.

Если на входе действует прямоугольный импульс тока $i_{k1}(t)$ длительностью $t_k < t_{per}$, то изменение любого тока внутри схемы в интервале $t_k < t < t_{per}$ можно рассматривать как наложение реакций от положительного и отрицательного перепадов входного тока одинаковой амплитуды, но сдвинутых друг относительно друга на время t_k . В случае $a < \beta$ решения остаются бесконечно нарастающими. Следовательно, величина t_k может быть здесь исчезающе малой. Однако прекращение импульса запуска до окончания регенерации замедляет процесс опрокидывания. Например, скорость $v_2(t)$ изменения тока $i_{k2}(t)$ определится

$$v_2(t) = i'_{k2}(t) = \frac{1}{\tau_p} \left[\frac{1}{2(\beta - a + 1)} e^{\frac{\beta - a}{\tau_p} t} - \frac{a - 1}{\beta^2 - (a - 1)^2} e^{-t/\tau_p} - \frac{1}{2(\beta + a - 1)} e^{\frac{\beta + a}{\tau_p} t} \right].$$

Соответствующая ей кривая начинается с нуля при $t=0$ и монотонно нарастает, стремясь к бесконечности при $t \rightarrow \infty$. В рассматриваемом интервале скорость регенерации равна разности $v_2(t) - v_2(t - t_k)$, и кривая скоростей идет ниже кривой $v_2(t)$. Чем меньше t_k , тем медленнее нарастает результирующая кривая скоростей и тем больше t_{per} . Поэтому всегда величина t_k должна быть больше t_{per} (больше τ_a , если $I_{kx} = I_{кн}$).

Организация запуска. Цепи запуска триггера строятся таким образом, чтобы исключить влияние источника входных сигналов на функционирование триггера во всем временном интервале, исключая этапы подготовки (вывода обоих триодов схемы в активный режим) и регенерации. Запуск триггера можно произвести как по базам, так и по коллекторам, как положительными, так и отрицательными импульсами. Однако наибольшее применение, в силу его высокой чувствительности к амплитуде входного сигнала и убыстрения процесса рассасывания (при $\beta > \beta_{мин}$), находит запуск положительными импульсами по базам.

Рассмотрением этого случая и ограничимся. Более подробно с различными методами запуска можно ознакомиться по книгам [34-36].

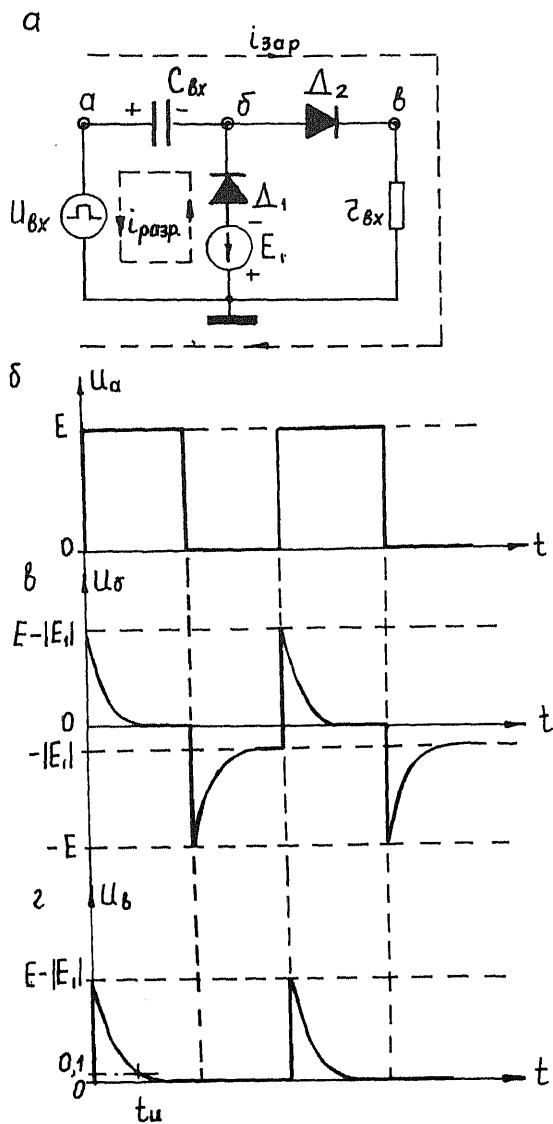


Рис. 1.25

Основу схемы запуска в нашем случае составляет так называемая вентильная дифференцирующая цепочка. Она показана на рис.1.25,а, где $r_{\text{вх}} \approx r_{\text{гб}}$ – входное сопротивление триггера. Диод D_1 играет роль разрядного диода. Источник E_1 служит для отключения цепи запуска от схемы триггера в стационарном режиме. Временные диаграммы импульсов в различных точках схемы показаны на рис.1.25,б,в,г.

В исходном состоянии емкость $C_{\text{вх}}$ заряжена до напряжения E_1 с полярностью, указанной на рис.1.25,а, и диод D_2 закрыт. В любой момент времени потенциал точки б $u_b = u_a + u_c$, где u_c – напряжение на емкости $C_{\text{вх}}$. При $t=0$ на вход схемы поступает положительный импульс амплитудой $E > |E_1|$, и поскольку $u_c(0) = E - |E_1| > 0$, то диод D_2 открывается. Через него начинает протекать зарядный ток емкости. В точках б и в наблюдаются остроконечные положительные импульсы (рис.1.25,в,г). Начиная с момента $t_{\text{н}} = 2,3 C_{\text{вх}} r_{\text{вх}}$, связь между источником и триггером практически отсутствует. По окончании входного импульса емкость $C_{\text{вх}}$ разряжается через диод D_1 до исходного напряжения E_1 (рис.1.25,а,в). Отрицательный всплеск на выход не проходит, ибо диод D_2 закрыт.

Подключение рассмотренной схемы запуска к триггеру показано на рис.1.24,а. Под воздействием входного импульса триод T_2 закрывается. Чтобы перевести схему в другое состояние, необходимо подать положительный импульс на базу T_1 с помощью аналогичной цепочки. Это случай запуска по раздельным входам. Существует и так называемый счетный запуск, когда опрокидывание триггера происходит всякий раз при поступлении импульса на один и тот же вход. Цепь запуска для этого случая дополнена на рис.1.24,а пунктиром.

Остановимся на счетном запуске более подробно. Пусть в исходном состоянии T_1 насыщен, а T_2 закрыт. Соответственно емкость C_1 разряжена, а C_2 заряжена до напряжения U_1 . В результате воздействия входного импульса оба триода закрыты. Будем считать, что к моменту окончания сигнала запуска емкости не успели заметно перезарядиться. Тогда в этот момент открывающий ток базы триода T_1 $I_{b2} \approx |E_1| g_{\text{вх}}$ и триода T_1 – $I_{b1} \approx |U_1| g_{\text{б}} \ll I_{b2}$, что обуславливает необходимую направленность опрокидывания схемы в сторону открывания T_1 .

Если амплитуда входного сигнала сравнительно велика, то напряжения на емкостях C_1 и C_2 могут настолько выравниваться за время t_n , что конечная установка схемы в то или иное состояние будет зависеть от случайных причин. При слишком слабых сигналах ранее открытый триод за время t_n может закрыться неполностью и триггер вернется в исходное состояние. Таким образом, в случае счетного запуска существует довольно узкая область надежной работы триггера на шкале амплитуд входных сигналов.

§1.5.РЕЛАКСАЦИОННЫЕ ГЕНЕРАТОРЫ ИМПУЛЬСОВ

Релаксационные генераторы импульсов (или просто релаксаторы) относятся к устройствам регенеративного типа. Форма импульсов на их выходе обычно близка к прямоугольной. Входные сигналы в них либо отсутствуют (режим автоколебаний), либо играют роль начального толчка, который лишь приводит в действие «внутренний механизм» схемы и не влияет на дальнейший процесс формирования импульсов (ждущий режим). Длительность или (и) период следования импульсов определяются в них временем сравнительно медленного перезаряда специальных реактивностей (релаксационный процесс). В некоторый момент начинают выполняться условия лавины. Возникает регенеративный процесс перехода схемы в новое состояние. Это состояние может оказаться устойчивым или временноустойчивым. В последнем случае возникает новый полезный релаксационный процесс. Естественное развитие процессов в автоколебательных релаксаторах вновь и вновь возвращает схему к некоторому исходному состоянию, в качестве которого при объяснении может быть взято любое состояние, если оно внутренне непротиворечиво.

Симметричный мультивибратор

Рассматриваемая схема (рис.1.26,а) работает в режиме автоколебаний. Пусть в исходном состоянии триод T_1 насыщен, T_2 закрыт, емкость C_1 заряжена с указанной полярностью, C_2 разряжена ($u_{c2}=0$). Это состояние непротиворечиво, ибо закрывание триода T_2 обусловлено напряжением u_{c1} , приложенным через насыщенный T_1 ($u_{e1}=0$) между базой и эмиттером T_2 плюсом на базу. В свою очередь, насыщение триода T_1 вызвано зарядным током емкости C_2 . Заряд этой

емкости определяет формирование отрицательного фронта напряжения u_{k2} на коллекторе триода T_2 :

$$u_{k2} = u_{c2} + u_{b1} \approx u_{c2}.$$

Здесь $u_{b1} \approx 0$ — напряжение на базе насыщенного триода T_1 .

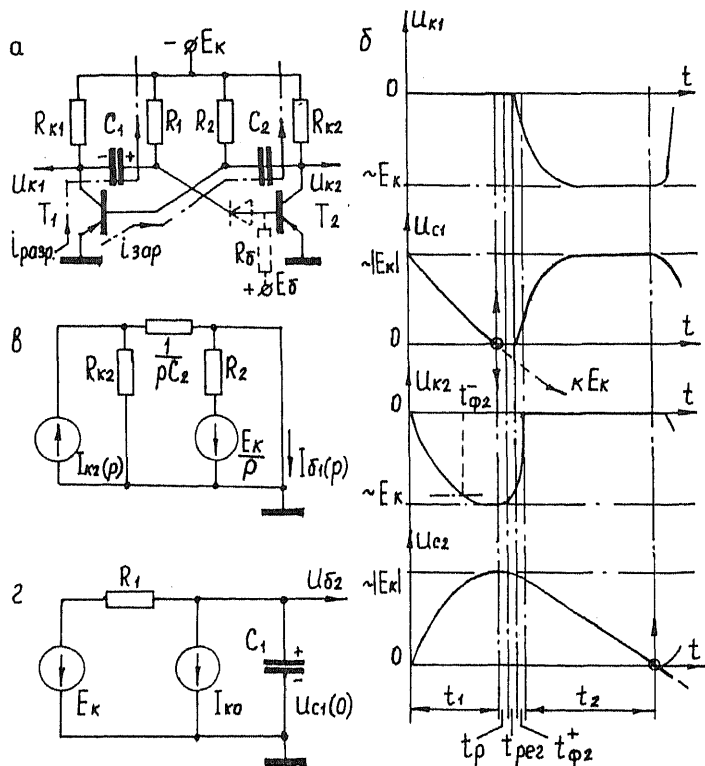


Рис. 1.26

По мере разряда емкости C_1 уменьшается закрывающее напряжение на базе T_2 . В момент времени, когда $u_{c1}=0$, триод T_2 начинает открываться. Приращение тока его коллектора ответвляется через емкость C_2 в базу T_1 , вызывая в нем рассасывание избыточного заряда. По окончании рассасывания оба триода оказываются в активном режиме. Замыкается цепь положительной обратной связи. Регенерация завершается закрыванием T_1 . Несколько позже зарядным

током емкости C_1 вводится в насыщение триод T_2 (формируется положительный фронт u_{k2}). Схема оказывается в состоянии, симметричном первоначальному. Новый цикл протекает аналогично. По его окончании схема придет в исходное состояние. Сказанное иллюстрируют временные диаграммы (рис.1.26,б).

Таким образом, схема обладает двумя временноустойчивыми состояниями. Длительность каждого из них (t_1 или t_2) определяется временем разряда соответствующей емкости. За это время другая емкость должна успеть полностью зарядиться. Иначе снизится амплитуда импульса на выходе. По окончании заряда емкости насыщенное состояние открытого триода поддерживается током через сопротивление R (обычно принимают $R_1=R_2=R$, $R_{k1}=R_{k2}=R_k$). При слишком больших R триод может выйти из насыщения. Отрицательный перепад напряжения с его коллектора передается на базу закрытого триода, вызывая его преждевременное открывание. Если же R слишком мало, то колебания в схеме могут вообще не возникнуть, ибо при включении схемы оба триода окажутся в чрезмерном насыщении. Поэтому берут

$$R = \beta_{\min} R_k. \quad (1.42)$$

При использовании в схеме дрейфовых триодов, обладающих сравнительно низким напряжением пробоя ($u_{проб}$) перехода эмиттер-база, в цепи баз устанавливаются отключающие диоды (рис.1.26,а; пунктир). Напряжение смещения E_6 выбирают из условия $u_{проб} > E_6 \geq I_{кв}^{\max} R_6 + (3-4)\varphi_r$. Диод, связанный с базой закрытого триода, на начальном этапе разряда емкости выключен. В остальном схема работает обычным образом.

Анализ временных процессов начнем с момента, когда $u_{e1}=0$ и триод T_2 начинает открываться. Ток разряда емкости C_1 , равный к этому времени $|E_k|g$, переключается в базу T_2 . Начальный этап нарастания тока коллектора T_2 определится формулой

$$I_{k2}(p) = \beta |E_k| g \frac{1}{p(1 + p\tau_p)}.$$

По условию емкость C_2 полностью заряжена. Эквивалентная сигнальная операционная схема базовой цепи триода T_1 (рис.1.26,в) определяет закрывающий ток базы:

$$I_{61}(p) = \beta |E_{\kappa}| g \frac{\theta_2}{(1+p\tau_{\beta})(1+p\theta_2)} - |E_{\kappa}| g \frac{1}{p}, \quad \theta_2 = R_{\kappa} C_2$$

и заряд в базе

$$Q_1(p) = \frac{Q_1(0) - I_{61}(p)}{1+p\tau_{\beta}} \tau_{\beta}, \quad Q_1(0) = \tau_{\beta} |E_{\kappa}| g$$

этого триода. Процесс рассасывания завершается в момент t_p , когда $Q_1(t_p) = Q_{\Gamma} = \tau_{\alpha} |E_{\kappa}| g_{\kappa}$. С учетом (1.41) окончательно получим

$$t_p \approx \tau_{\alpha} \sqrt{\beta - \beta_{\min}}, \quad \theta_2 \gg \tau_{\beta} \gg t_p.$$

Условием возникновения регенерации в схеме является [37]:

$$R_{\kappa} C_{1,2} > \tau_{\alpha}. \quad (1.43)$$

Время регенерации при достаточно сильном неравенстве (1.43) $t_{\text{рег}} \approx \tau_{\alpha}$. За это время емкость C_1 не успеет заметно зарядиться. Тогда открывающий ток базы триода T_2 составит $i_{\kappa 2} \approx |E_{\kappa}| g_{\kappa}$. Поэтому по окончании регенерации

$$i_{\kappa 2}(t) = \beta |E_{\kappa}| g_{\kappa} (1 - e^{-t/\tau_{\beta}}),$$

и длительность положительного фронта

$$t_{\Phi}^+ \approx \tau_{\alpha}. \quad (1.44)$$

Длительность отрицательного фронта (время заряда емкости) с учетом формул (1.43) и (1.44)

$$t_{\Phi 1,2}^- = 2,3 C_{1,2} R_{\kappa} \gg t_{\Phi}^+.$$

Длительность временноустойчивого состояния определяется из эквивалентной схемы разряда емкости (рис.1.26,г) по известной формуле для цепей с экспоненциальным изменением (см. §1.1)

$$t_{1,2} = RC_{1,2} \ln \frac{u_c(\infty) - u_c(0)}{u_c(\infty) - u_c(t_{1,2})}.$$

В данном случае $u_c(\infty) = -|E_{\kappa}| - I_{\kappa 0} R$, $u_c(t_{1,2}) = 0$. За время $t_{\text{рег}} + t_{\Phi 1,2}^+$ изменение напряжения на заряженной емкости $\Delta u_c \approx |E_{\kappa}| \tau_{\alpha} / (2R_{\kappa} C_{1,2})$ [37].

При $R_{\kappa} C_{1,2} \gg \tau_{\alpha}$ можно считать $\Delta u_c = 0$ и $u_c(0) = |E_{\kappa}| - I_{\kappa 0} R_{\kappa}$. Тогда

$$t_{1,2} = RC_{1,2} \ln \left(1 + \frac{|E_{\kappa}| - I_{\kappa 0} R_{\kappa}}{|E_{\kappa}| + I_{\kappa 0} R} \right).$$

Значения t_1 и t_2 уменьшаются с ростом температуры за счет влияния теплового тока $I_{\kappa 0}$. Для повышения температурной

стабильности следует брать $|E_k| \gg I_{\text{co}} R$. В этом случае $t_{1,2} \approx 0,7RC_{1,2}$ и период следования импульсов $T = t_1 + t_2 = 0,7R(C_1 + C_2)$. Согласно (1.42) и (1.43) $T > 1,4\beta_{\text{min}} \tau_{\alpha}$. При $t_1 \leq t_2$ скважность импульсов мультивибратора

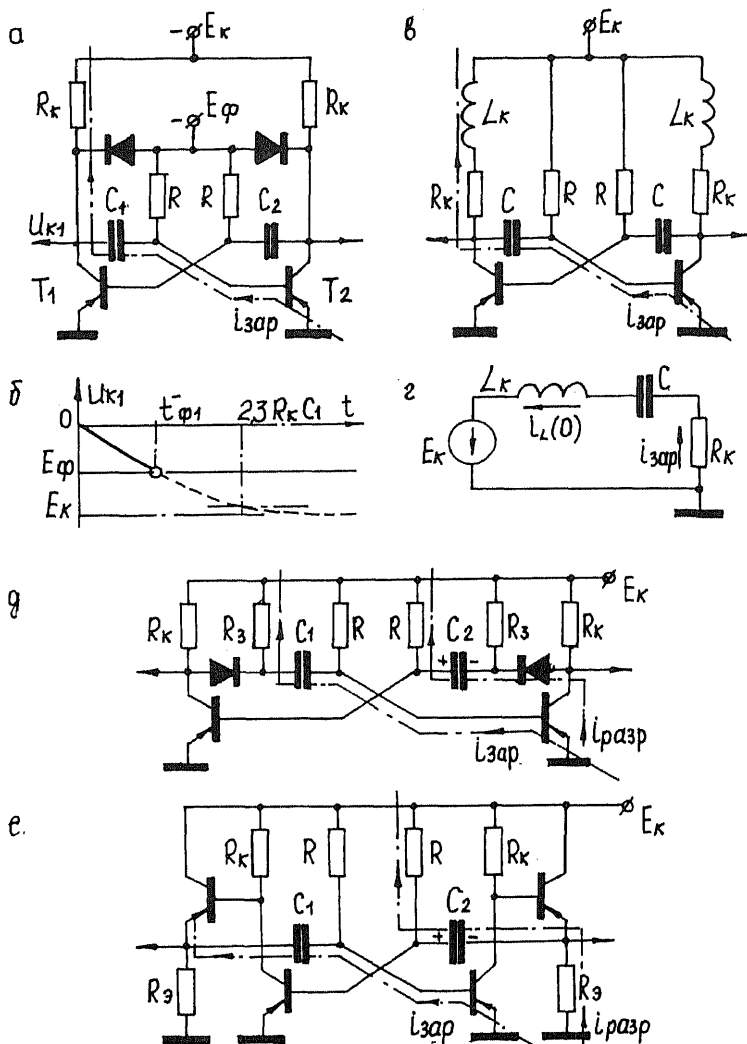


Рис. 1.27

$N = T/t_1 = 1 + C_2/C_1$. По условию большая емкость C_2 должна успеть зарядиться за время разряда меньшей емкости C_1 . Следовательно, $C_2/C_1 \leq 0,3\beta_{\min}$ и $N \leq 1 + 0,3\beta_{\min}$.

Импульсы на выходе рассмотренного мультивибратора имеют сравнительно большую длительность отрицательного фронта. Снижения $t_{\bar{\phi}}$ можно добиться включением в схему фиксирующих диодов (рис.1.27,а), корректирующих индуктивностей (рис.1.27,в), разделительных диодов (рис.1.27,д), эмиттерных повторителей (рис.1.27,е). В первом случае заряд емкости прекращается в момент фиксации потенциала коллектора на уровне E_{ϕ} (рис.1.27,б). Соответственно

$$t_{\bar{\phi}1,2} = R_{\kappa} C_{1,2} \ln \frac{1}{1 - \gamma}, \quad \gamma = \frac{E_{\phi}}{E_{\kappa}}.$$

Ограничение на скважность $N \leq 1 + 0,8\beta_{\min}/\gamma$, $\gamma < 0,5$, [29] — менее жесткое, чем в основной схеме.

Не столь эффективно использование корректирующей индуктивности. Величину L_{κ} следует выбирать из условия критического режима в контуре (рис.1.27,г): $L_{\kappa} = CR_{\kappa}^2/4$ ($R_{\kappa} = 2\rho$). В данном случае $i_L(0) = |E_{\kappa}|g_{\kappa}$, $u_{\kappa}(0) = 0$. Обычным образом получаем

$$i_{\text{зар}}(t) = |E_{\kappa}|g_{\kappa} \left(1 + \frac{t}{2\theta} \right) e^{-t/2\theta}, \quad \theta = L_{\kappa} g_{\kappa}.$$

Время заряда емкости (величину $t_{\bar{\phi}}$) ищем на уровне $0,1|E_{\kappa}|g_{\kappa}$. Графическое решение дает $t_{\bar{\phi}} = 1,94R_{\kappa}C$, т.е. включение L_{κ} позволяет снизить $t_{\bar{\phi}}$ всего на 16%. Но одновременно с тем ускоряются процессы рассасывания и регенерации.

В схеме (рис.1.27,д) потенциал коллектора закрывающегося триода быстро уменьшается. Связанный с ним диод включен в обратном направлении и отсоединяет цепь заряда емкости от выхода. Триод закрывается по окончании регенерации. Поэтому здесь $t_{\bar{\phi}} = t_{\bar{\phi}}^* \approx \tau_{\alpha}$. Время заряда емкости $t_{\text{зар}1,2} = 2,3R_{\kappa}C_{1,2}$. В данном случае $I_{\kappa} = |E_{\kappa}|/(R_{\kappa} \parallel R_1)$. Соответственно $R = \beta_{\min}(R_{\kappa} \parallel R_1)$ и $N \leq 1 + 0,3\beta_{\min}R_{\kappa}/(R_{\kappa} + R_1)$. Обычно выбирают $R_{\kappa} = R_1$, [29]. При этом $N \leq 1 + 0,15\beta_{\min}$. Уменьшение максимального значения скважности ограничивает применение такой схемы. От указанного недостатка свободна схема (рис.1.27,е). Заряд

емкости происходит здесь через малое выходное сопротивление $R_{\text{вых}}$ эмиттерного повторителя. Поэтому $t_{\phi 1,2} = 2,3 R_{\text{вых}} C_{1,2}$ и $N \leq 1 + 0,3 \beta_{\text{min}} R_x / R_{\text{вых}}$. На этапе разряда емкости повторитель закрыт. Но это практически не влияет на значение $t_{1,2}$, если $R_x \ll R$.

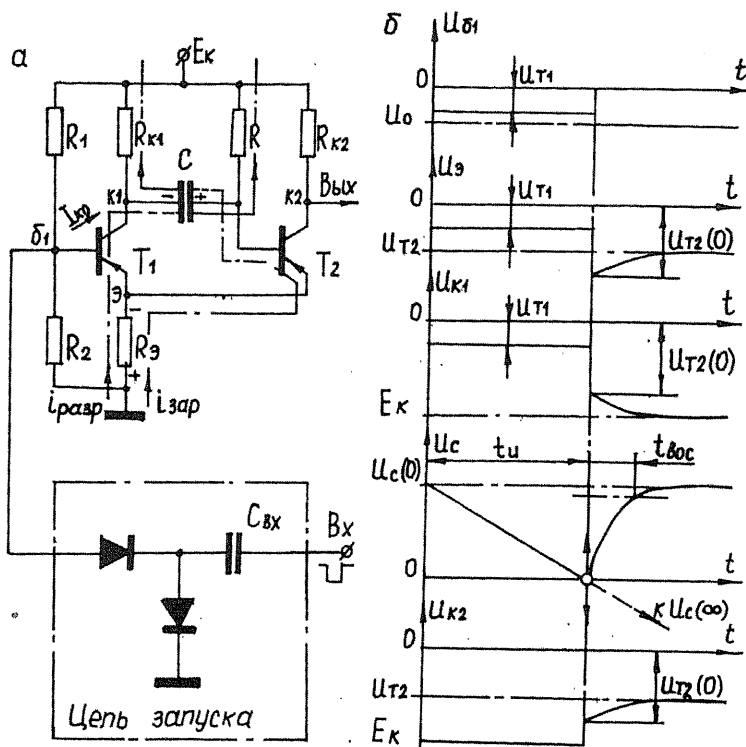


Рис. 1.28

Ждущий мультивибратор с эмиттерной связью

Схема (рис.1.28,а) работает в ждущем режиме. Цепь запуска организуется как и в триггере. В исходном состоянии триод T_2 насыщен, если

$$R = \beta_{\text{min}} R_{K2}. \quad (1.45)$$

Потенциал его электродов

$$u_{\tau 2} = \frac{E_k(g + g_{k2})}{g + g_{k2} + g_3}. \quad (1.46)$$

Триод T_1 закрыт, если потенциал его базы $u_0 \geq u_{\tau 2} + (3-4)\varphi_T$,

$$u_0 = \frac{E_k g_1 - I_{k0}^{\max}}{g_1 + g_2}. \quad (1.47)$$

При этом емкость C заряжена плюсом на базу T_2 до напряжения

$$u_c(0) = u_{\tau 2} - E_k - I_{k0} R_{k1}.$$

В момент поступления отрицательного входного импульса амплитудой $E_1 > |u_{\tau 2}|$ триод T_1 начинает открываться. Нарастание тока его коллектора обуславливает уменьшение открывающего тока базы триода T_2 . По окончании процесса рассасывания T_2 входит в активный режим. Замыкается цепь положительной обратной связи через сопротивление R_3 в цепи эмиттеров. Время регенерации, как и ранее, имеет порядок τ_a . Регенерация завершается закрыванием триода T_2 . По ее окончании должен прекратиться и импульс на выходе цепи запуска (иначе он повлияет на дальнейшее протекание процессов в схеме [29]). При этом триод T_1 окажется в насыщении, если

$$i_{\tau 1} = |u_{\tau 1}| g_3 = \frac{1}{\alpha_{\min}} |E_k - u_{\tau 1}| g_{k1} = \frac{1}{\alpha_{\min}} I_{k \text{ н. л.}}. \quad (1.48)$$

Здесь $u_{\tau 1}$ — потенциал насыщенного триода T_1 ,

$$u_{\tau 1} = \frac{E_k(g_1 + g_{k1})}{g_1 + g_{k1} + g_2 + g_3}. \quad (1.49)$$

Необходимым условием открывания T_1 по базе является $u_{\tau 1} > u_0$.

Дальнейшее протекание процессов иллюстрируют упрощенные временные диаграммы (рис.1.28,б). Состояние, в которое перешла схема, является временноустойчивым. Длительность его t_n определяется временем разряда емкости. В данном случае

$$u_c(\infty) = E_k - u_{\tau 1} - R I_{k0}; \quad u_c(t_n) = 0.$$

Соответственно

$$t_n = C[R + (R_{k1} \parallel R_1 \parallel R_2 \parallel R_3)] \ln \left(1 + \frac{|E_k - u_{\tau 2}| - I_{k0} R_{k1}}{|E_k - u_{\tau 1}| + I_{k0} R} \right).$$

Обычно R_3 , $|u_{\tau 1}|$, $|u_{\tau 2}|$ сравнительно невелики. Поэтому $t_n \approx 0,7CR$.

В момент t_k триод T_2 начинает открываться. Появление тока $i_{\Sigma 2}$ вызывает рост падения напряжения на сопротивлении R_{Σ} . Как только триод T_1 выйдет из насыщения, возникает новая лавина. По ее окончании триод T_1 закрыт, T_2 насыщен. Полное восстановление исходного состояния схемы связано с зарядом емкости C :

$$t_{\text{вос}} = 2,3C[R_{\Sigma 1} + (R \parallel R_{\Sigma 2} \parallel R_{\Sigma})] \approx 2,3CR_{\Sigma 1}.$$

Величину $t_{\text{вос}}$ можно снизить теми же методами, что и в симметричном мультивибраторе. Аналогично видоизменяется схема и при использовании дрейфовых триодов.

Значение $R_{\Sigma 2}$ обычно выбирают из условия отсутствия заметного влияния емкости перехода коллектор – база C_k триода T_2 на длительности фронтов импульса на выходе [29] $R_{\Sigma 2} = \tau_a / (2C_k)$. Как правило, при расчете бывают заданы величины u_{r2} , u_0 , u_{r1} . Вполне удовлетворительным при $E_k = -(5-10)V$ можно считать выбор $u_{r2} = -2V$;

$u_0 = -1V$; $u_{r1} = -0,5V$ [29]. Из (1.45) и (1.46) имеем $R_{\Sigma} = \alpha_{\min} R_{\Sigma 2} \frac{u_{r2}}{E_k - u_{r2}}$. На

основании (1.48) получаем $R_{\Sigma 1} = R_{\Sigma 2} \frac{u_{r2} E_k - u_{r1}}{u_{r1} E_k - u_{r2}}$. Необходимое значение R

определено условием (1.45). Величины R_1 и R_2 можно найти из совместного решения уравнений (1.47) и (1.49).

Блокинг-генератор

Основная схема блокинг-генератора (рис.1.29,а) работает в автоколебательном режиме. На этапе регенерации положительная обратная связь в схеме реализуется инверсным включением базовой обмотки импульсного трансформатора. Для простоты анализа будем считать, что нагрузка подключена к коллектору триода через разделительную емкость C_p . Может быть использована и дополнительная нагрузочная обмотка трансформатора (рис.1.19,а, пунктир). Тогда в последующих выкладках под R_k следует понимать пересчитанное сопротивление нагрузки. Демпфирующая цепочка на выходе ставится для уменьшения амплитуды отрицательного выброса, который возникает на коллекторе закрытого триода в процессе разряда индуктивности намагничивания трансформатора (см.§1.2).

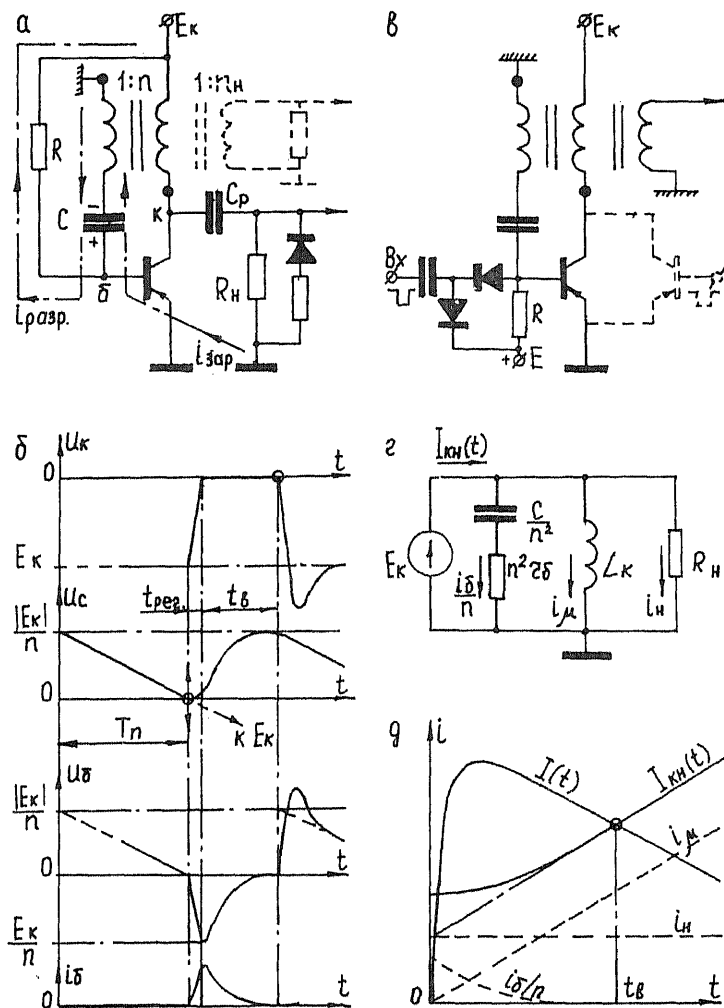


Рис. 1.29

Временные диаграммы (рис.1.29,б) поясняют работу схемы. В исходном состоянии триод закрыт. Емкость C заряжена плюсом на базу до напряжения

$$u_c(0) = |E_k|/n,$$

где n — коэффициент трансформации. Такое состояние временноустойчиво. Оно отвечает паузе между импульсами. Длительность его T_n определяется сравнительно медленным процессом разряда емкости. При этом базовую обмотку можно считать короткозамкнутой. Соответственно

$$T_n = RC \ln \left(1 + \frac{1}{n} \frac{|E_k|}{|E_k| + RI_{k0}} \right).$$

Как только $u_c=0$, триод начинает открываться. Вступает в действие положительная обратная связь. Возникает регенерация. Она завершается в момент входа триода в насыщение. Поэтому в данном случае $t_{\phi}^* = t_{\text{рег}}$. Минимальное значение t_{ϕ}^* получается при выборе $n=n_{\text{опт}}$ [28]:

$$t_{\phi \text{ min}}^* = 4,6 \tau_a / n_{\text{опт}}, \quad n_{\text{опт}} = \sqrt{R_n / r_6},$$

где r_6 — объемное сопротивление базы.

На этапе формирования вершины импульса идет процесс заряда емкости C под действием э.д.с. E_k/n , развиваемой на зажимах базовой обмотки. Зарядный ток емкости определяет открывающий ток базы

$$i_6 = i_{\text{зар}} = \frac{|E_k|}{n r_6} e^{-t/\theta}, \quad \theta = C r_6,$$

а потому и изменение фиктивного тока (см. § 1.3; временные процессы в ключе ОЭ)

$$I(t) = \frac{1}{\tau_a} Q(t) = \frac{1}{\tau_a} \frac{|E_k|}{n r_6} \frac{\theta \tau_\beta}{\tau_\beta - \theta} (e^{-t/\tau_\beta} - e^{-t/\theta}). \quad (1.50)$$

В свою очередь, эквивалентная нагрузка в коллекторной цепи (рис. 1.29, г, L_k — индуктивность коллекторной обмотки) обуславливает изменение во времени тока коллектора насыщения (см. там же)

$$I_{k.n}(t) = |E_k| \left(\frac{1}{n^2 r_6} e^{-t/\theta} + \frac{t}{L_k} + \frac{1}{R_n} \right). \quad (1.51)$$

В момент t_* , когда $I=I_{k.n}$ (рис. 1.29, д), триод выходит из насыщения. Замедляется нарастание тока намагничивания i_μ трансформатора. Соответственно уменьшается э.д.с., развиваемая на коллекторной обмотке. Возникает новая лавина. К этому моменту емкость C должна успеть полностью зарядиться. Тогда по окончании регенерации схема вернется к первоначальному состоянию. Из выражений (1.50) и (1.51) получаем

$$t_* \approx \frac{\frac{C}{n} - \frac{\tau_a}{R_n}}{\frac{C}{n} \frac{1}{\tau_\beta} + \frac{\tau_a}{L_k}}, \quad 2,3\theta \leq t_* < \tau_\beta.$$

Эта формула полезна для качественной оценки влияния различных компонентов схемы на длительность импульса. В общем случае расчет может быть выполнен по методике, предложенной в работе [29]. Разряд индуктивности практически не влияет на процессы в схеме, если длительность выброса (время восстановления) меньше T_n .

При работе блокинг-генератора в ждущем режиме (рис.1.29,в) сопротивление R подключается к источнику запирающего напряжения E . Запуск осуществляется отрицательными импульсами, подаваемыми на базу. Процессы при формировании вершины аналогичны рассмотренным. На этапе восстановления происходит быстрый разряд емкости через диоды цепи запуска. При этом возможно влияние схемы на источник входных сигналов. Кроме того, наличие диодов затрудняет процесс регенерации по окончании формирования импульса. От указанных недостатков свободна схема с «перетягивающим» триодом (рис.1.29,в, пунктир). Более подробное знакомство с особенностями ждущего режима дают работы [28,36]. Там же рассмотрены и некоторые варианты схем блокинг-генераторов.

Вопросы синхронизации

Период собственных колебаний релаксатора нестабилен вследствие отклонений питающих напряжений, разброса параметров компонентов, изменения этих параметров со временем, в зависимости от температуры и т.д. Для повышения стабильности используют внешнюю синхронизацию. Довольно полное изложение вопросов синхронизации сигналами различной формы дано в работе [14]. С основами теории синхронизации познакомимся на примере схемы блокинг-генератора (рис.1.29,а), когда отрицательные синхроимпульсы с амплитудой E_c , периодом T_c и пренебрежимо малой длительностью подаются на базу триода. При отсутствии синхроимпульсов генератор работает в режиме автоколебаний с периодом T_0 . По условию длительность импульсов генератора исчезающе мала. Тогда с достаточной для наших целей точностью можно считать, что напряжение на базе u_c изменяется по пилообразному закону (рис.1.30,а; пунктир). Скачки имеют место, как только кривая базового напряжения пересекает нулевой пороговый уровень. В момент поступления синхроимпульса пороговый уровень возрастает на величину E_c . Соответственно период колебаний T синхронизированного релаксатора отличается от T_0 (рис.1.30,а; сплошная линия).

Практический интерес составляет лишь случай $T < T_0$. Рассмотрением этого случая и ограничимся. Величину $n = T/T_c$ назовем кратностью синхронизации. В режиме собственно синхронизации $n=1$. При $n=2,3,\dots$ имеем режим деления частоты. Дополнительно обозначим: $\xi = T_c/T_0$; $\lambda = E_c/u_c(0)$. Для нашего случая $0 < \xi < 1$. Случай

$\lambda \geq 1$ не представляет интереса для анализа, ибо здесь заведомо $n=1$. Поэтому в дальнейшем полагаем $0 < \lambda < 1$.

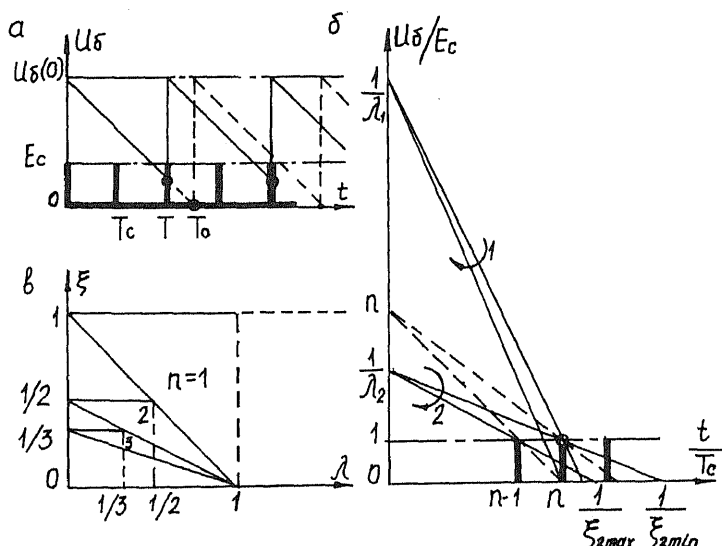


Рис. 1.30

Основная задача теории синхронизации заключается в определении множества значений ξ в функции λ , которое отвечает синхронизации с заданной кратностью n . Это множество называют областью синхронизации. Верхнюю ξ_{\max} и нижнюю ξ_{\min} границы искомого множества находим из графических построений (рис.1.30,б):

$$\xi_{\max} = \begin{cases} 1/n & , \lambda \leq 1/n; \\ (1-\lambda)/(n-1) & , \lambda > 1/n; \end{cases}$$

$$\xi_{\min} = (1-\lambda)/n.$$

В общем случае нестабильны как ξ , так и λ . Поэтому при расчетах рабочую точку следует выбирать внутри соответствующей области синхронизации (рис.1.30,в). Размеры области сужаются с ростом n . Анализ показывает [19], что при величинах нестабильностей $\delta T_0=2\%$; $\delta u_c(0)=5\%$; $\delta T_c=\delta E_c=1\%$ устойчивая синхронизация возможна лишь для $n \leq 15$. Влияние конечной длительности синхронимпульсов проявляется в сужении областей синхронизации за счет сдвига верхних границ [14].

Рассмотренные положения с некоторыми видоизменениями применимы и для случая синхронизации мультивибраторов. Здесь возможна стабилизация не только периода в целом, но и длительностей отдельных временноустойчивых состояний.

Глава 2

ИНТЕГРАЛЬНЫЕ ТЕХНОЛОГИИ

Как и ранее, к числу простейших переключателей относятся ключи как таковые, логические элементы, триггеры и генераторы импульсов. Рассматриваются вопросы, связанные с их переводом в интегральный базис. При этом в качестве исходных принимаются ориентиры, установленные в гл.1: предпочтительность логического базиса {ИЛИ-НЕ} для транзисторных элементов, {И-НЕ} – для диодно-транзисторных, влияние нагрузки на быстродействие элемента и так далее. Главное внимание уделяется многообразию интегральных технологий. За основу изложения взяты материалы [38]. Знакомство с базовыми микросхемами дается по [39,40].

Можно выделить два характерных признака интегральной схемы (ИС): конструктивный – ее компоненты объединены внутри или на поверхности общей подложки, электрически соединены между собой, заключены в общий корпус и составляют неразделимое целое; технологический – все или часть ее компонентов создаются в едином технологическом процессе с использованием групповых методов изготовления компонентов и межкомпонентных соединений. Переход на ИС позволяет снизить энергопотребление аппаратуры, повысить ее надежность и быстродействие при одновременном уменьшении стоимости, габаритов и веса.

Конструктивно-технологические особенности различных типов ИС детально рассмотрены в работах [41-43]. Наибольшее применение в настоящее время находят монолитные полупроводниковые ИС, выполненные на единой кремниевой подложке. Обычно изготавливают не отдельные логические ИС, а серии цифровых интегральных схем. Требование минимизации сложности (числа корпусов ИС) и энергопотребления цифровых устройств обуславливает наличие в серии, помимо основных логических, и ряда дополнительных элементов. Это расширители входов, специальные мощные элементы, усилители индикации и так далее. В состав серии включают триггеры разных типов и более сложные цифровые схемы. На функциональный состав серии сильно влияет тип используемого стандартного корпуса, число его внешних выводов.

В этой главе дается характеристика биполярных ИС. Рассматриваются основные типы интегральных логических схем на биполярных и МДП-транзисторах, включая знакомство с соответствующими серийными микросхемами. Особо выделены схемы с инжекционным питанием. Изучаются схемы интегральных генераторов импульсов и триггеров. Термин "биполярный" относится к обычным (не МДП) транзисторам, в которых важную роль играют оба типа носителей: дырки и электроны [29]. Транзисторы со структурой металл - диэлектрик - полупроводник (МДП, или МОП - если диэлектриком служит окисел) относятся к классу приборов, управляемых электрическим полем (полевых). Их работа основана на использовании носителей одного знака: только дырок или только электронов (униполярные транзисторы).

§2.1. БИПОЛЯРНЫЕ ЛОГИЧЕСКИЕ ИС

Принятые условно-графические обозначения (УГО) простейших логических элементов показаны на рис.2.1,а. Базис {И, ИЛИ, НЕ} называют булевым. Базисы {И-НЕ}, {ИЛИ-НЕ} – универсальными. Для интегральных технологий они наиболее характерны. От дискретных аналогов их отличает тип используемого транзистора и специфика вводимых параметров. Но имеются и такие элементы, прототипы которых отсутствуют.

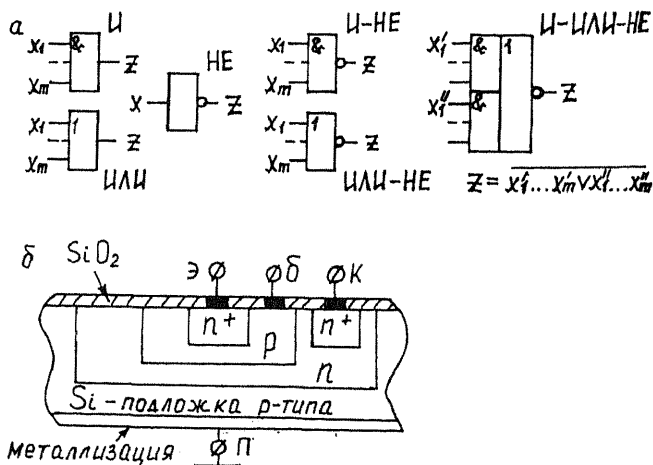


Рис. 2.1

Характеристика биполярных ИС [42,44]

В интегральных схемах обычно используют кремниевые планарные транзисторы п-р-п типа (рис.2.1,б; p^+ - слой с повышенной концентрацией примесей; П - подложка). Они обладают специфичными характеристиками соответствующих дискретных аналогов (например, бескорпусный транзистор КТ324). К особенностям интегральных триодов следует отнести сравнительно высокий порог запираания по базе $U_{б.п} = 0,5 - 0,6$ В, низкий инверсный коэффициент передачи по току $\alpha_i = 0,1 - 0,5$ из-за асимметрии структуры рис.2.1,б и большое объемное сопротивление тела коллектора $r_k = 50-150$ Ом. Первое облегчает создание и стыковку логических ИС в отсутствие специальных источников базового смещения. Второе и третье приводят к увеличению остаточного напряжения на коллекторе насыщенного триода $U_{к.н} = 0,2-0,4$ В. Значение r_k можно снизить до единиц Ом за счет некоторого усложнения технологии. По механизму движения носителей в базе все интегральные транзисторы являются дрейфовыми. Это обуславливает их малую инерционность и необходимость учета влияния разного рода паразитных емкостей при анализе быстродействия логических ИС.

Каскад ОЭ (рис.2.2,а) остается основной ключевой схемой и в интегральном варианте. Семейство выходных характеристик кремниевых планарных транзисторов обладает веерной структурой (рис.2.2,б). Значение

$$U_{к.н} \approx I_{к.н} r_k + \varphi_T \left\{ \ln \frac{1}{\alpha_i} + \ln \left[1 + (1 - \alpha_i) \frac{I_{к.н}}{I_{б1}} \right] - \ln \left(1 - \frac{I_{к.н}}{\beta I_{б1}} \right) \right\}$$

сравнительно велико при малых α_i и больших r_k . Оно растет с увеличением $I_{к.н}$ и уменьшением открывающего тока базы $I_{б1}$. Для $I_{к.н} \rightarrow 0$ имеем $U_{к.н} = \varphi_T \ln(1/\alpha_i)$. Входная характеристика схемы в режиме насыщения (рис.2.2,в) с ростом $I_{к.н}$ сдвигается вправо. Величина

$$U_{б.п} \approx \varphi_T \left[\ln \frac{\alpha}{\alpha_i} + \ln \frac{(1 - \alpha_i) I_{к.н} + I_{б1}}{I_{к0}} \right] + I_{б1} r_b$$

при $I_{к.н} > 4$ мА оказывается порядка 0,8 В и выше.

Как правило, в ИС не применяют специальных источников запирающего напряжения. Поэтому закрытое состояние триода условно. Допустимое значение тока утечки $I''_{к.п}$ (рис.2.2,г) определяет порог закрывания по базе

$$U_{б.п}^* \approx \varphi_T \ln \left[\frac{I_{к.п} (1 - \alpha_i)}{\alpha_i I_{к0}} + 1 \right].$$

Обычно принимают $I''_{к.п} = (0,01-0,03) I_{к.н}$. Величины $U_{к.н}$, $U_{б.н}$, $U''_{б.п}$ являются основными статическими параметрами транзисторов цифровых ИС. Они зависят от режима работы и температуры. Напряжения пробоя переходов: коллекторного – 20-50 В, эмиттерного – 5-7 В.

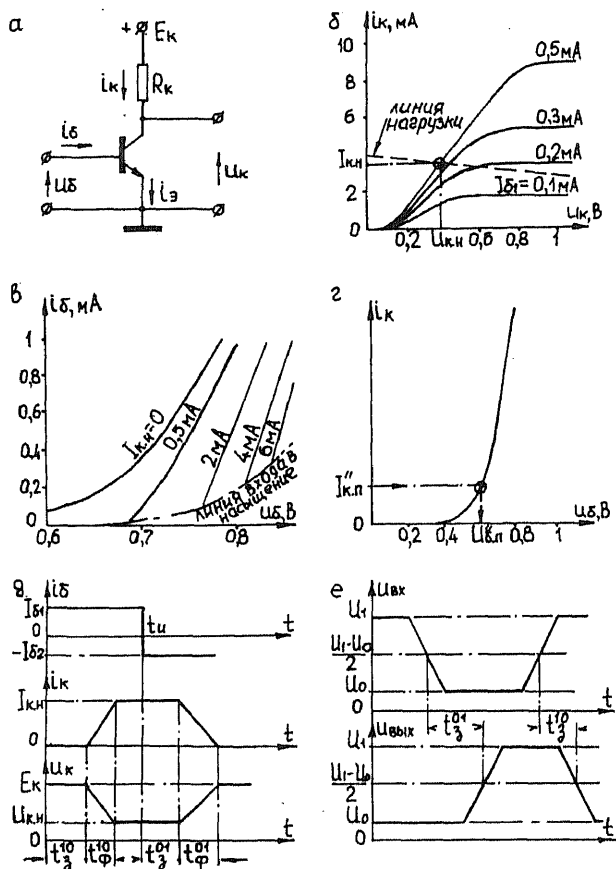


Рис. 2.2

Спецификой временных процессов в интегральном ключе является наличие задержки включения t_{10} (рис.2.2,д). Это вызвано тем, что эффективная инжекция неосновных носителей из эмиттера в базу имеет место лишь при $U_b \geq U''_{б.п}$. Соответственно:

$$t_3^{10} = (C_K + C_Э) U_{БП} / I_{Б1}.$$

Здесь C_K и $C_Э$ — барьерные емкости коллекторного и эмиттерного переходов. Для $(C_K + C_Э) = 10$ пФ; $U_{БП} = 0,5$ В; $I_{Б1} = 0,2$ мА получаем $t_3^{10} = 25$ нс. Длительность фронта включения

$$t_\Phi^{10} = (\tau_\beta + \beta R_K C_K + R_K C_H) \ln \frac{1}{1 - 1/S},$$

где C_H — емкость нагрузки; S — стационарная степень насыщения. Типовые значения: $\tau_\beta = 10$ –200 нс; $\beta R_K C_K = 50$ –500 нс.

Задержка выключения t_3^{01} определена процессом рассасывания

$$t_3^{01} = \tau_\beta \ln \frac{I_{Б1} + I_{Б2}}{I_{БН} + I_{Б2}},$$

$I_{Б2}$ — запирающий ток. Длительность фронта выключения

$$t_\Phi^{01} = (\tau_\beta + \beta R_K C_K + R_K C_H) \ln(1 + I_{БН}/I_{Б2}).$$

Если емкость нагрузки сравнительно велика, то $t_\Phi^{01} = 2,3 R_K C_H$.

В классе биполярных ИС можно выделить следующие типы основных логических схем: с непосредственной связью (НСТЛ), с резистивной связью (РСТЛ), с резистивно-емкостной связью (РЕСТЛ), резистивно-транзисторные (РТЛ), диодно-транзисторные (ДТЛ), транзисторно-транзисторные (ТТЛ), схемы с объединенными эмиттерами (ЭСЛ или ПТТЛ — переключатели тока). Все они относятся к потенциальной системе элементов. Поэтому оказывается удобным ввести для них обобщенные параметры: коэффициент объединения по входу m ; коэффициент разветвления по выходу n ; средняя потребляемая мощность $P_{ср}$; средняя задержка $t_{3,ср}$; статическая помехоустойчивость.

Величина m определяет максимальное число входов логической ИС. Параметр n — это максимальное число схем, аналогичных рассматриваемой, которые могут одновременно подключаться к ее выходу. Обычно $m = 2$ –10; $n = 4$ –25. Наибольшие значения m и n имеют ДТЛ-схемы. Для большинства схем с ростом n статическая помехоустойчивость монотонно уменьшается, а $t_{3,ср}$ растет.

В каждый момент времени примерно половина схем в цифровом устройстве открыта, а другая половина закрыта. Поэтому принята оценка $P_{ср} = 0,5 (P' + P'')$. Величина P' характеризует открытое состояние схемы, P'' — закрытое. В ДТЛ- и ТТЛ-ИС надо учитывать дополнительно мощность на этапе переключения, что обуславливает рост $P_{ср}$ с частотой. Потребляемая мощность определяет, помимо

всего прочего, и тепловой режим ИС. Разработка микромощных ИС представляет собой серьезную научно-техническую проблему.

Средняя задержка на элемент характеризует быстродействие логических ИС. По той же причине, что и ранее, ее определяют как $t_{3, \text{ср}} = 0,5(t_3^{10} + t_3^{01})$. Здесь t_3^{10} и t_3^{01} — задержки включения и выключения элемента (рис.2.2,е — один из возможных методов их оценки). Иногда при оценке средней задержки приходится учитывать и длительность фронта включения t_3^{10} или выключения t_3^{01} . Если q — число логических уровней, то быстродействие схемы в целом оценивают величиной $qt_{3, \text{ср}}$. Требования быстродействия и минимального энергопотребления противоречивы.

Статическая помехоустойчивость характеризует максимальное напряжение статической помехи, при котором сохраняется работоспособность схемы в устройстве. Статическими называют помехи неизменной амплитуды, время действия которых много больше длительности переходных процессов в схеме. Они возникают за счет падения напряжения на соединительных проводниках. Наиболее опасны статические помехи по шинам "земля" и "питание". Различают помехоустойчивость закрытой схемы (на выходе логическая единица) по отношению к отпирающим помехам (U_n^+) и помехоустойчивость открытой схемы — к закрывающим помехам (U_n^-). Наименее помехоустойчивы ($U_n^{+-} = 0,2 - 0,4$ В) ЭСЛ- и НСТЛ-схемы. Максимальной помехоустойчивостью ($U_n^{+-} = 0,8 - 1,2$ В) обладают ДТЛ- и ТТЛ-ИС.

Логические ИС на биполярных транзисторах по особенностям функционирования можно условно разбить на 2 группы: 1) транзисторные ИС; 2) ДТЛ- и ТТЛ-ИС. Элементы первой группы выполняют функцию ИЛИ-НЕ, второй — функцию И-НЕ в положительной системе сигналов (см. §1.4). Протообразом транзисторных логических ИС являются соответствующие схемы на дискретных компонентах: с переключением напряжений, с непосредственными связями, с переключением токов [1] и резистивно-транзисторные. В интегральном варианте оказывается возможным рассматривать НСТЛ-схемы как частный случай РСТЛ-схем, а РЕСТЛ-схемы — как их дальнейшее развитие. Поэтому можно выделить всего три класса транзисторных ИС: РСТЛ, ЭСЛ и РТЛ. В применении к монолитным ИС РТЛ-схемы составляют лишь историческую ценность. Мы рассматриваем их в связи с изучением мажоритарных элементов.

ДТЛ- и ТТЛ-ИС по своим характеристикам относятся к одному классу логических элементов. Они 1) обладают повышенной

статической помехоустойчивостью, приемлемым быстродействием и энергопотреблением при сравнительно больших значениях m и n ; 2) в них используется малое число резисторов больших номиналов; 3) их параметры слабо зависят от нестабильности входных характеристик триодов и менее чувствительны к технологическому разбросу параметров компонентов, чем в РСТЛ-схемах. ТТЛ-схемы несколько технологичнее ДТЛ-схем, что достигается заменой всей совокупности входных и смещающих диодов (см. §1.4) одним многоэмиттерным транзистором. Существует большое разнообразие тех и других схем. Мы ограничимся кратким знакомством с основными вариантами.

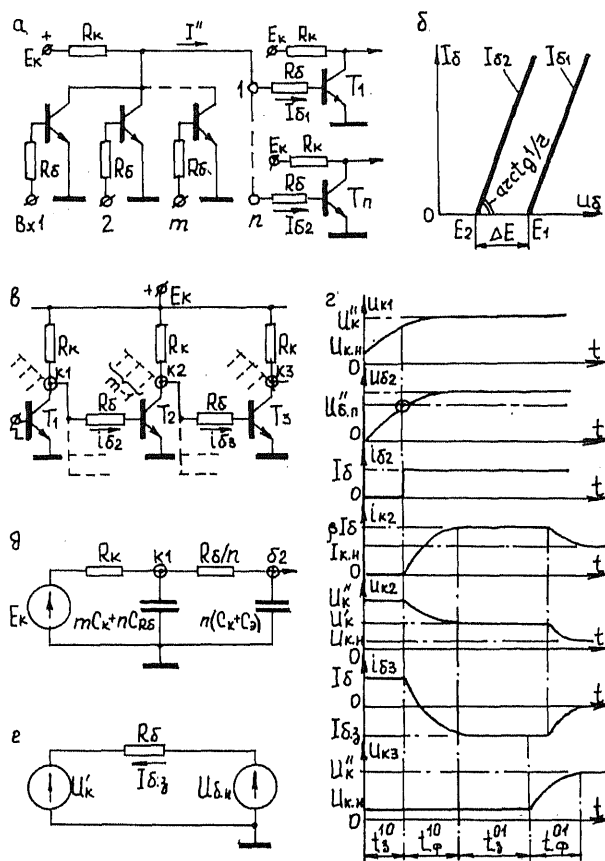


Рис. 2.3

Схемы с резистивными связями [42,48,49]

В рассматриваемой структуре (рис.2.3,а) полагаем элемент-источник закрытым. Тогда каждый из элементов-нагрузок открыт хотя бы по одному входу. Закрытое состояние схемы определим условием: $I_{\pi}^* = 0,9I_{\max}^*$. Здесь I_{π}^* – выходной ток элемента на пороге закрывания; I_{\max}^* – значение этого тока при отсутствии утечек через закрытые триоды. Согласно схеме

$$I_{\pi}^* = \frac{E_K - mI_{K\Pi}^* R_K - U_{B\Pi}}{R_K + R_B/\eta}; \quad I_{\max}^* = \frac{E_K - U_{B\Pi}}{R_K + R_B/\eta}.$$

Подстановка дает $I_{K\Pi}^* = 0,1(E_K - U_{B\Pi})/(mR_K)$. Порог закрывания по входу с учетом формулы для $U_{B\Pi}^*$ (см. предыдущий раздел)

$$U_{B\Pi}^* = \frac{1}{\beta} I_{K\Pi}^* R_B + U_{B\Pi}^* \approx U_{B\Pi}^* = \varphi_T \ln \left[\frac{0,1(E_K - U_{B\Pi}^*)(1 - \alpha\alpha_1)}{m\alpha_1 I_{K0} R_K} + 1 \right].$$

Соответственно помехоустойчивость схемы по отношению к открывающей помехе $U_{\pi}^* = U_{B\Pi}^* - U_{K\Pi}$ падает с ростом m и $U_{K\Pi}$. Минимально необходимая степень насыщения S_{\min} , определенная условием $U_{K\Pi}|_{S=S_{\min}} - U_{K\Pi}|_{S \rightarrow \infty} = 0,1U_{B\Pi}^*$, составляет $S_{\min} = 40\varphi_T/U_{B\Pi}^*$.

Величина S_{\min} должна быть обеспечена в наихудшей ситуации, когда рассматриваемый триод, например T_1 (рис.2.3,а), входит в состав элемента, открываемого только по данному входу, а все другие элементы-нагрузки открываются одновременно по всем входам. При этом ток коллектора насыщения триода T_1 максимален, а величины $I_{K\Pi}$ для триодов T_2, \dots, T_n минимальны. Соответственно входная характеристика триода T_1 сдвигается вправо (рис.2.3,б). За счет этого имеет место неравномерное распределение тока I^* между элементами-нагрузками. Открывающий базовый ток триода T_1 оказывается минимальным. Дополнительно следует считать, что по цепи питания действует общая закрывающая помеха U_{π}^* плюс индивидуальная помеха по цепи эмиттера (шине "земля") триода T_1 . Наличие последней еще более сдвигает характеристику T_1 . Существует некоторое оптимальное значение $R_B \neq 0$, при котором за счет выравнивания токов нагрузок достигается максимальная величина коэффициента разветвления по выходу.

Для уяснения этого вопроса используем кусочно-линейную аппроксимацию входных характеристик триодов T_1, \dots, T_n (рис.2.3,б). Обозначим: $E_K^* = E_K - U_{K\Pi}$; $E_K^* = 0,9 \cdot (E_K - U_{B\Pi} - U_{\pi}^*)$. При наличии

закрывающей помехи величина $I_{\Pi}^* = E_K^* / (R_K + R_B / n)$; $I_{KH \text{ MAX}} = E_K^* / R_K$. Полагая $R_B \gg r$, имеем

$$I_{B1} R_B + E_1 \approx I_{B2} R_B + E_2; \quad I_{B1} + (n-1) I_{B2} = I_{\Pi}^*.$$

Отсюда

$$I_{B1} = \frac{1}{n} [I_{\Pi}^* - (n-1) \Delta E / R_B] \approx \frac{1}{n} I_{\Pi}^* - \Delta E / R_B; \quad I_{B2} = \frac{1}{n} (I_{\Pi}^* + \Delta E / R_B) \approx \frac{1}{n} I_{\Pi}^*.$$

По условию

$$S_{\text{MIN}} = \beta_{\text{MIN}} I_{B1} / I_{KH \text{ MAX}} \approx \beta_{\text{MIN}} \left(\frac{\xi_K}{n + \rho} - \frac{\delta E}{\rho} \right),$$

где $\xi_K = E_K^* / E_K$; $\delta E = \Delta E / E_K^*$; $\rho = R_B / R_K$. И потому предельно допустимое

$$n = \frac{\xi_K}{1/A_1 + \delta E / \rho} - \rho, \quad A_1 = \beta_{\text{MIN}} / S_{\text{MIN}}.$$

Полагая $\partial n / \partial \rho = 0$, получаем $\rho = \rho_{\text{ОПТ}} = A_1 \sqrt{\delta E (\sqrt{\xi_K} - \sqrt{\delta E})}$. При этом $n = n_{\text{MAX}} = A_1 (\sqrt{\xi_K} - \sqrt{\delta E})^2$. Если $\delta E \rightarrow 0$, то и $\rho_{\text{ОПТ}} \rightarrow 0$ (случай НСТЛ-схем), а $n_{\text{MAX}} \rightarrow \xi_K A_1$. Обычно $\rho_{\text{ОПТ}} = 3-5$. Характерно, что величина n снижается с ростом m , U_{Π} и уменьшением E_K .

Кратко коснемся особенностей переходных процессов в РСТЛ-схемах на примере цепочки из трех элементов (рис.2.3, в, г). По условию триод T_1 закрывается мгновенно. Тогда процессы в базовой цепи триода T_2 определены эквивалентной схемой (рис.2.3, д). Здесь C_{R_B} — распределенная емкость резистора R_B на подложку ("землю"). Задержка включения T_2 определена формулой

$$t_3^{10} \approx \theta \ln \frac{E_K}{E_K - U_{B\Pi}}; \quad \theta = R_K (mC_K + nC_{R_B}) + (nR_K + R_B)(C_K + C_{\beta}).$$

Эта задержка растет с увеличением R_B . Аналогично обстоит дело с параметрами t_{Φ}^{01} и t_{Φ}^{10} . Применение $n < n_{\text{MAX}}$, когда $R_B < \rho_{\text{ОПТ}} R_K$, способствует улучшению быстродействия из-за уменьшения R_B , C_{R_B} и самого n . Обычно выбирают $\rho = 0.4-0.6$.

Переход к РЕСТЛ-схемам позволяет увеличить нагрузочную способность при заданном быстродействии либо, сохранив неизменным n , расширить допуски на разброс входных характеристик триодов и увеличить процент выхода годных схем. Здесь принимают $\rho = \rho_{\text{ОПТ}}$ и шунтируют R_B емкостью определенной величины.

В РСТЛ, как и во многих ИС, изменяется полярность базового тока на этапе закрывания (рис.2.3, г) [49]. В данном случае это объясняется тем, что в коллекторной цепи триода T_2 действует генератор тока $I_{K2} = \beta I_B$, который "вытягивает" носители из базы триода

T_1 , поскольку напряжение на базе насыщенного T_1 больше, чем на коллекторе триода T_2 (рис.2.3,е; $U_{БН} > U_K$). В силу принципа наложения

$$I_{БЗ} \approx I_B - \beta I_B \frac{R_K}{nR_K + R_E} = I_B \left(1 - \frac{\beta}{n + \rho} \right).$$

Поэтому $I_{БЗ} < 0$ при $n < \beta - \rho$, что всегда имеет место. Величина $t_3^{01} = t_p$ определяется обычным образом. Средняя задержка $t_{3,CP} = 0,5 (t_3^{10} + t_\Phi^{10} + t_3^{01})$. Фронт выключения не учитывается, ибо в РСТЛ-схемах он формируется практически одновременно с задержкой включения последующего элемента.

ЭСЛ- и РТЛ-схемы [42,45,51]

ЭСЛ-схема (рис.2.4,а) работает по принципу переключения практически неизменного тока I_0 [1] и реализует по своему инверсному выходу (Вых.1) функцию ИЛИ-НЕ, а по прямому выходу (Вых.2) функцию ИЛИ. Она относится к классу сверхбыстродействующих схем с относительно высоким энергопотреблением, обусловленным применением эмиттерных повторителей. Малая величина $t_{3,CP}$ обеспечивается: 1) исключением режима насыщения триодов; 2) использованием эмиттерных повторителей, ускоряющих процесс заряда емкости нагрузки; 3) ограничением логического перепада потенциалов ΔU , что обуславливает сравнительно быстрый перезаряд паразитных емкостей схемы приемлемо большими токами.

Напряжение на переходе база — эмиттер транзистора T_{B1} (T_{B2})

$$U_{БВ} \approx \Phi_T \ln \left[\frac{E_0}{R_2 I_{KO}} \frac{\alpha(1 - \alpha\alpha_i)}{\alpha_i} \right]$$

смещает потенциалы выходов до нужной величины, что принципиально необходимо для стыковки элементов друг с другом [1]. Поскольку в статическом режиме входное сопротивление схемы оказывается много больше выходного, то ее коэффициент разветвления по выходу достаточно велик (обычно $n > 25$). Однако по соображениям быстродействия значения n и m ограничивают до 3–4.

Существующие модификации ЭСЛ-схем различаются способом получения опорного напряжения E_0 , местом установки эмиттерных повторителей (с целью уменьшения $t_{3,CP}$ их иногда включают на входах схемы), наличием или отсутствием обратных связей, введение которых приводит к повышению помехоустойчивости ценой роста средней задержки. Дальнейшим развитием ЭСЛ-схем являются так называемые

многоярусные переключатели тока [50], обладающие хорошими логическими возможностями.

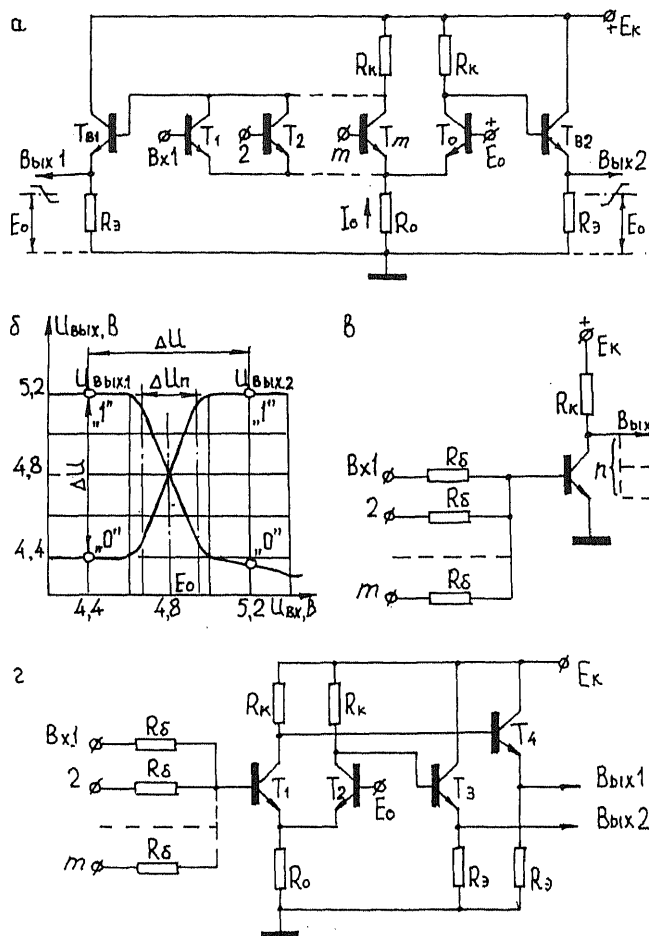


Рис. 2.4

Ограничимся кратким знакомством с особенностями статики схемы рис. 2.4,а. Потенциалы на входах и выходах элемента должны изменяться относительно опорного уровня E_0 на величину $\pm 0,5\Delta U$ (рис.2.4,б). Ширина переходной области $\Delta U_n = 4,39 \varphi_1$. Статическая

помехоустойчивость $U_{\Pi}^+ \approx U_{\Pi}^- \approx 0,5 (\Delta U - \Delta U_{\Pi})$. Условие отсутствия насыщения ($U_{\text{кб}} \geq 0$) для открытого триода T_1 (T_2, \dots, T_m)

$$E_0 - 0,5\Delta U + U_{\text{б.э}} \geq E_0 + 0,5\Delta U.$$

Соответственно необходимое смещение $U_{\text{б.э}} \geq \Delta U$. Отсюда

$$E_{\text{к}} = E_0 + 0,5\Delta U + U_{\text{б.э}} \geq E_0 + 1,5\Delta U.$$

Размах сигнальных потенциалов

$$\Delta U = \alpha I_0 R_{\text{к}} = \frac{R_{\text{к}}}{R_0} (E_0 - U_{\text{б.э}}) \alpha, \quad E_0 \gg \Delta U.$$

Здесь $U_{\text{б.э}}$ — напряжение на эмиттерном переходе открытого триода T_0 (T_1, T_2, \dots, T_m). В монолитных ИС допуск на отношение сопротивлений (но не на их абсолютные величины) может быть достаточно мал. В этом смысле ЭСЛ-схемы выгодно отличаются от других ИС. Ток через открытый триод T_1 (T_2, \dots, T_m) должен превышать минимально допустимое значение $I_{\text{мин}}$ ($\alpha I_0/m \geq I_{\text{мин}}$), определяемое приемлемой величиной β или быстродействием [1].

Приведенные выражения позволяют найти E_0 , R_0 , $R_{\text{к}}$ по известным значениям ΔU (для кремниевых планарных триодов $\Delta U \approx 0,8\text{В}$), $I_{\text{мин}}$, $U_{\text{б.э}}$ и $E_{\text{к}}$. Сопротивление R_2 выбирают из условия получения минимальной задержки при заданной мощности $P_{\text{ср}}$ на элемент

$$R_2 \approx \frac{2E_0 E_{\text{к}}}{P_{\text{ср}}} \left(1 + \sqrt{1,4 C'_{\text{к}} / C_{\text{н}}} \right).$$

Здесь $C'_{\text{к}}$ — полная емкость, подключенная к коллекторам триодов T_1, T_2, \dots, T_m ; $C_{\text{н}}$ — емкость нагрузки эмиттерных повторителей. Существует связь между величиной R_2 (или мощностью) и импульсной помехоустойчивостью схемы по отношению к перекрестным помехам (см. §3.2). Поэтому величина R_2 не должна быть чрезмерно велика. Пример значений: $m = 3$; $n = 4$; $t_{\text{з.ср}} \leq 8\text{нс}$; $P_{\text{ср}} \leq 35\text{мВт}$; $\Delta U = 0,8\text{В}$; $E_{\text{к}} = 5,4\text{В}$; $E_0 = 4,2\text{В}$; $R_{\text{к}} = 260\text{Ом}$; $R_0 = 1,2\text{кОм}$; $R_2 = 2,4\text{кОм}$.

Перейдем к РТЛ-схемам (рис.2.4,в). При том же определении порога закрывания, что и в РСТЛ-ИС, в данном случае допускается в m раз большее значение тока утечки $I'_{\text{к.л}}$. Поэтому помехоустойчивость схемы по отношению к открывающей помехе оказывается выше. Как и в РСТЛ, величина $S_{\text{мин}} = 40\phi_{\text{т}} / U_{\text{б.л}}$. Главной особенностью РТЛ-схемы является наличие утечек между входами, на которые поданы разные потенциалы. Открывающий ток базы $I_{\text{б}}$ триода минимален, если высокий потенциал поступает лишь на один из входов. Ток коллектора открытой схемы максимален, когда все элементы-нагрузки открыты (по другим входам). Соответственно условие насыщения:

$$\frac{0,9(E_K - U_{\Pi} - U_{БН})}{R_K + R_B/n} - \frac{(m-1)(U_{БН} - U_{КН})}{R_B} = \frac{S_{\min}}{\beta_{\min}} \left(\frac{E_K - U_{КН}}{R_K} + \frac{U_{БН} - U_{КН}}{R_B/n} \right).$$

Полагая $\partial I_B / \partial \rho = 0$, находим, что при выборе

$$\rho = \frac{R_B}{R_K} = \frac{n}{\sqrt{0,9n(E_K - U_{\Pi} - U_{БН}) / (m-1)(U_{БН} - U_{КН})} - 1}$$

триод в указанной ситуации открывается максимальным током. Это значение ρ увеличивается с ростом n и m , составляя в типовых вариантах 4 – 5. Из-за сравнительно больших R_B и влияния утечек по входам РТЛ-схемы уступают РСТЛ по m и $t_{зс}$ при тех же n и $R_{ср}$. Здесь основной компонент – резистор. Это затрудняет реализацию РТЛ-схем в монолитном варианте. Они наиболее приемлемы для гибридно-пленочной технологии.

Замена выходного инвертора в РТЛ-схеме переключателем тока (рис.2.4,г) позволяет создать мажоритарный элемент (МЭ) ПТРЛ-типа. Мажоритарным называется логический элемент, сигнал на выходе которого принимает значение, совпадающее со значением сигналов на большинстве входов. МЭ отличаются повышенной устойчивостью к одиночным сбоям, так как на их входы подается избыточная информация. Использование мажоритарного базиса в некоторых случаях позволяет строить узлы ЭВМ с меньшим количеством оборудования, чем на основе обычных логических элементов.

Потенциал базы триода T_i (рис.2.4,г) в стационарном режиме

$$U_{Bi} = \frac{1}{m} \sum_{k=1}^m U_{Bki}, \quad R_B \ll \beta R_0.$$

Условия правильного функционирования схемы: $U_{Bi} > E_0 + 0,5\Delta U_{\Pi}$, если высокий потенциал подается на большинство входов, и $U_{Bi} < E_0 - 0,5\Delta U_{\Pi}$ – в противном случае. Обозначим: U_{Bik} – потенциал базы триода T_i при наличии высоких потенциалов на k входах, $k = 0, 1, \dots, m$. Учитывая, что $U_{Bki} = E_0 \pm 0,5\Delta U$, из формулы для U_{Bi} получаем

$$U_{Bik} = E_0 - \frac{m-2k}{2m} \Delta U = \begin{cases} E_0 - \Delta U / (2m), & k = (m-1)/2; \\ E_0 + \Delta U / (2m), & k = (m+1)/2. \end{cases}$$

Соответственно необходимая величина $\Delta U > m \cdot \Delta U_{\Pi}$.

Статическая помехоустойчивость $U_{\Pi}^{*+} = 0,5(\Delta U / m - \Delta U_{\Pi})$ падает с ростом m . Повышение ΔU достигается включением на выходах схемы смещающих диодов либо использованием сложных эмиттерных повторителей при соответствующем увеличении E_K . Принципиально возможно создать мажоритарный элемент ПТРЛ-типа на пять и даже семь входов.

Диодно-транзисторные схемы [42.51]

Основной вариант ДТЛ-ИС (рис.2.5,а) напоминает соответствующий дискретный аналог (см. §1.4). Установка двух диодов смещения Δ_2 и Δ_3 позволяет увеличить порог закрывания схемы и статическую помехоустойчивость по отношению к открывающим помехам. Если между ними подключить цепь с новой группой входов (рис.2.5,а, пунктир), то полученный таким образом элемент реализует функцию И-ИЛИ-НЕ. Требования к входным диодам и диодам смещения различны. Первые из них должны обладать малым прямым падением напряжения $U_{пр}$ для средних токов и малым временем восстановления $t_{вос}$ обратного сопротивления. Другие – сравнительно большим падением напряжения для малых токов и большим $t_{вос}$. Последнее необходимо, ибо через диоды смещения протекает запирающий ток базы триода на этапе рассасывания. Использование разных вариантов диодного включения интегральных транзисторов позволяет реализовать искомые характеристики.

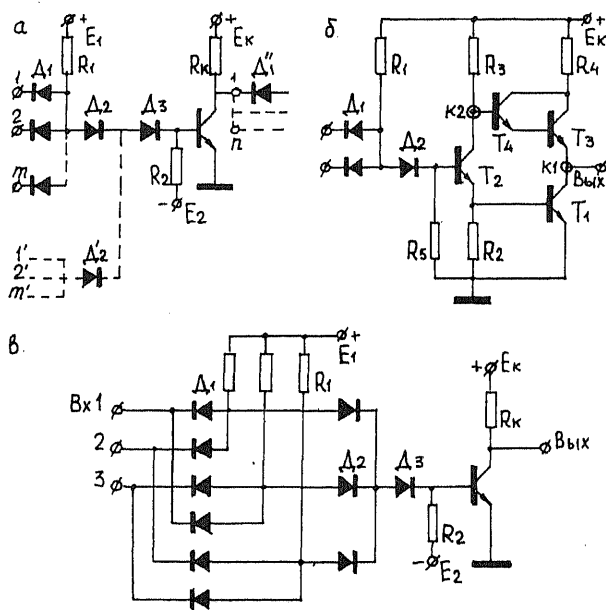


Рис. 2.5

Цепочка $E_2 - R_2$ определяет режим работы диодов D_2 и D_3 в закрытой схеме. Наличие резистора R_2 принципиально необходимо. При его отсутствии трудно получить нужную величину смещения $U_{CM} \geq U_{KH} + U_{пр} + U_{п}^* - U_{БП}^*$. Для типовых значений $U_{пр} = 0,8$ В; $U_{CM} = 1,6$ В; $U_{KH} = 0,3$ В; $U_{БП}^* = 0,6$ В имеем $U_{п}^* = 1,1$ В. Помехоустойчивость по отношению к закрывающей помехе $U_{п}^* \approx E_K - U_{CM} - U_{БН}$ определена величиной E_K и может быть сделана достаточно большой. Условие полного запираания триода $U_B \leq 0$ легко обеспечивается при наличии источника E_2 . Без него схема работоспособна в более узком температурном диапазоне, величина $t_3^{01} = t_p$ растёт [49].

Коэффициент объединения по входу m ограничен здесь только требованием быстродействия (с ростом m увеличивается суммарная паразитная ёмкость схемы). Коэффициент разветвления по выходу определяется, как обычно, условием насыщения

$$\frac{E_1 - U_{CM} - U_{БН}}{R_1} - \frac{U_{БН} + E_2}{R_2} = \frac{S_{min}}{\beta_{min}} \left(\frac{E_K}{R_K} + n \frac{E_1}{R_1} \right).$$

Отсюда $n = A_1(1 - \lambda/\chi) - R_1/(\chi R_K)$, где $A_1 = \beta_{min}/S_{min}$, $\chi = E_1/E_K$, $\lambda = [U_{CM} + U_{БН} + (U_{БН} + E_2)R_1/R_2]/E_K$. Значение n увеличивается с ростом E_K , χ и R_K/R_1 . Максимальная величина R_K ограничена условием закрывания входных диодов схем-нагрузок в момент начала формирования фронта выключения элемента-источника. При этом $t_{3,CP} = 0,5(t_3^{10} + t_6^{10} + t_3^{01})$. Быстродействие схемы определяется инерционностью триода, временем восстановления входных диодов и скоростью перезаряда паразитных ёмкостей.

Если учесть разброс параметров компонентов и температурный диапазон работы, то для построения рассмотренной схемы при $n > 6$ потребуются транзисторы с $\beta > 90$ [45], что реализовать трудно. Требование к величине β снижают путем установки вместо диода D_2 транзистора в триодном включении. Такая (двухтриодная) схема реализуется в тех же условиях при $n = 6$ с $\beta_{min} = 10$. Дальнейшего улучшения характеристик схемы добиваются включением ускоряющих конденсаторов и фиксирующих диодов (ненасыщенная схема), переходом к схемам с регулируемым порогом и с обратными связями [42]. Как правило, для основной схемы (рис.2.5,а) $n = 4 - 6$. В ненасыщенной схеме с двумя триодами $n = 10 - 12$.

Иногда необходимы схемы с $n = 20 - 25$, предназначенные для работы на большую ёмкостную нагрузку без значительного увеличения $t_{3,CP}$ (мощные схемы). В качестве таких схем обычно используют схемы со сложным инвертором (рис.2.5,б). Для включенной схемы триод T_2

открыт, T_1 насыщен, триоды T_1 и T_2 закрыты, ибо $U_{K2} - U_{K1} \approx U_{БН} < 2U'_{БП}$. В выключенном состоянии схемы триоды T_1 и T_2 закрыты, T_3 и T_4 работают в активном режиме, образуя сложный эмиттерный повторитель. Емкость нагрузки быстро заряжается большим током $I_{вых} = \beta_3 \beta_4 (E_K - 2U_{БЭ}) / R_3$. Резистор R_4 служит для ограничения величины $I_{вых}$. Часто вместо триода T_4 в цепь эмиттера триода T_3 включают дополнительный смещающий диод. Характерной особенностью схемы является наличие кратковременного мощного импульса "сквозного" тока через триоды T_3 и T_1 при ее переключении. Это эквивалентно возникновению импульсной помехи по цепи питания и приводит к росту средней потребляемой мощности с частотой. Время рассасывания триода T_1 практически не влияет на среднюю задержку.

Мажоритарные ДТЛ-схемы сравнительно просто реализуются лишь при числе входов $m = 3$ (рис.2.5,в). В общем случае следует организовать $C_m^{(m+1)/2}$ (число сочетаний из m по $(m+1)/2$) групп входов с дальнейшим объединением этих групп по ИЛИ. Схема может содержать как простой, так и сложный инвертор. Особенностью элемента является резкое возрастание степени насыщения открытого триода при поступлении высоких потенциалов более чем на $(m+1)/2$ входов. Это повышает инерционность схемы, поскольку открытое состояние определяется по наихудшей ситуации. Как и в ПТРЛ-схемах, инвертор может быть заменен переключателем тока. Здесь появляются свои особенности в электрическом функционировании входной цепи элемента. Они связаны с малым размахом сигнальных потенциалов и большим входным сопротивлением переключателя. При подаче на один из входов постоянного низкого (высокого) потенциала элемент (рис.2.5,в) реализует по другим входам функцию И-НЕ (ИЛИ-НЕ). В этом смысле он универсален. Аналогичным образом на основе 5-входового элемента с двумя входами настройки можно реализовать любой из простейших 3-входовых элементов.

Транзисторно-транзисторные схемы [42, 44, 47]

Впервые появившись в 1963 г., ТТЛ-ИС уже в 1969 г. превзошли по объему выпуска в США все другие типы микросхем. В 1971 г. выпуск схем ТТЛ составил 40% от общего объема производимых в США логических ИС на биполярных транзисторах. В настоящее время этот тип биполярных ИС является основным.

Первые образцы ТТЛ-ИС, выпускавшиеся в 1963 – 1964 гг., содержали простой инвертор (рис.2.6,а). Совокупность эмиттерных

переходов многоэмиттерного транзистора (МЭТ) T_m выполняет функцию входных диодов ДТЛ-схем. Его коллекторный переход играет роль диода смещения. Такая замена привела к уменьшению площади, занимаемой элементом на полупроводниковом кристалле, (росту степени интеграции) и повышению технологичности схемы. При одинаковой потребляемой мощности простейшая ТТЛ-схема обеспечивает более высокое быстродействие, чем РСТЛ- и ДТЛ-ИС. В то же время она имеет невысокую нагрузочную способность ($n = 3-4$) и сравнительно низкую помехоустойчивость ($U_n^* = 0,2-0,3$ В). Самый простой способ повышения помехоустойчивости – включение диода в базовую цепь триода T_1 (рис.2.6,а, пунктир). Но при этом ухудшается быстродействие. Использование схемы со сложным инвертором (рис.2.6,б) позволяет увеличить U_n^* , n и снизить $t_{ср}$. Поэтому такая схема находит сейчас наибольшее применение и считается основной.

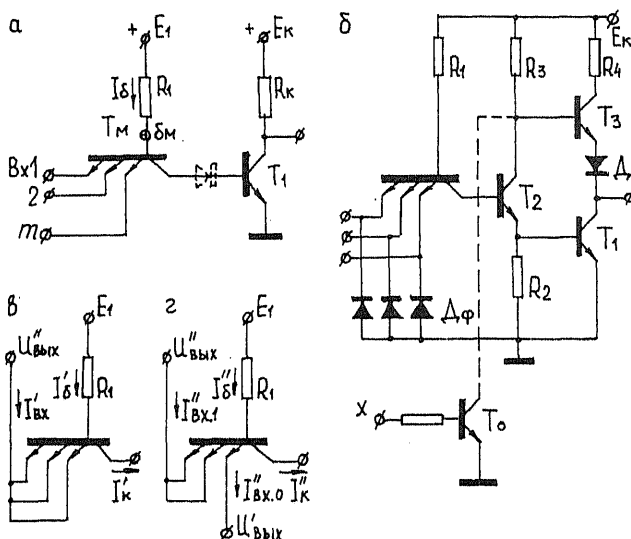


Рис. 2.6

Если хотя бы на одном из входов простейшего элемента (рис.2.6,а) действует низкий потенциал, то ток I_e ответвляется, в основном, через соответствующий эмиттерный переход. При этом потенциал $U_{БМ} \approx 0,7B < 2U_{БП}$ и переходы база - коллектор T_m и база - эмиттер T_1 практически закрыты, хотя и смещены в прямом

направлении. Если одновременно на все входы поступает высокий потенциал, то величина $U_{\text{БМ}}$ начинает повышаться. При $U_{\text{БМ}} \approx 1,2\text{В}$ наступает ограничение в росте этого напряжения, так как открывается коллекторный переход $T_{\text{М}}$ и эмиттерный переход T_{I} . Характерно, что независимо от состояния схемы напряжение между базой и коллектором триода $T_{\text{М}}$ практически неизменно и составляет 0,6–0,8 В. Это обеспечивает минимально необходимое смещение для выключенной схемы. Ширина переходной области, в которой выходное напряжение резко меняется, составляет 0,3 В.

Отличительная особенность элемента состоит в том, что запирающие триода T_{I} происходят в более благоприятных условиях, чем в ДТЛ-схеме. В переходном процессе заряд из базы триода T_{I} "вытягивается" током коллектора триода $T_{\text{М}}$, который имеет в данном случае достаточную величину [45]. В связи с этим отпадает необходимость в установке цепочки $E_2 - R_2$ (см. рис.2.5,а) в базовой цепи триода T_{I} , что облегчает технологический процесс изготовления схемы и уменьшает паразитную емкость со стороны базы.

Выясним причины ухудшения статических параметров элемента по сравнению с ДТЛ-ИС. При наличии на всех входах высоких потенциалов (рис.2.6,в) все транзисторные структуры МЭТ работают в инверсном активном режиме. Ток коллектора $T_{\text{М}}$ (открывающий ток базы триода T_{I}) $I_{\text{К}} = (1 + \beta_{\text{И}}) I_{\text{Б}} \approx I_{\text{Б}}$, ибо инверсный коэффициент передачи МЭТ $\beta_{\text{И}} \approx 0,01$. Суммарный входной ток утечки открытой схемы $I_{\text{ВК}} = \beta_{\text{И}} I_{\text{Б}}$ больше, чем в ДТЛ-ИС, что несколько снижает помехоустойчивость схемы по отношению к закрывающей помехе.

Если низкий потенциал подается лишь на один из входов (рис.2.6,г), то соответствующая ему транзисторная структура МЭТ работает в режиме насыщения ($\beta I_{\text{Б}} \gg -I_{\text{К}} \approx 0$). Все другие по-прежнему остаются в инверсной активной области. При этом их эмиттеры по отношению к первому играют роль "совокупного коллектора", так что $I_{\text{К1}} = \alpha_{\text{СВ}} I_{\text{К0}}$. Здесь $\alpha_{\text{СВ}} = (m-1)\alpha_{\text{I}} / (1-\alpha_{\text{I}}) \approx (m-1)\alpha_{\text{I}}$, α_{I} — инверсный коэффициент передачи одной транзисторной структуры МЭТ. Величина $\alpha_{\text{I}} \approx (0,1-0,2)/m$. Поскольку же $I_{\text{К0}} = I_{\text{К1}} + I_{\text{Б}}$, то после подстановки имеем $I_{\text{К0}} = I_{\text{Б}} / (1 - \alpha_{\text{СВ}})$.

Полагая $I_{\text{Б}} \approx E_{\text{I}}/R_{\text{I}}$, записываем условие насыщения триода T_{I} в виде

$$\frac{E_{\text{I}}}{R_{\text{I}}} = \frac{S \min \left(\frac{E_{\text{К}}}{R_{\text{К}}} + \frac{n}{1 - \alpha_{\text{СВ}}} \frac{E_{\text{I}}}{R_{\text{I}}} \right)}{\beta \min \left(\frac{E_{\text{К}}}{R_{\text{К}}} + \frac{n}{1 - \alpha_{\text{СВ}}} \frac{E_{\text{I}}}{R_{\text{I}}} \right)}.$$

Отсюда $n = [A_1 - R_{11}/(\chi R_k)](1 - \alpha_{cb})$, где $A_1 = \beta_{min}/S_{min}$, $\chi = E_1/E_k$. Следовательно, наличие паразитной связи между транзисторными структурами МЭТ в простой ТТЛ-схеме приводит к снижению n на 10–20% по сравнению с ДТЛ-ИС. Сравнительно низка и величина $U_n^+ = U_{np}^+ - U_{kn}^M - U_{kn}$, где $U_{kn}^M \approx \varphi_T \ln(1/\alpha_1)$ — напряжение между коллектором и эмиттером насыщенной структуры МЭТ; U_{kn} — то же для триода T_1 .

Помехоустойчивость по отношению к отпирающей помехе и коэффициент разветвления по выходу увеличиваются в схеме рис.2.6,б за счет использования двух транзисторов T_1 и T_2 . При нормальной температуре и номинальном напряжении питания $E_k = 5$ В величина $U_n^+ \approx 1$ В; $U_n^- \approx 1,6$ –2В. В диапазоне температур от -60°C до $+125^\circ\text{C}$ и $E_k = 4,5$ В значение $U_n^+ \geq 0,6$ В. При этом типовое значение $n = 10$. Работа схемы аналогична рассмотренной ранее ДТЛ-ИС со сложным инвертором. Вместо триода T_1 используется диод Д.

В быстродействующих схемах устанавливают диоды D_0 , которые ограничивают амплитуду входных отрицательных импульсов помехи. Эти помехи возникают из-за отражений в линиях связи (см. §3.2). Большие отрицательные выбросы напряжения могут привести к превышению допустимых значений тока $I_{кк0}$ (рис.2.6,г) и к пробоем того перехода, на который при этом подается высокий потенциал. Параметры закрытого элемента: $U_{вых}^+ = 2,4$ –4,3В при $U_{вхп}^- = 1,2$ –1,7В и $E_k = 5$ В; $R_{вх} = R_1 = 5$ –10 кОм; $R_{вых} = 100$ –800 Ом.

Имеется большое разнообразие модификаций ТТЛ-схем со сложным инвертором. Среди них особое положение занимают схемы с тремя состояниями. В простейшем случае третье (безразличное ко входным сигналам) состояние выхода обеспечивается включением в схему транзистора T_0 (рис.2.6,б, пунктир). При подаче на отключающий вход x низкого потенциала триод T_0 закрыт и схема работает обычным образом. Если на вход x подан высокий потенциал, то на базах триодов T_1 и T_2 устанавливается низкое напряжение. Эти триоды закрыты, и схема отключена от нагрузки при любых комбинациях входных сигналов.

Необходимость использования подобных схем вызвана тем, что обычные ТТЛ-ИС со сложным инвертором нельзя объединять по выходам из-за получающейся при этом неопределенности логического состояния выхода и возможного "разрушения" микросхемы, так как триоды T_1 , T_2 и диод Д не рассчитаны на длительное протекание значительных токов. А такое объединение приходится выполнять в ряде случаев, например, при создании цифровых устройств с магистральной структурой, когда множество схем работает на общую

линию передачи. Более подробное знакомство со специальной организацией выходов ИС дается в следующем параграфе.

§2.2. БАЗОВЫЕ ЛОГИЧЕСКИЕ МИКРОСХЕМЫ ТТЛ

Этот параграф преследует сугубо прагматические цели. Прежде всего поясняется, почему в интегральных структурах не применяются специальные меры для стандартизации сигнальных потенциалов (см. назначение фиксирующих диодов в §1.4). С этой целью вводится в рассмотрение амплитудно-передаточная характеристика (АПХ) элемента. Принципиальное положение о стабилизации рабочих точек в цепочках интегральных элементов, АПХ которых удовлетворяют определенным требованиям, было впервые установлено В.К. Левиным [39]. Анализ АПХ позволяет ввести важное понятие порога квантования и уточнить определение статической помехоустойчивости. Дается знакомство с особенностями входных и выходных характеристик микросхем ТТЛ, чтобы уяснить последствия перегрузки элементов. Изучаются варианты построения серийных элементов ТТЛ. Анализируется влияние нагрузки и состояний входов на их работоспособность. Применяемые обозначения для параметров открытого и закрытого элементов несколько отличаются от использованных ранее.

Электрические характеристики

Для пользователя интегральная микросхема представляет неделимый компонент цифрового устройства со своими функциональными и электрическими характеристиками. Функциональная характеристика включает спецификацию выводов и функциональное описание, которое может быть различным: блок-схемы, таблицы, системы булевых функций (СБФ) и другие. Система электрических характеристик должна быть удобна для практического использования, в частности, – для определения рассмотренных в §2.1 обобщенных статических параметров. Выбор такой системы с самого начала был неоднозначен и сделан в процессе развития микросхемотехники. Это амплитудно-передаточная характеристика $U_{\text{вых}} = f(U_{\text{вх}})$, входная характеристика $I_{\text{вх}} = \varphi(U_{\text{вх}})$ и выходная характеристика $U_{\text{вых}} = \psi(I_{\text{вых}})$. Принятые положительные направления токов и напряжений на входе и выходе элемента показаны на рис.2.7,а.

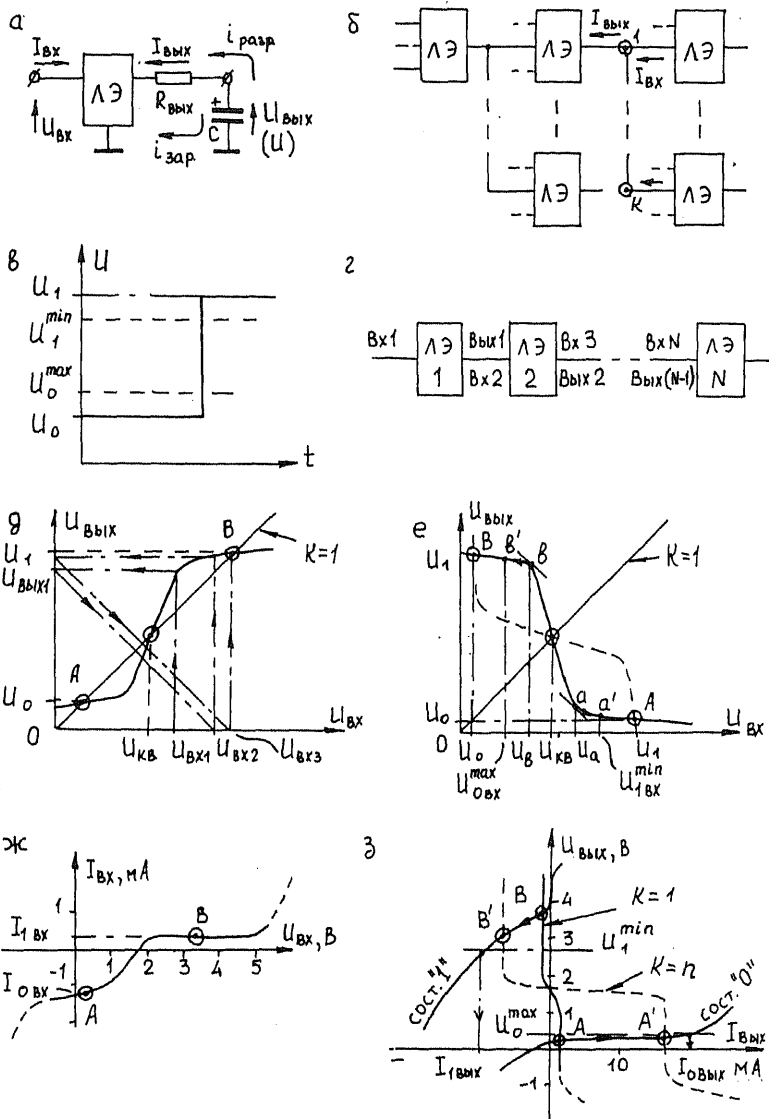


Рис. 2.7

По условию логические элементы (ЛЭ) работают в составе структуры (рис.2.7,б), где каждый элемент нагружен на $k = 1, \dots, n$ аналогичных и имеет до m входов. При этом должна обеспечиваться правильная обработка информации любым элементом независимо от места его расположения и условий нагрузки (см. §1.4). Последнее означает стандартизацию потенциалов во всех внутренних точках схемы, так чтобы всегда $U_1 \geq U_1^{\min}$, $U_0 \leq U_0^{\max}$ (рис.2.7,в). Значения U_1^{\min} и U_0^{\max} отвечают работе элемента в ключевом режиме.

Амплитудно-передаточная характеристика. Покажем, что стандартизация сигнальных потенциалов всегда имеет место в цепочке элементов (рис.2.7,г), АПХ которых удовлетворяет требованиям:

1. Наличие двух сравнительно пологих участков и одного крутого, где дифференциальный коэффициент усиления

$$K = \left| \frac{dU_{\text{ВЫХ}}}{dU_{\text{ВХ}}} \right| > 1.$$

2. Прямая единичного усиления $U_{\text{ВЫХ}} = U_{\text{ВХ}}$ пересекает все три участка.

Рассмотрим сначала случай неинвертирующих ЛЭ (рис.2.7,д). Абсциссу точки пересечения прямой единичного усиления с крутым участком назовем порогом квантования $U_{\text{КВ}}$. Приведенное геометрическое построение показывает, что если $U_{\text{ВХ1}} > U_{\text{КВ}}$, то рабочая точка в цепи установится в положение В. Если же $U_{\text{ВХ1}} < U_{\text{КВ}}$, то – в А. И это произойдет тем быстрее, чем больше $|U_{\text{ВХ1}} - U_{\text{КВ}}|$. Аналогичное построение может быть проведено и для случая инвертирующего элемента (рис.2.7,е). В итоге приходим к выводу, что рабочие точки внутренних элементов цепи определяются как точки пересечения АПХ с ее зеркальным отображением относительно прямой единичного усиления. Именно этот случай характерен для ТТЛ-ИС.

По условиям статики рабочая точка не должна выходить на крутой участок АПХ. Поэтому допустимые значения открывающей и закрывающей помех, действующих последовательно со входом,

$$U_a^+ = U_0 - U_0; \quad U_a^- = U_1 - U_1.$$

Значения U_0 и U_1 отвечают точкам перегиба АПХ. С учетом возможных нестабильностей и влияния нагрузки точки b и a условно перемещают на пологие участки – в положения b' и a' соответственно (рис.2.7,е). Под U_0 и U_1 понимают их предельно допустимые значения – U_0^{\max} и U_1^{\min} . Конкретно оговаривают и величины $U_{\text{ВХ}}$ в точках b' и a' .

Входная и выходная характеристики ТТЛ-ИС (их вид) показаны на рис.2.7,ж,з. В совокупности они позволяют определить реальную нагрузочную способность элемента и режим работы линии связи

(см. §3.5). Так как ЛЭ представляет собой многокомпонентную схему и в каждом состоянии активизируются различные компоненты, то выходные характеристики для состояний 1 и 0 (элемент закрыт и открыт) снимаются по-отдельности.

Согласно рис.2.7,б для любого элемента структуры $I_{\text{вых}} = -kI_{\text{вх}}$, а $U_{\text{вых}}$ элемента-источника равно $U_{\text{вх}}$ элементов-нагрузок. Поэтому рабочие точки В и А (рис.2.7,е) определяются наложением на выходные характеристики инверсной входной характеристики, масштабированной по току в k раз. Соответствующие точки пересечения должны лежать выше уровня U_1^{min} и ниже уровня U_0^{max} (рис.2.7,з). Эти уровни определяют справочные значения выходных токов $I_{\text{вых}}$, $I_{\text{овых}}$. Входные токи $I_{\text{овх}}$, $I_{\text{вх}}$ находятся по входной характеристике рис.2.7,ж. Указанные токи, как и значения U_1^{min} , U_0^{max} , относятся к числу статических параметров ЛЭ.

Нагрузочная способность элемента (значение n) определена условиями: $U_{\text{вых}} > U_1^{\text{min}}$, $U_{\text{овых}} < U_0^{\text{max}}$. Обычно при $k > n$ в первую очередь нарушается последнее условие. Это подтверждает правомерность сделанного ранее вывода (см. § 1.4, 2.1), что значение n ограничено требованием насыщения транзистора в инверторе. Согласно предыдущему

$$n = \min \left(\left| \frac{I_{\text{овых}}}{I_{\text{овх}}} \right|, \left| \frac{I_{\text{вых}}}{I_{\text{вх}}} \right| \right).$$

В дальнейшем индексы 0 и 1 для токов указываются сверху.

Характеристика уровня технологии [52]. Важной характеристикой любого типа ИС является энергия (работа) переключения $P_t = P \cdot t_{\text{ср}}$. При измерении мощности в мВт, задержки — в нс величина P_t выражается в пикоджоулях (пДж).

Инерционность современных ИС определяется, в основном, временем перезаряда паразитных емкостей. Поэтому ЛЭ можно приближенно представить безынерционным элементом с RC-цепью на выходе (рис.2.7,а). Сопротивление $R_{\text{вых}}$ есть выходное сопротивление ЛЭ и сопротивление цепей связи, а емкость C складывается из емкости нагрузки, емкости собственных цепей ЛЭ и емкости монтажа.

В процессе перезаряда емкости затрачивается энергия

$$W = CU^2/2,$$

где U — логический перепад сигнальных потенциалов. Если ЛЭ переключается с частотой F , то энергия, затрачиваемая в единицу времени, т.е. потребляемая им мощность,

$$P = CU^2F/2.$$

Максимальная частота, с которой может переключаться элемент, определена его средней задержкой

$$F_{\max} = k_1 / t_{3,CP}.$$

Здесь k_1 — некоторый постоянный для данного ЛЭ коэффициент. Окончательно

$$P t_{3,CP} = kCU^2.$$

Величины k , C , U неизменны для данной технологии, т.е. произведение $P t_{3,CP}$ действительно характеризует технологический уровень.

По этому параметру в настоящее время проводят оценку уровня развития цифровой микроэлектроники и сравнение различных типов ИС. Совершенствование технологии связано с уменьшением размеров элемента на полупроводниковом кристалле (со снижением C). При этом энергия переключения падает (со 100 пДж в 1970 г. до 1 пДж и менее). Для заданной мощности, рассеиваемой на кристалле, снижение P , позволяет либо увеличить степень интеграции K_i при неизменной $t_{3,CP}$, либо снизить $t_{3,CP}$ при той же K_i . Но можно построить и маломощную микросхему с прежними K_i , $t_{3,CP}$. Обычно степень интеграции определяется как число эквивалентных 2-входовых вентилях на кристалле (см. §3.1).

Проведенное рассмотрение учитывает только динамическую мощность, потребляемую в процессе переключения. Мощность в статике расходуется по существу бесполезно, и ее следует минимизировать. Наиболее совершенны в этом смысле КМОП-ИС (см. §2.4).

Варианты микросхем

Отечественной промышленностью выпускается ряд серий ИС-ТТЛ. Среди них наиболее распространены (табл.2.1):

Таблица 2.1

Серия	$t_{3,CP}$, нс	P_{CP} , мВт
K155, KM155	10	10
K531	3	20
K555, KM555	10	2
KP1531	3	4
KP1533	4	2

микросхемы среднего быстродействия и энергопотребления — K155, KM155; быстродействующие с диодами Шотки — K531, KP1531;

маломощные с диодами Шотки – К555, КМ555, КР1533. Все они работают от источника питания $E_n = +5$ В (в дальнейшем вместо E_k используется принятое для микросхем обозначение E_n) и совместимы друг с другом по сигнальным уровням U_0 , U_1 . Серии КМ155, КМ555 выпускаются в керамическом корпусе со штырьковыми выводами. Все другие – в пластмассовом корпусе.

Переход Шотки (назван так по имени немецкого ученого) представляет собой контакт металла с полупроводником n-типа со слабой концентрацией примесей. Прямое падение напряжения на таком диоде существенно меньше, чем на интегральном p-n переходе (рис. 2.8,а) и составляет 0,3 – 0,4 В. Его собственная инерционность весьма мала.

Транзистор с диодом Шотки, или просто транзистор Шотки технологично реализует идею ключа ОЭ с нелинейной обратной связью (см. §1.3). С этой целью базовый слой металлизации наносится на поверхность кристалла с перекрытием участка p-n перехода база - коллектор (рис.2.8,б). Сравнительно малое r_{np} диода Шотки позволяет обойтись без резистора в цепи базы (рис.2.8,в). При этом исключается насыщение транзистора, уменьшается время жизни неосновных носителей в его базе и в конечном итоге существенно снижается работа переключения элемента. Условное схемное обозначение транзистора Шотки показано на рис.2.8,в справа.

Базовый логический элемент И-НЕ (обозначение при маркировке ЛА) серии К155 показан на рис.2.8,г. Он отличается от ранее рассмотренного (см. рис.2.6,б) наличием корректирующей цепи в эмиттере триода T_2 . При закрытом T_2 триод T_1 также закрыт и входное сопротивление T_1 велико. Поэтому транзистор T_1 начнет открываться при большем напряжении на входе схемы. Соответственно точка "b" на АПХ рис. 2.7,е сместится вправо. Положение точки "a" остается практически неизменным, так как при открытых T_2 и T_1 схема ведет себя обычным образом. Характеристика оказывается более прямоугольной, что приводит к росту реальной помехоустойчивости.

Элемент И-ИЛИ-НЕ (обозначение - ЛР) реализуется подключением к точкам "к" и "э" (рис.2.8,г) дополнительной группы входов (рис.2.8,д). Достаточно хотя бы на одну из групп входов подать высокие потенциалы, чтобы получить сигнал 0 на выходе. Во всех других случаях T_1 закрыт. Такой элемент, реализуя более сложную переключательную функцию, обладает примерно задержкой элемента И-НЕ. В этом смысле использование базиса И-ИЛИ-НЕ предпочтительно. Элемент ИЛИ-НЕ (обозначение - ЛЕ) получается, если в каждой группе оставить по одному входу.

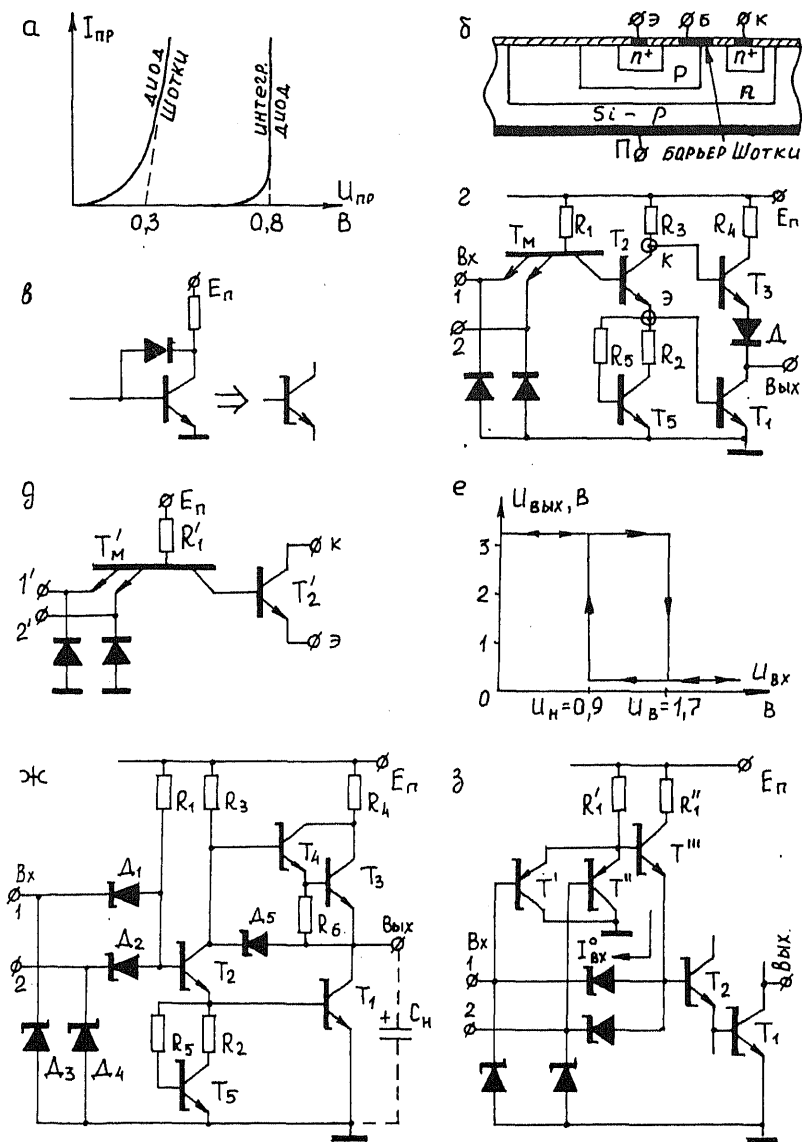


Рис. 2.8

Инвертор (обозначение - ЛН) реализуется как одноходовый элемент И-НЕ. Имеются и специальные микросхемы расширителей К155ЛД1,3 (на 4 и 8 входов), выполненных по схеме рис.2.8,д. Они подключаются к внешним выводам "к" и "э" микросхем К155ЛР1,3,4. При этом согласно техническим условиям суммарный коэффициент объединения по ИЛИ не должен превышать 8.

Ширина зоны переключения элементов серии К155 составляет примерно 0,3В: $U_b \approx 1,3В$, $U_e \approx 1,6В$ (см.рис.2.7,е). Специфичную АПХ имеют элементы НЕ, И-НЕ микросхем К155ТЛ1-3 (рис.2.8,е), называемые триггерами Шмита. В них присутствует внутренняя положительная обратная связь, благодаря чему АПХ имеет вид петли гистерезиса с шириной петли 0,8В. Это значительно повышает помехоустойчивость. Такие микросхемы широко используются в качестве магистральных приемников (см. §3.2).

В маломощной серии К555 благодаря использованию транзисторов и диодов Шотки удалось сохранить быстродействие серии К155 при снижении энергопотребления в 5 раз. Отметим особенности базового элемента серии К555 (рис.2.8,ж) в сравнении с серией К531.

1. Транзистор T_m заменен сборкой из диодов Шотки.

2. Помимо увеличения номинала резисторов, снижение энергопотребления достигнуто подключением резистора R_b не к шине "земля", а к выходу.

3. Введен диод D_1 для ускорения процесса открывания T_1 . Пока емкость C_n заряжена, открывающий ток базы этого триода велик, так как T_1 работает в режиме эмиттерного повторителя.

Диодная логика на входе используется и в наиболее перспективных сериях КР1531, 1533. Дополнительное снижение R_1 достигнуто за счет уменьшения $I_{вх}^0$. На рис.2.8,з представлена входная часть базового элемента серии КР1533. В остальном схема повторяет рис.2.8,ж. В данном случае резистор R_1 заменен достаточно сложной цепью. Если хотя бы на одном входе действует низкий потенциал, то T''' практически закрыт и $I_{вх}^0$ мал. При наличии на всех входах высоких потенциалов триод T''' входит в насыщение и обеспечивает нужный открывающий ток базы T_1 . Значительный входной ток протекает теперь только в динамике. Это позволяет снизить номиналы резисторов, т.е. повысить быстродействие без увеличения энергопотребления. В серию КР1533 (и только в нее) включены 3-входовые мажоритарные элементы ЛПЗ (три элемента в корпусе)[136].

Для сравнения в табл.2.2 приведены статические параметры элементов серий К155 и КР1533. Статическое токопотребление элемента при переходе от одной серии к другой снижается: для состояния 0 – от 22мА до 3 мА, для состояния 1 – от 8мА до 0,85мА. Величина же n увеличивается с 10 до 20. Характерно, что допустимое значение напряжения статической помехи ограничивается в обоих случаях 0,4В.

Таблица 2.2

Серия	Входные параметры						Выходные параметры					
	$I_{ВХ}^0$ мА	$U_{ВХ}^{MAX}$ В	$R_{ВХ}^0$ кОм	$I_{ВХ}^1$ мА	$U_{ВХ}^{MIN}$ В	$R_{ВХ}^1$ кОм	$I_{ВЫХ}^0$ мА	$U_{ВЫХ}^{MAX}$ В	$R_{ВЫХ}^0$ Ом	$I_{ВЫХ}^1$ мА	$U_{ВЫХ}^{MIN}$ В	$R_{ВЫХ}^1$ Ом
К155	-0,6	0,8	1	0,04	2	$\rightarrow \infty$	16	0,4	10	-0,4	2,4	15
КР1533	-0,2	0,8	-	0,02	2	-	4	0,4	-	-0,4	2,5	-

Влияние нагрузки и состояний входов

Все ИС ТТЛ совместимы друг с другом по логическим уровням. Однако их входные и выходные токовые параметры могут быть неодинаковы. Поэтому при совместной работе элементов разных серий требования по нагрузке определены условиями

$$I_{ВЫХ}^0 \geq \sum_i |I_{ВХi}^0| ; \quad |I_{ВЫХ}^1| \geq \sum_j I_{ВХj}^1. \quad (2.1)$$

Здесь индексы i, j относятся к элементам-нагрузкам. Для неизменной конфигурации "источник - нагрузка" числа слагаемых в правых частях приведенных неравенств могут различаться. Причина в следующем.

Пусть нагрузкой являются элементы И-НЕ. Некоторые входы этих элементов могут оказаться незадействованными. Никаких логических нарушений не произойдет, если их оставить просто свободными, так как это логически эквивалентно действию на них сигнала 1. Но можно и подать сразу на несколько входов некоторую логическую переменную. Определение суммарного входного тока в последнем случае зависит от значений этой переменной. Для сигнала 1 токи объединенных входов суммируются (см. §2.1, раздел "ТТЛ-ИС"), что может привести к перегрузке источника. Но при действии 0 имеем несколько параллельно включенных и открытых эмиттерных переходов триода T_m , которые разделяют общий ток $I_{ВХ}^0 \approx E_n/R_1$. Его величина не зависит от числа объединяемых входов. Это существенно, ибо значение $I_{ВХ}^0$ обычно достаточно велико.

В таблице 2.3 приведены значения составляющих токов для схемы, в которой входы каждого элемента-нагрузки объединены.

Нетрудно видеть, что условия баланса токов (2.1) в данном случае выполняются. С увеличением нагрузки они могут быть нарушены.

Таблица 2.3

Элемент-источник			Элементы-нагрузки			
Тип	$I_{\text{вых}}^0$, мА	$I_{\text{вых}}^1$, мА	Тип	Число входов	$I_{\text{вх}}^0$ Σ, мА	$I_{\text{вх}}^1$ Σ, мА
K555ЛА3	4	-0,4	K531ЛН1	1	-2 x 1	0,05 x 1
			K155ЛА4	3	-1,6 x 1	0,04 x 3
			K555ЛА1	4	-0,36 x 1	0,02 x 4

Для повышения нагрузочной способности элемента-источника допускается объединение выходов двух ЛЭ, находящихся в одном корпусе, при условии объединения соответствующих входов. Это дает увеличение выходных токов элемента примерно в 1,9 раз. Выходы разнокорпусных ЛЭ объединять нельзя из-за возможной расфазировки входных сигналов и связанных с этим неприятностей (см. след. раздел).

Оставлять неиспользуемые входы микросхем "висячими" не рекомендуется. Это приводит к накоплению зарядов в областях соответствующих эмиттеров, что ухудшает быстродействие элемента. Для обеспечения "стекания" зарядов свободные входы подключают к E_n через резистор 1 кОм. Один резистор обслуживает до 20 таких входов. На неиспользуемые входы элементов ИЛИ-НЕ следует подать низкий потенциал.

Рассмотрим влияние емкости нагрузки. Приводимые в справочниках временные параметры элемента гарантируются для значений $C_n \leq C_{н.г}$. Величина $C_{н.г}$ зависит от серии. Ухудшение крутизны фронтов при $C_n > C_{н.г}$ составляет в ТТЛ-ИС примерно 0,05 нс/пФ — для t_{Φ}^{10} и 0,1 нс/пФ — для t_{Φ}^{01} . Рост $t_{3\text{ср}}$ — 0,05 нс/пФ. Другое ограничение на C_n связано с обеспечением надежной работы ИС в составе устройства. Если значение C_n близко к предельному $C_{н.пред}$, то с ростом частоты снижается нагрузочная способность элемента (приходится учитывать составляющую тока перезаряда емкости), помехоустойчивость (рассмотренный в §1.2 эффект динамического смещения), увеличивается влияние импульсных помех (см. §3.5) и энергопотребление. Значения $C_{н.г}$ и $C_{н.пред}$ для элементов разных серий приведены в табл. 2.4.

Большинство микросхем ТТЛ критично к длительности фронтов входного сигнала. В пределах зоны переключения (точнее, — между уровнями U_{Φ} = 0,8 В и U_{Λ} = 2 В) элемент работает в режиме усиления.

Таблица 2.4

Серия	$C_{н.г},$ пФ	$C_{н.пред},$ пФ	$t_{ф.вх}^{max},$ нс
K155	15	200	150
K555	15	150	150
K531, KP1531	15	150	100
KP1533	50	200	1000

При этом наличие любой паразитной обратной связи (через цепи питания, межсоединений и через паразитные емкости самого элемента) может вызвать нежелательную генерацию, если $t_{ф.вх} > t_{з.ср}$. Увеличение $t_{ф.вх}$ приводит и к более длительному протеканию сквозного тока, т.е. к росту энергопотребления. Предельно допустимые значения $t_{ф.вх}$ для разных серий указаны в табл.2.4. Для улучшения фронтов входного сигнала используют триггеры Шмита. Элементы с открытым коллектором (см. след. раздел) не критичны к $t_{ф.вх}$.

Специальная организация выходов

Одним из основополагающих для современной микропроцессорной техники является так называемый магистральный принцип, когда множество устройств подключаются к общей шине (ОШ) своими выходами или входами. При этом выходные элементы одних устройств являются передатчиками (ПРД), а входные элементы других – приемниками (ПРМ). В каждый момент времени активен только один передатчик. Но объединение выходов активного и пассивного элементов ТТЛ со сложным инвертором недопустимо из-за возможного длительного протекания сравнительно больших "сквозных" токов (рис.2.9,а), о чем уже говорилось ранее (см.§2.1). Поэтому в подобных случаях применяются элементы со специальной организацией выходов: с открытым коллектором (ОК) и на три состояния выхода – 0, 1 и Z (высокоимпедансное состояние). Без них невозможно и построение интегральных микросхем памяти (см. гл.4).

Элементы с открытым коллектором (рис.2.9,б) требуют установки внешнего резистора R. Один из логических входов делается управляющим EI (enable input – вход разрешения). Для активного элемента EI=1, для пассивного – EI=0. Обычно такие элементы реализуют функцию И-НЕ (K155ЛА7,8 и другие). Изредка – И-ИЛИ-НЕ (K531ЛР10).

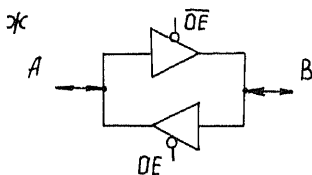
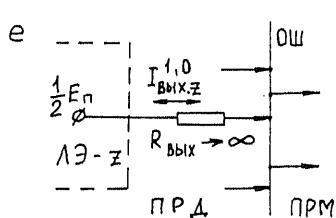
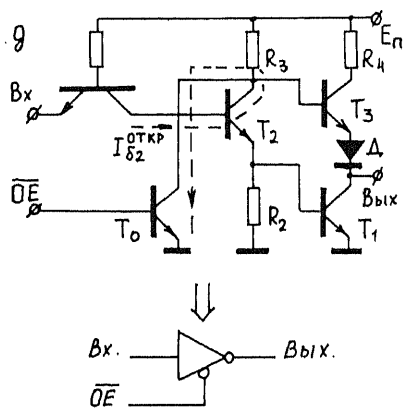
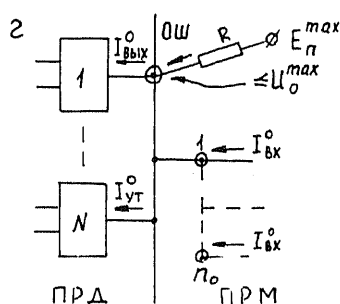
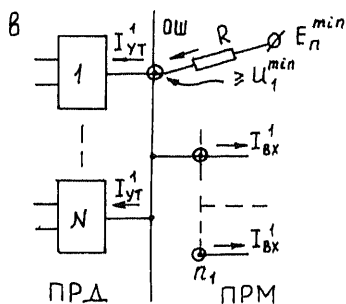
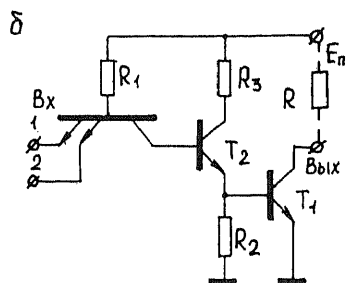
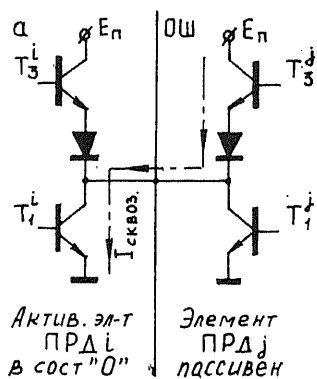


Рис. 2.9

При выборе величины R должны быть учтены допуски на E_n (обычно $\Delta E_n = \pm 0,5 \text{ В}$) и на сигнальные потенциалы. Пусть на ОШ действует сигнал 1 (рис.2.9,в). Тогда

$$E_n^{\min} - [N I_{YT}^1 + n_1 I_{BX}^1] R \geq U_1^{\min} \quad (2.2)$$

Для сигнала 0 (рис.2.9,г) имеем

$$E_n^{\max} - [I_{ВЫХ}^0 + (N-1) I_{YT}^0 - n_0 I_{BX}^0] R \leq U_0^{\max} \quad (2.3)$$

На основании (2.2) и (2.3) получаем

$$\frac{E_n^{\min} - U_1^{\min}}{N I_{YT}^1 + n_1 I_{BX}^1} \geq R \geq \frac{E_n^{\max} - U_0^{\max}}{I_{ВЫХ}^0 + (N-1) I_{YT}^0 - n_0 I_{BX}^0} \quad (2.4)$$

Принятые обозначения: N – число элементов-передатчиков; n_1 и n_0 – числа входов-приемников для сигналов 1 и 0, с учетом объединения входов. Согласно предыдущему в общем случае $n_1 \geq n_0$; I_{YT}^1 и I_{YT}^0 – токи утечки элементов-передатчиков при действии на ОШ сигналов 1 и 0. Величина I_{YT}^1 существенна. Так, для микросхемы К155ЛА8 $I_{YT}^1 \approx 0,25 \text{ мА}$. Расчетное значение $I_{YT}^0 \approx 0$.

Двустороннее ограничение (2.4) оказывается достаточно "жестким". Например, если выходы ПРД реализованы на двух микросхемах К155ЛА8 ($N=8$), а входы ПРМ – на половине микросхемы К155ЛА3 с объединенными входами ($n_1=4$, $n_0=2$), то $0,38 \text{ Ом} \leq R \leq 1,1 \text{ Ом}$. Значение R целесообразно выбирать возможно малым, чтобы получить приемлемое быстродействие. Для облегчения расчета R разработаны специальные таблицы и номограммы [39,40].

Помимо работы на ОШ, элементы ОК широко применяются для подключения индикаторов, обмоток реле [39] и для реализации функции "проводное И" ("монтажное ИЛИ")

$$f = \overline{x_1 x_2} \& \overline{x_3 x_4} = \overline{x_1 x_2 \vee x_3 x_4}.$$

Последнее достигается простым объединением выходов элементов. В точке объединения наблюдается "приоритет 0", т.е. действительно реализуется "проводное И". В данном случае не существует принципиальных ограничений на коэффициент объединения по ИЛИ, как это имеет место при использовании расширителей.

Элементы на три состояния выхода. Они разработаны специально для работы на ОШ. Без них современная микропроцессорная техника немыслима. В данном случае применяется специальный вход активизации элемента \overline{OE} (output enable – разрешение выхода). При $\overline{OE}=0$ элемент активен. Его перевод в пассивное состояние Z осуществляется подачей $\overline{OE}=1$. В серии К155 три состояния выхода имеют микросхемы ЛН6 (инверторы); ЛП8, 10 и 11 (буферные усилители); ИП6 и 7 (двунаправленные шинные усилители – ДНШУ).

В других сериях такие выходы организованы и для ряда микросхем мультиплексоров и регистров (см. гл.4). Время перехода в состояние Z сравнительно велико и составляет не менее 2н.ср.

Сам принцип активизации элемента был уже показан ранее (см.рис.2.6,б). Остается уяснить некоторые детали. Сделаем это на примере инвертора K155ЛН6 (рис.2.9,д; внизу показано используемое иногда УГО такого элемента). Пусть $\overline{OE}=1$. Если на входе – логический 0, то триод T_2 закрыт и вопросов не возникает. Но если – логическая 1, то протекание открывающего тока базы триода T_2 , казалось бы, должно вызвать падение напряжения на R_2 , т.е. открывание T_1 . Однако этого не происходит, так как ток $I_{B2}^{откр}$ в данном случае ответвляется через более низкоомную цепь: открытый коллекторный переход T_2 – насыщенный T_0 (рис.2.9,д; пунктир). Поэтому триод T_1 остается закрытым.

И еще один вопрос: как эквивалентно представить выход элемента в состоянии Z? Сопротивления утечки закрытых ключей T_1 и T_2 примерно одинаковы и составляют сотни кОм, что отражает рис.2.9,е. Он дает искомый ответ. Выходной ток пассивного элемента зависит от потенциала ОШ: $I_{вых Z}^1 = +0,04\text{мА}$, $I_{вых Z}^0 = -0,04\text{мА}$. Условие баланса токов по ОШ

$$I_{вых}^0 \geq (N-1)I_{вых Z}^0 + n_0 I_{вх}^0; \quad I_{вых}^1 \geq (N-1)I_{вых Z}^1 + n_1 I_{вх}^1.$$

Смысл использованных обозначений – прежний.

Принцип ДНШУ широко используется в микропроцессорной технике для изменения направления передачи сигналов по ОШ. При этом одно и то же устройство в разные моменты времени может быть ПРД или ПРМ. Пусть ДНШУ установлен между абонентами А и В (рис.2.9,ж). При $\overline{OE}=0$ имеем передачу $A \rightarrow B$. В случае $\overline{OE}=1 \sim B \rightarrow A$. Иногда вводят дополнительный управляющий сигнал для обрыва связи между сторонами А и В. В серии K155(555) имеются микросхемы ДНШУ: с инверсией – ИП6(АП6) и без инверсии – ИП7(АП7). Каждая из них включает по четыре канала связи с общим управлением. Состав ДНШУ серии КР1533 более обширен. Среди них имеются и 8-канальные.

§2.3. ТРИГГЕРЫ И ГЕНЕРАТОРЫ ИМПУЛЬСОВ ТТЛ

Современные представления об организации триггеров и релаксаторов в базисе логических ИС сложились в начале 70-х годов. Именно тогда были предложены практически все известные сейчас схемы. Многообразие схем интегральных триггеров и подходов к их

синтезу отражено в работах [36,49,52-57] и других. Суть так называемого эвристического подхода раскрыта в [57]. Вопросы формализации процедуры синтеза отражены в [53,64]. Но они естественно "вытекают" из общего подхода к синтезу цифровых автоматов, рассматриваемого в §3.3, и потому здесь не затрагиваются. Предпочтение отдается пока эвристике, что вполне оправдано. Это касается и генераторов импульсов. Среди первоисточников по ИС-генераторам можно выделить [36,58-63]. Изложение строится по материалам [38]. При этом специальных ссылок на указанные источники не делается, за исключением редких случаев. Справки по серийным микросхемам триггеров и генераторов берутся, как и ранее, из [39,40].

Обобщение понятия триггерной схемы

Рассмотрение статического триггера в §1.4 было выполнено с классических позиций импульсной техники. По существу они трактуют триггер как "спусковую схему" [14], АПХ которой имеет гистерезисный характер (см. рис.2.8,е). По достижении входным сигналом пороговых значений U_v или U_n происходит лавинообразное переключение схемы в то или иное состояние. Такой подход хорошо раскрывает статику и динамику "ядра" схемы, но не дает рецептуры надежной организации запуска, особенно — в счетном режиме. Принятая в цифровой технике логическая трактовка понятия триггера ликвидирует указанный недостаток и объективно приводит к достаточно сложным цифровым схемам. Строгий анализ динамики таких схем затруднителен. Поэтому приходится экстраполировать принципиальное положение о регенеративном характере переключения триггера на схемы любой сложности. Иначе трудно понять, например, почему сигналы установки интегрального триггера могут быть достаточно короткими.

Простейшие бистабильные ячейки строятся на основе двух элементов И-НЕ (рис.2.10,а) либо ИЛИ-НЕ (рис.2.10,в). Их УГО показаны на соответствующих рисунках справа. Они называются асинхронными RS-триггерами с инверсным и прямым управлением соответственно. Принятые обозначения: S (set) — вход установки; R (reset) — вход сброса; Q — прямой выход; \bar{Q} — инверсный. В случае инверсного управления активен логический ноль на входе: $\bar{SR}=01$ — установка 1; 10 — установка 0. Для прямого — логическая единица: SR = 10 — установка 1; 01 — установка 0. Значение сигнала на выходе Q отвечает состоянию триггера. Если (Q) и (\bar{Q}) — логические переменные

(функции), то равенство $\overline{(\overline{Q})} = \overline{(Q)}$ справедливо только для устойчивых состояний триггера.

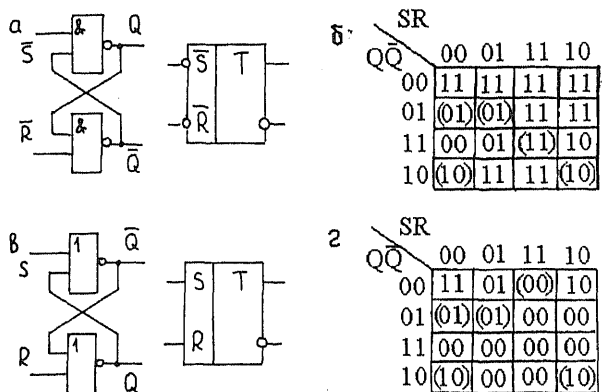


Рис. 2.10

Рассмотрим этот вопрос несколько подробнее. На рисунках 2.10,б,г представлены так называемые таблицы состояний соответствующих ячеек. Выходные сигналы Q и \overline{Q} по цепям обратной связи подаются на входы элементов, т.е. могут трактоваться и как переменные, и как функции. Их значения как переменных обозначают (кодируют) строки таблиц. Значения тех же сигналов, но уже как функций проставляются в клетках таблицы. Полное состояние триггера, определяемое вектором $\langle S, R, Q, \overline{Q} \rangle$, устойчиво, если содержимое клетки совпадает с кодом строки. Такое состояние выделяется в таблице скобками.

Пусть ячейка находится в некотором устойчивом полном состоянии. Тогда при изменении входных сигналов (\overline{S} , \overline{R} или S, R) в схеме возникает переходный процесс, переводящий ее в новое устойчивое полное состояние, возможно, через ряд неустойчивых. Протекание этого процесса легко проследить по таблице, если учесть, что изменение выхода непосредственно передается на вход. Каждая из построенных таблиц содержит по 5 полных устойчивых состояний. Но если исключить случай $SR = 11$ ($\overline{S}\overline{R} = 00$), то это не противоречит бистабильности ячейки, ибо ее внутреннее состояние определяется только вектором $\langle Q, \overline{Q} \rangle$: $Q\overline{Q} = 10$ – состояние 1; 01 – состояние 0.

Случай $SR = 00$ ($\overline{S}\overline{R} = 11$) отвечает режиму хранения (блокировка ячейки). Стационарно в этом режиме триггер находится в одном из

двух своих устойчивых внутренних состояний – 0 или 1. Такой вывод непосредственно следует из выявленного ранее факта стандартизации сигнальных потенциалов в цепочке однотипных элементов (см. §2.2). Действительно, наличие положительной обратной связи позволяет рассматривать бистабильную ячейку как бесконечную цепочку элементов. Одновременная активизация обоих информационных входов RS-триггера ($SR=11$ либо $\overline{SR}=00$) недопустима из-за логической непредсказуемости ее последующего состояния в режиме хранения. Здесь все будет зависеть от соотношения задержек элементов (см. §3.2).

Каноническое представление триггерной схемы. В цифровой технике триггером называют схему с некоторым множеством входов $I = \langle x_1, x_2, \dots \rangle$ и, как правило, двумя выходами – прямым Q и инверсным \overline{Q} . В частных случаях один из выходов может отсутствовать. Допускаются следующие режимы работы этой схемы:

1. Установка нулевого состояния.
2. Установка единичного состояния.
3. Изменение состояния.
4. Сохранение состояния (режим хранения).

Каждому режиму отвечает действие определенной последовательности входных наборов. В конкретных схемах некоторые из режимов 1-3 могут отсутствовать.

Пусть, например, все 4 режима имеют место, а инициирующие их входные последовательности таковы:

$$I = \langle x_1, x_2, x_3 \rangle = \begin{array}{l} xx0 - 010 - 011 - 010 - \text{режим 1;} \\ \quad \quad \quad xx0 - 100 - 101 - 100 - \text{режим 2;} \\ \quad \quad \quad xx0 - 110 - 111 - 110 - \text{режим 3;} \\ \quad \quad \quad xx0 - xx0 - xx0 - \dots - \text{режим 4.} \end{array}$$

Здесь символом "x" обозначается безразличное состояние входа. В этом примере можно выделить две группы входов: информационные – x_1, x_2 и управляющие – x_3 . Переключение триггера может произойти только при поступлении импульса на управляющий (синхронизирующий) вход. При этом комбинация $x_1x_2 = 01$ отвечает установке нуля, 10 – установке единицы, 11 – изменению состояния на противоположное. Действие любой входной последовательности завершается переходом к режиму хранения. Это характерно.

Согласно определению триггер может быть представлен одной из канонических блок-схем (рис.2.11,а,б). Здесь БЯ – бистабильная ячейка, УС – управляющая схема, ОС – цепи обратной связи.

Бистабильная ячейка (внутренняя память) необходима для реализации режима хранения.

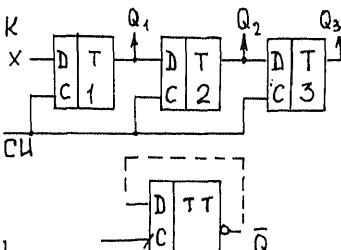
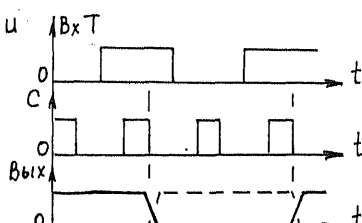
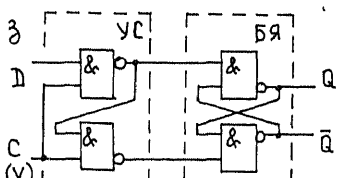
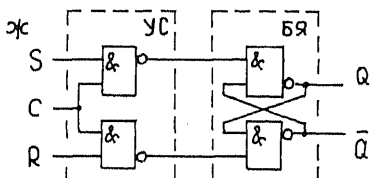
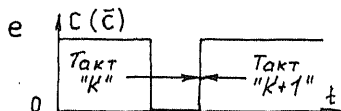
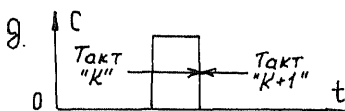
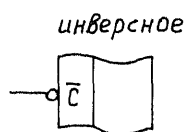
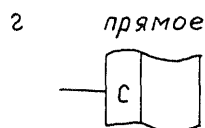
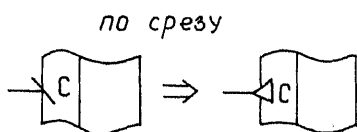
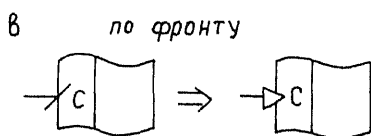
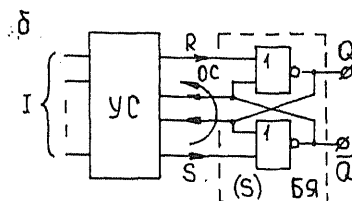
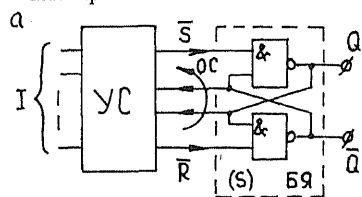


Рис. 2.11

Управляющая схема служит для выработки сигналов возбуждения \bar{S} , \bar{R} (S , R) в соответствии с логикой функционирования триггера. Цепи обратной связи необходимы для реализации режима 3. При этом, чтобы снять ограничение на максимальную длительность синхроимпульса (СИ), в состав УС вводят еще одну БЯ – основную M (master) в дополнение к ранее введенной – вспомогательной S (slave). Такую схему называют MS-триггером [36,56], или триггером с двойной памятью (двухступенчатым).

Цикл работы MS-триггера разбивается на два полутакта: активный (есть СИ) и хранения (нет СИ). В активном полутакте триггер M реагирует на входное воздействие, а триггер S заблокирован. В полутакте хранения блокируется триггер M , и его состояние передается триггеру S . Обычно функционирование цифровых устройств организуется таким образом, что состояния информационных входов триггера формируются в режиме хранения и неизменны в активном полутакте. При этом в зависимости от полярности синхросигнала состояние выхода может меняться по срезу или по фронту СИ. Соответственно говорят о динамическом управлении по фронту или по срезу (рис.2.11,в; принятая символика УГО для обозначения того и другого). В одноступенчатых схемах (УС не содержит БЯ) управление всегда потенциальное – прямое либо инверсное (рис.2.11,г).

Разновидности триггерных схем. В основном, современные триггеры используют внешнюю синхронизацию. Наглядная интерпретация абстрактного понятия такта для случаев положительных и отрицательных СИ дана на рис.2.11,д,е. При потенциальном управлении переключение триггера происходит сразу по поступлении СИ. Тем не менее, входные информационные сигналы должны оставаться неизменными вплоть до его окончания. Это необходимо, например, для реализации идеи "защелки" (см. далее). Выбор условной границы двух тактов одинаков для динамического и потенциального управлений. Асинхронные триггеры менее распространены. В них переход к следующему такту связан с изменением входного набора (пример БЯ). Далее рассматриваются исключительно синхронные триггеры. Вопросы асинхронного функционирования излагаются в гл.3.

Триггеры, для которых режим 3 отсутствует, выделяются в одну группу. Это RS- и D (DV)-триггеры. В одноступенчатом варианте они предельно просты (рис.2.11,ж,з). Важным для микросхемотехники преимуществом D-триггера перед RS-триггером является наличие всего лишь одного информационного входа (это позволяет в корпусе с

данным числом выводов разместить больше триггеров). Сигнал на выходе в такте " $k+1$ " повторяет здесь входной сигнал в такте " k ": $Q^{k+1} = D^k$. Поэтому такой триггер часто называют элементом задержки на такт. Но в данном случае имеется в виду не электрическая задержка (см. §1.2), а логическая граница между тактами. Иногда вход S обозначают как V с введением понятия асинхронного DV-триггера, или "зашелки": по окончании разрешающего импульса V в триггере происходит "зашелкивание" информации, поданной ранее на вход.

Отдельную группу составляют триггеры, в которых режим 3 имеет место. Это триггеры типа Т и JK. Т-триггер со счетным входом Т работает в режимах 3 и 4. При этом всякий раз, когда к приходу очередного СИ значение $T=1$, внутреннее состояние триггера меняется на противоположное. На временных диаграммах рис.2.11, и представлен случай динамического управления по срезу СИ. В JK-триггере вход J подобен входу S в RS-триггере, а вход K подобен входу R. Отличие в том, что для JK-триггера набор $JK=11$ является разрешенным. При этом состояние триггера меняется на противоположное. Полагая $J = K = T$, получаем Т-триггер. Если $J = S$, $K = R$ и $JK \neq 11$, то имеем RS-триггер. В случае $J = D$ и $K = \bar{D}$ приходим к D-триггеру.

Таким образом, есть все основания считать JK-триггер универсальным. Во-первых, в том смысле, что в нем реализуются все 4 режима. Во-вторых, потому что простой внешней коммутацией его можно настроить на реализацию функций других триггеров. Здесь естественен вопрос: зачем адаптировать столь сложную двухступенчатую схему к выполнению функций, которые могут быть реализованы более простыми триггерами? Дело в том, что использование одноступенчатых RS- и D-триггеров в операционных устройствах оказывается затруднительным. Рассмотрим, например, сдвиговой регистр рис.2.11,к. Пусть его начальное состояние $Q_1Q_2Q_3 = 010$, на вход подается $x = 1$ и длительность синхроимпульса $t_1 \leq t_c \leq 2t_1$, где t_1 — задержка триггера. Тогда по окончании СИ вместо правильного $Q_1Q_2Q_3 = 101$ можем получить $Q_1Q_2Q_3 = 110$.

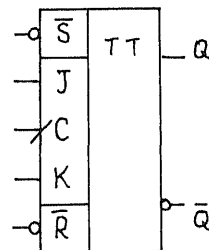
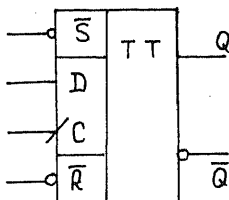
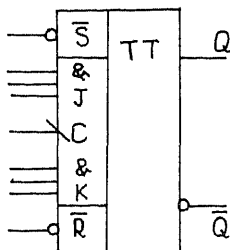
Вот почему MS-построение полезно для любого типа триггера. При этом D-триггер оказывается частично универсальным, ибо введение обратной связи (пунктир внизу рис.2.11,к; ТТ означает двухступенчатость) переводит его в режим 3 со значением условного входа $T = 1$. Современные триггерные микросхемы выпускаются, в основном, двух типов — JK и D. Все они синхронные. Асинхронный

принцип реализован лишь в микросхемах К(КМ)555ТР2 и КР1533ТР2 типа RS. Они применяются в качестве БЯ для построения триггерных схем, которых нет в серийных вариантах.

а К155ТВ1

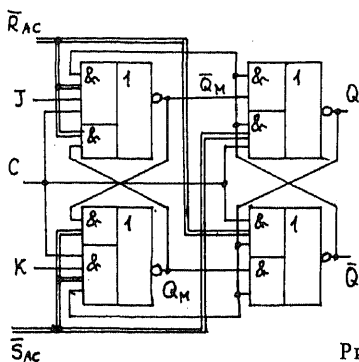
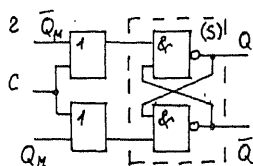
1/2 К155ТМ2

1/2 К155ТВ15

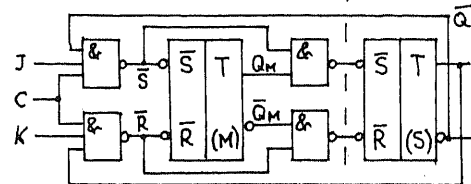
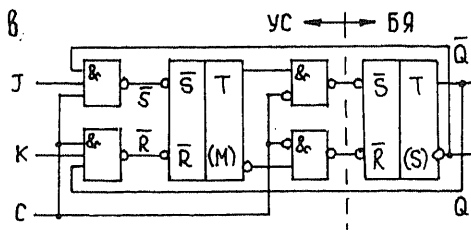


б

J	K	Q	S	R	D
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	x	0
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	x	0	1
1	1	0	1	0	1
1	1	1	0	1	0



в



г

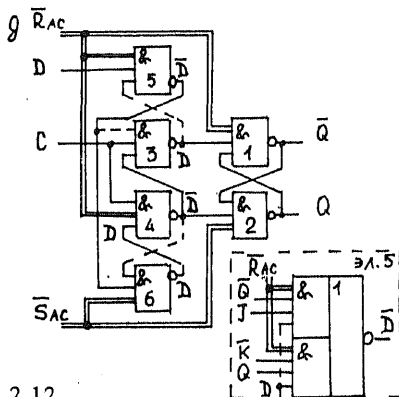


Рис. 2.12

Микросхемы JK- и D-триггеров

Микросхемы JK-триггеров содержат 1 либо 2, а D-триггеров - 2, 4 и даже 6 триггеров в корпусе. Всего в сериях ТТЛ имеется 6 типов первых и 5 типов вторых. Ниже рассматриваются лишь некоторые из них.

Предмет рассмотрения. Основное внимание в этом разделе уделяется принципам построения триггеров типов ТВ1, ТВ15 (JK) и ТМ2 (D). Первые два типа имеются только в серии К155 (ТВ15 - еще и в серии КР1533), третий - практически во всех сериях ТТЛ. Логическая структура ТВ1 (один JK-триггер в корпусе, со сложной входной логикой) разными авторами трактуется неодинаково. Например, в [39] утверждается наличие в схеме инверсии по С. Тот же триггер рассматривается в [40] как схема с запрещающими связями [53,56,57]. Эксперименты показывают, что действительная реализация отличается от приведенных в [39,40]. Как бы то ни было, представляется целесообразным рассмотреть оба указанных способа. Микросхема ТМ2 (2 триггера в корпусе) – это одна из наиболее удачных триггерных микросхем. Идея ее построения использована и в триггере ТВ15 (также 2 триггера в корпусе).

УГО рассматриваемых триггеров показаны на рис.2.12,а. Триггер ТВ1 имеет динамическое управление по срезу, а ТМ2 и ТВ15 – по фронту СИ. На входы \bar{S} и \bar{R} подаются сигналы асинхронной установки. Эти сигналы имеют наивысший приоритет. Поля асинхронного и синхронного управлений в УГО разделены. Символика $\&J$ и $\&K$ означает конъюнктивное объединение соответствующих входов: $J = \bigwedge_i J_i$ и $K = \bigwedge_i K_i$, $i \in \{1,3\}$. Характерно, что некоторые авторы полагают триггеры ТМ2 и ТВ15 одноступенчатыми. Убедительным доводом против такого мнения является логическая эквивалентность структуры ТМ2 при $D = \bar{Q}$ схеме с запрещающими связями [55].

Канонические представления JK-триггеров. В качестве триггеров М и S выберем асинхронные RS-триггеры с инверсным управлением. Функции возбуждения \bar{S} и \bar{R} основного триггера М определятся из таблицы на рис.2.12,б

$$\bar{S} = J\bar{Q}; \quad \bar{R} = \bar{K}Q.$$

Два возможных варианта блокировки триггера S во время действия СИ показаны на рис.2.12,в. В верхнем варианте в качестве сигналов блокировки используется инверсия С. В нижнем – сигналы возбуждения \bar{S} и \bar{R} триггера М (так называемая схема с

запрещающими связями). Ранее уже говорилось, что обе эти схемы в равной мере претендуют на представительство в ТВ1.

Но есть еще один вариант. Он свободен от недостатков, присущих первым двум (см. §3.4). Суть его состоит в следующем. Блокировка триггера S при C = 1 может быть достигнута в схеме рис.2.12,г (вверху). Для этой схемы

$$Q = (\overline{Q_M} \vee C)\overline{Q} = \overline{Q_M} \overline{Q} \vee C\overline{Q}; \quad \overline{Q} = (\overline{Q_M} \vee C)Q = \overline{Q_M} Q \vee CQ.$$

Соответствующая реализация JK-триггера в базисе И-ИЛИ-НЕ показана внизу рис.2.12,г вместе с цепями асинхронной установки по сигналам \overline{S}_{AC} , \overline{R}_{AC} . Подчеркнем, что такая установка обязательна в обоих триггерах – М и S.

Принципы построения ТМ2, ТВ15. За основу рассмотрения возьмем одноступенчатый прототип D-триггера (рис.2.12,д; элементы 1-4). Недостаток его использования в анализировавшейся ранее схеме сдвигового регистра (рис.2.11,к) состоит в том, что сигнал D (с выхода предыдущего триггера) может измениться во время действия синхросигнала C длительностью t_c . Поэтому есть опасность повторного (ошибочного) переключения триггера. Для снижения критичности регистра к величине t_c^{\max} подадим сигнал D не непосредственно на элемент 4, а через два промежуточных инвертора – элементы 5 и 6. Чтобы полностью устранить ограничение на t_c^{\max} , организуем своеобразные "защелки" (рис.2.12,д; пунктирные связи между элементами 3, 5 и 4, 6).

Идея состоит в следующем. Пусть D – информационный сигнал, действующий на входе в момент фронта СИ. Тогда по окончании переходных процессов на выходах элементов 3-6 исходной схемы установятся сигналы, показанные на рисунке. Одновременно, при введении пунктирных обратных связей, сработают "защелки": на элементах 3, 5 (при D = 0) либо на элементах 4, 6 (при D = 1). Дальнейшие изменения входного сигнала D не будут влиять на состояние триггера, пока не поступит очередной положительный перепад СИ.

Таким образом, "интервал прозрачности" (чувствительности триггера ко входным изменениям) занимает лишь небольшую часть такта в правой окрестности фронта СИ. Размер этой окрестности определен задержкой переключения элементов 3 и 4. Полученная схема дополнена цепями асинхронной установки. В таком виде она вполне отвечает триггеру ТМ2.

Реализация ТВ15 использует тот же принцип. В данном случае вход D логически определен таблицей на рис.2.12,б (см. столбец D).

$$D = J\bar{Q} \vee \bar{K}Q.$$

Соответствующая трансформация элемента 5 выделена пунктиром внизу рис.2.12,д. В остальном схема повторяет ТМ2.

Замечания по другим микросхемам. JK-триггеры типа ТВ6, ТВ9-11 также используют двухступенчатый принцип. Но триггер М как таковой в них отсутствует. Во время действия СИ триггер S (БЯ) согласно своему статусу блокирован. При этом для него вырабатываются правильные сигналы возбуждения. Благодаря инерционности элементов эти сигналы сохраняются неизменными при переключении БЯ, а затем становятся пассивными. В ряде типов (это касается и D-триггера) используется лишь один вход асинхронной установки ($\bar{S}_{ас}$ либо $\bar{R}_{ас}$). При этом другой вход полагается пассивным. В некоторых микросхемах D-триггеров нет инверсных выходов либо используется общее управление. Микросхемы ТМ5,7 являются одноступенчатыми с потенциальным управлением. Они представляют наборы защелок.

Простейшие релаксаторы

Применение линейных ИС (усилительных или ключевых каскадов с резистивно-емкостными связями) в комбинации с "навесными" компонентами (конденсаторами, импульсными трансформаторами) позволяет реализовать обычные схемы мультивибраторов и блокинг-генераторов [58]. В цифровой аппаратуре предпочтение отдают логическим ИС. Генераторы импульсов на их основе обладают определенной спецификой.

Канонические схемы. Среди ИС-генераторов принято различать формователи "коротких" импульсов по фронту и срезу входного сигнала и релаксаторы в ждущем и автоколебательном режимах. Канонические схемы формователей (рис.2.13,а — по фронту; рис.2.13,б — по срезу) содержат инвертор — элемент 1 и выходной элемент И-НЕ (ИЛИ-НЕ) — элемент 2. Последовательно с инвертором включают элемент задержки D. В частном случае это цепочка из четного числа инверторов, соединенных каскадно. Длительность импульса на выходе $t_{н2} = t_{1,ср} + t_0$, где $t_{1,ср}$ и t_0 — задержки инвертора и элемента D. Замыканием "кольца" (рис.2.13,а, пунктир) получают схему автогенератора, скважность импульсов которого $N=2$.

Функцию элемента D может выполнять RC-цепь (рис.2.13,в,г). В исходном состоянии элемент 2 закрыт, емкость C заряжена, $U_C(0) = U_{вых}$ (здесь и далее использованы обозначения §2.1). При наличии входного перепада элемент 2 открывается. Начинается разряд

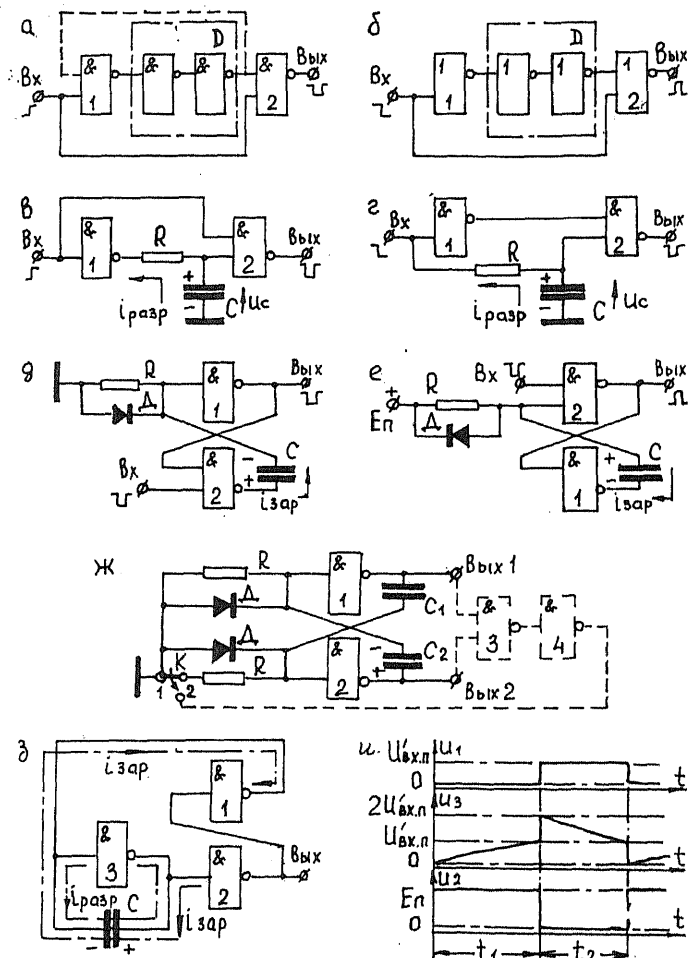


Рис. 2.13

емкости. Формирование импульса на выходе завершается, как только $U_c = U_{вх.п.}$. Соответственно

$$t_{н2} = CR \ln \frac{U_{вх.п.} - U_c(\infty)}{U_{вх.п.} - U_c(\infty)}, \quad U_c(\infty) = E_n \frac{R}{R + R_1},$$

если длительность входного импульса $t_{и1} \geq t_{и2}$. Величина R ограничена сверху условием закрывания элемента 2 по окончании разряда емкости: $U_c(\infty) < U'_{вх.п}$, т.е. $R < R_1 / (E_{п} / U'_{вх.п} - 1)$.

В схемах ждущих релаксаторов (рис.2.13,д,е) первоначально элемент 1 закрыт, элемент 2 открыт, емкость C практически разряжена (в действительности на ней имеется некоторое начальное напряжение обратной полярности). Отрицательный входной импульс переводит схему во временноустойчивое состояние, длительность которого определяется процессом заряда емкости. По условию $t_{и1} < t_{и2}$. В противном случае имеем аналог рассмотренного ранее формирователя нерегенеративного типа.

Для схемы с заземленным сопротивлением R (рис.2.13,д)

$$t_{и2} = C(R'_{вых} + R) \ln \left[\frac{U'_{вых} + U_c(0)}{U'_{вх.п}} \frac{R}{R + R'_{вых}} \right], \quad U_c(0) = E_{п} \frac{R}{R + R_1} < U'_{вх.п}.$$

Величина под знаком логарифма должна быть больше единицы (условие открывания элемента 1 в момент начала формирования импульса на выходе). Это накладывает дополнительное ограничение на R снизу. Так что здесь

$$\frac{R'_{вых}}{[U'_{вых} + U_c(0)] / U'_{вх.п} - 1} < R < \frac{R_1}{E_{п} / U'_{вх.п} - 1}.$$

В схеме (рис.2.13,е)

$$t_{и2} = C(R_1 \| R_2) \ln \frac{E_{п} - U_c(0)}{E_{п} - U'_{вх.п}}, \quad U_c(0) = E_{п} - U'_{вых} < U'_{вх.п}.$$

Восстановление исходного состояния связано с быстрым разрядом емкости через открытый диод D .

Аналогично построена и схема автогенератора (рис.2.13,ж). Пусть в исходном состоянии элемент 1 закрыт, элемент 2 открыт, емкость C_1 разряжена, C_2 заряжена. Быстрый разряд емкости C_2 происходит через открытый диод D . По мере заряда емкости C_1 уменьшается потенциал входа элемента 2. При $U_{вх2} = U'_{вх.п}$ в схеме возникает регенерация. Соответственно длительности временноустойчивых состояний определяются аналогично длительности импульса в схеме (рис.2.13,д) при тех же ограничениях на величину R .

Пусть $C_1 > C_2$. Тогда большая емкость C_1 должна успеть разрядиться за время заряда меньшей. Поэтому максимальное значение скважности $N_{\max} = 1 + (C_1 / C_2)_{\max}$ зависит от выбора диодов и не превышает обычно 20 [58]. Для исключения состояния, когда оба элемента закрыты и обе емкости заряжены, вводят элементы 3 и 4 (рис.2.13,ж,

пунктир; ключ К — в положении 2). Наличие их гарантирует в указанной ситуации принудительное открывание элемента 2 на время разряда емкости C_2 и дальнейшее нормальное протекание процессов в схеме.

В этом смысле более удачна схема автогенератора (рис.2.13,з) [63] на основе ТТЛ-ИС "с открытым коллектором". Пусть в исходном состоянии элементы 3 и 2 закрыты, элемент 1 открыт, емкость C разряжена. В процессе ее заряда, как только $U_c = U'_{вх.п}$, элемент 2 начинает открываться. Регенеративный процесс завершается закрыванием элемента 1. Новое временноустойчивое состояние стабилизирует потенциал входа элемента 3 примерно на уровне $U'_{вх.п}$, поскольку этот элемент вместе с емкостью C образует здесь компенсационный генератор ЛИН (линейно изменяющегося напряжения) с отрицательной обратной связью [2]. Происходит линейный разряд емкости током $(E_{п} - U'_{вх.п})/R_1$. Очередное переключение имеет место при $U_c = 0$. Соответственно

$$t_1 \approx CR_1 \ln \frac{E_{п}}{E_{п} - U'_{вх.п}}; \quad t_2 \approx CR_1 \frac{U'_{вх.п}}{E_{п} - U'_{вх.п}}.$$

Работу схемы иллюстрируют временные диаграммы (рис.2.13,и).

ИС-генераторы с бистабильной ячейкой. В процессе заряда времязадающей емкости в схемах рис.2.13,д,ж происходит нарастание вершины импульса на выходе, к которому эта емкость подключена. Использование бистабильной ячейки позволяет получить на обоих выходах релаксатора прямоугольные импульсы. Их длительность определяется моментами поступления соответствующих потенциалов на установочные входы триггера Т (рис.2.14,в,г). В ждущем релаксаторе один из этих сигналов подается непосредственно со входа устройства, другой формируется специальным логическим (пороговым) элементом внутри самой схемы по окончании в ней релаксационного процесса. Бистабильные ячейки применяют и в простейших беземкостных формирователях (рис.2.14,а,б). Их роль сводится здесь к уменьшению числа используемых элементов при той же величине $t_{и2} = 3t_{з.ср}$, что и ранее (см. рис.2.13,а,б).

В схеме ждущего релаксатора (рис.2.14,в) при отсутствии входного (отрицательного) импульса элемент 3 открыт, элементы 1 и 2 закрыты, емкость C разряжена. С поступлением входного сигнала элемент 3 и диод Д закрываются, элемент 2 открыт. Начинается заряд емкости C через переход эмиттер - база МЭТ элемента 1. Как только $U_c(t) = U'_{вх.п}$, происходит новое переключение схемы, если к этому моменту входной импульс завершен (в противном случае вплоть до

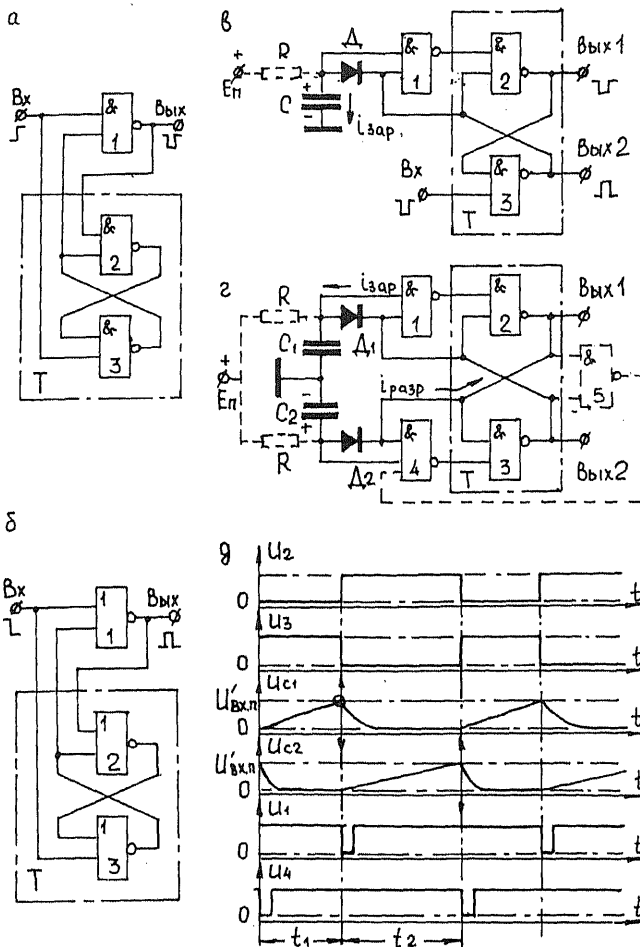


Рис. 2.14

окончания входного сигнала на обоих выходах имеем высокие потенциальные уровни). А потому

$$t_{и2} = CR_1 \ln[(E_{п} - U_{д}) / (E_{п} - U'_{вх.п})], \quad t_{и1} < t_{и2}.$$

Здесь $U_{д}$ – напряжение на открытом диоде. Восстановление исходного состояния связано с быстрым разрядом емкости через диод Δ и малое выходное сопротивление открытого элемента 3. Для стабилизации величины $t_{и2}$ включают сравнительно низкоомную цепь заряда

(рис.2.14,в, пунктир; $R \ll R_{\text{вх}}^* = R_1$). При этом новая постоянная времени равна CR .

Автоколебательный режим реализуется переходом к симметричной схеме (рис.2.14,г). Пусть в исходном состоянии элементы 2 и 4 открыты, элементы 3 и 1 закрыты, емкость C_1 разряжена, C_2 заряжена. Открытое состояние элемента 4 коротечно (рис.2.14,д). Оно завершается с быстрым разрядом емкости C_2 через малое выходное сопротивление открытого элемента 2. Цепь заряда емкости C_1 та же, что и ранее. При $U_{C1} = U'_{\text{вх.п}}$ начинается переключение схемы в новое временноустойчивое состояние. Дальнейшие процессы протекают аналогично (рис.2.14,д). Величины

$$t_{1,2} = C_{1,2} R \ln[(E_{\text{п}} - U_{\text{д}}) / (E_{\text{п}} - U'_{\text{вх.п}})], \quad R \ll R_1.$$

Как и ранее (см. рис.2.13,ж), возможно устойчивое состояние, когда обе емкости заряжены, а элементы 2 и 3 закрыты. Для его исключения схему дополняют элементом 5 (рис.2.14,г, пунктир).

Микросхемы генераторов импульсов

Применение специальных микросхем ждущих генераторов позволяет устранить ограничения, свойственные простейшим релаксаторам: по выбору внешнего резистора R ; по длительности входного импульса; наконец, – по логическим возможностям. В серии К155 имеются две такие микросхемы: АГ1 и АГ3 с одним и двумя генераторами в корпусе (в серии КР1533 – только АГ3). Их УГО вместе с условиями генерации импульса на выходе показаны на рис.2.15,а,б. Стрелка, направленная вверх, означает положительный перепад, вниз – отрицательный. Динамическое управление обуславливает отсутствие влияния длительности входных импульсов на функционирование генераторов. Для пассивных схем $Q=0$, $\bar{Q}=1$.

Входы C_1 и RC , являются нелогическими. К ним подключаются времязадающие компоненты C и R . Ориентировочные значения длительностей генерируемых импульсов

$$t_{\text{и}} \approx \begin{cases} 0,7CR & \text{– для АГ1;} \\ 0,45CR & \text{– для АГ3.} \end{cases}$$

Уточнению расчетов помогает использование номограмм, приведенных в [39, 40]. Диапазоны значений: C – от 10пФ до 10мкФ; R – от 2 до 40 кОм; $t_{\text{и}}$ – от 30нс до 0,28с. Стабильность длительности импульсов выше, чем в канонических схемах без БЯ, из-за отсутствия влияния $U_{\text{вых}}^*$, $R_{\text{вых}}^*$.

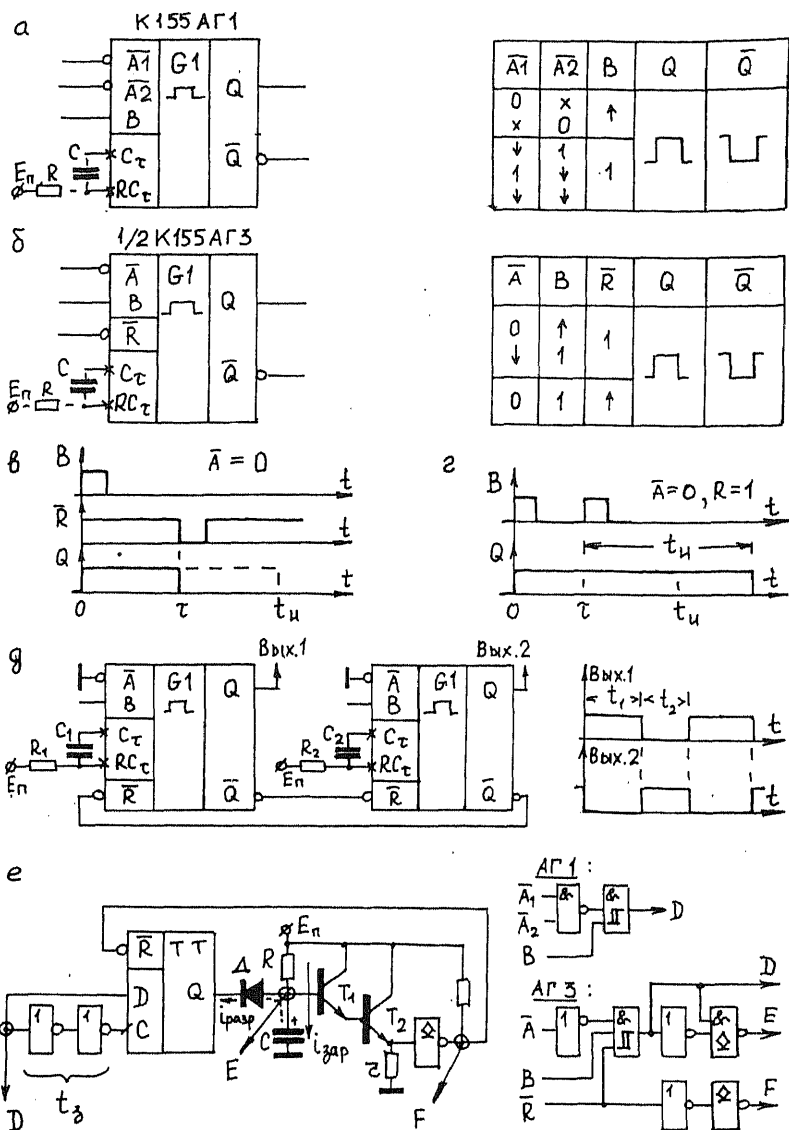


Рис. 2.15

Логические возможности микросхемы АГЗ выше, чем АГ1. Во-первых, формирование импульса на выходе может быть прекращено

подачей отрицательного импульса сброса на вход \bar{R} (рис.2.15,в). Во-вторых, длительность генерируемого импульса можно увеличить повторной подачей импульса запуска в момент $t \leq t_n$ (рис.2.15,г). Наконец, схема автогенератора реализуется на одном корпусе АГЗ. Рисунок 2.15,д иллюстрирует один из трех возможных способов такой реализации.

Предположительные варианты построения микросхем АГ1, АГЗ показаны на рис.2.15,е. Основу устройства составляет D-триггер, подобный триггеру ТМ2. Сигнал синхронизации формируется внутри схемы задержкой сигнала D на время последовательного переключения элементов 5 и 6 (рис.2.12,д), т.е. $t_3 = 2t_{3,CP}$. Временязадающая цепь R-C отключается от триггера диодом Д под действием положительного перепада по входу D. Чтобы увеличить значение R_{max} (в сравнении с каноническими схемами), цепь заряда емкости отделена составным эмиттерным повторителем на триодах T_1 и T_2 от входа инвертора, формирующего сигнал асинхронного сброса триггера. При этом

$$\frac{R_{max}}{\beta^2} < r < \frac{U_{вх.п}}{E_{п} - U_{вх.п}} R_1,$$

что определяет значения r и R_{max} .

К точкам Е и F в микросхеме АГЗ подключены выходы специальных формирователей для реализации возможностей, показанных на рис.2.15,в,г. В частности, действие кратковременного отрицательного импульса \bar{R} инициализирует дополнительную цепь быстрого разряда емкости без сброса триггера. После чего конденсатор начинает вновь заряжаться, т.е. происходит повторный запуск процесса генерации. Символ Δ означает выход с ОК. Символ ∇ отвечает триггеру Шмита.

§2.4. СХЕМЫ НА МДП-ТРАНЗИСТОРАХ

Речь в данном случае идет о МОП- и КМОП-технологиях. Термин МДП сохранен в отечественной ретроспективе [66]. Технология МОП как таковая охватывает весь функциональный диапазон интегральных микросхем. При этом перспективная технология n-МОП используется только в микросхемах памяти больших объемов и в микропроцессорных БИС. Микросхемы с малой и средней степенью интеграции изготавливаются исключительно по p-МОП-технологии со сравнительно низким быстродействием (K161 – одна из наиболее развитых серий). Они конструктивно просты, технологичны, допускают повышение степени интеграции, но находят сейчас

ограниченное применение (в основном, в бытовой технике). Тем не менее, сначала дается знакомство именно с технологией р-МОП. Это хорошо подчеркивает преимущества КМОП-технологии, которая непрерывно развивается, как и технология п-МОП. Рассматривается специфика ключей КМОП, базовые логические микросхемы и триггеры. Изучение обеих перспективных технологий продолжается в гл.4.

Общая характеристика

За основу при рассмотрении характеристик МДП-транзисторов взяты материалы работы [29], МДП-ключей и логических элементов - работ [65, 66].

Характеристики МДП-транзисторов. Наибольшее применение в настоящее время находят МДП-транзисторы с индуцированным каналом (рис.2.16,а, канал р-типа). При напряжении на затворе (З) $U_z \geq 0$ проводимость между истоком (И) и стоком (С) отсутствует, ибо они образуют вместе с подложкой (П) встречно включенные р-п переходы. При этом ток утечки стока не превышает обычно единиц наноампер. В интервале $0 > U_z > U_0$ (где $U_0 = -(2,5-4)$ В – пороговое напряжение на затворе) под действием электрического поля происходит накопление в канале положительно заряженных дырок. Как только $U_z = U_0$, две области р-типа оказываются соединенными друг с другом посредством инверсионного слоя с проводимостью р-типа, служащего каналом. Появляется ток стока I_c . Наличие положительного смещения на подложке $U_n > 0$ эквивалентно росту порогового напряжения. Входное сопротивление МДП-транзистора со стороны затвора составляет $10^{12} - 10^{14}$ Ом независимо от величины и полярности U_z .

На крутом участке вольт-амперной характеристики (рис.2.16,в) в первом приближении

$$I_c = b[(U_z - U_0)U_c - 0,5U_c^2], \quad U_n = 0.$$

Здесь $b = 0,1 - 0,5 \text{ мА/В}^2$ – удельная крутизна. Величина

$$R_0 = 1/|\partial I_c / \partial U_c|_{U_c=0} = 1/b|U_z - U_0|$$

называется сопротивлением канала. Обычно $R_0 = 1-5 \text{ кОм}$. На границе между крутым и пологим участками ВАХ, определенной условием $\partial I_c / \partial U_c = 0$, напряжение $U_{cг} = U_z - U_0$. Соответственно уравнение пологого участка

$$I_c = 0,5b(U_z - U_0)^2, \quad |U_c| \geq |U_z - U_0|.$$

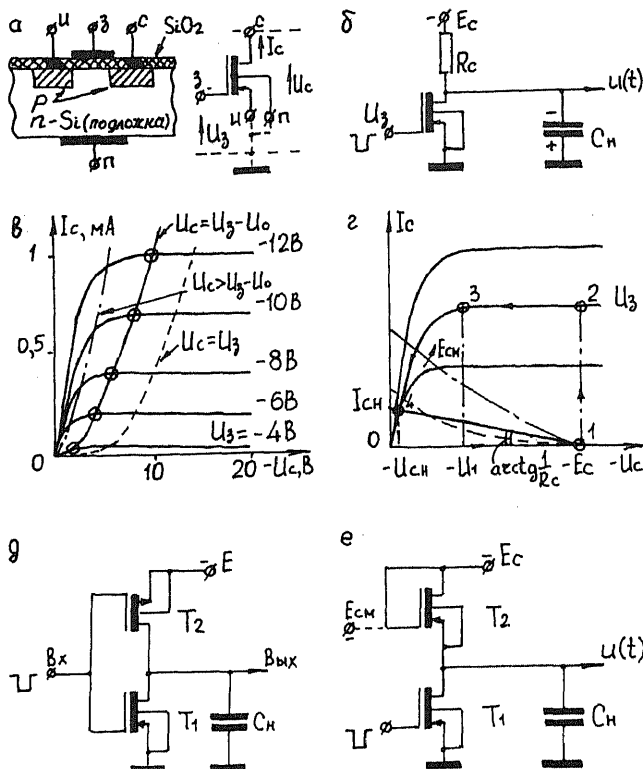


Рис. 2.16

Крутизна ВАХ на этом участке

$$S = \partial I_c / \partial U_3 = b(U_3 - U_0) = \sqrt{2bI_c} = 1/R_0.$$

Для современных МДП-транзисторов $S = 0,2 - 1 \text{ мА/В}$ при токе $I_c = 0,2 - 1 \text{ мА}$. Остаточное напряжение на стоке открытого ключа (рис.2.16,б,г) $|U_{сн}| = I_c R_0$. В логических элементах $|U_{сн}| < |U_0|$. Поэтому $I_c \leq 0,2 - 0,5 \text{ мА}$. Малые рабочие токи (при значительных перепадах напряжения) являются причиной сравнительно низкого быстродействия МДП-элементов, определяемого временем перезаряда паразитных емкостей. Собственная инерционность МДП-транзисторов пренебрежимо мала.

Основные ключевые схемы. В схеме ключа с общим истоком (рис.2.16,б) конденсатор C_n символизирует наличие паразитных

емкостей. При $U_3 = 0$ транзистор закрыт, $u = E_c$. Практически сразу с момента поступления отрицательного входного импульса вывод тока можно представить генератором тока $I_c = 0,5b(U_3 - U_0)^2$. Рабочая точка схемы скачком переходит в положение 2 (рис.2.16,г). Время ее перемещения по пологому участку 2 - 3

$$t_{2-3} = \frac{C_H \Delta U_{2-3}}{I_c} = \frac{2C_H |E_c - U_1|}{b(U_3 - U_0)^2}, \quad U_1 = U_3 - U_0,$$

сравнительно мало. Длительность фронта включения определяется, в основном, движением рабочей точки по крутому участку ВАХ (участок 3-4).

Пренебрегая током нагрузки, имеем

$$C_H U'(t) = b[(U_3 - U_0)u(t) - 0,5u^2(t)].$$

Решение этого нелинейного дифференциального уравнения

$$u(t) = 2U_1 e^{-t/\tau} / (1 + e^{-t/\tau}), \quad \tau = C_H / S.$$

Отсюда $t_{\phi}^{10} \approx 2,9\tau$. Учет тока нагрузки не вносит заметной поправки в полученный результат. Время выключения определяется зарядом емкости: $t_{\phi}^{01} = 2,3R_c C_H \gg t_{\phi}^{10}$. Обычно $R_c = 50 \sim 100$ кОм.

Рассмотренная схема неудобна для интегрального исполнения из-за наличия высокоомного резистора R_c . Вместо него в МДП-ИС включают транзистор T_1 (рис.2.16,е). При этом различают два случая:

1) затвор нагрузочного компонента подключен к источнику E_c (ключ с нелинейным резистором);

2) используется дополнительный источник $|E_{cm}| > |E_c| + |U_{02}|$ (рис.2.16,е, пунктир) – ключ с квазилинейным резистором.

В обоих случаях на этапе включения происходит разряд емкости C_H через управляющий транзистор T_1 (активный компонент). Как и ранее, $t_{\phi}^{10} \approx 2,9\tau_1$, $\tau_1 = C_H / S_1$. Выключение каждой схемы протекает по своему. В первом случае транзистор T_2 работает на пологом участке своего семейства ВАХ (рис.2.16,в,г, пунктир), и уравнение зарядки емкости

$$C_H U'(t) = 0,5b_1 [E_c - u(t) - U_{02}]^2.$$

Его решение

$$u(t) = (E_c - U_{02})t / (t + 2\tau_2),$$

где $\tau_2 = C_H / S_2$, $S_2 = b_2 |E_c - U_{02}|$. Соответственно $t_{\phi}^{01} \approx 18\tau_2$ сравнительно велико. Характерно, что напряжение на выходе закрытой схемы $U^* = E_c - U_{02}$.

Во втором случае нагрузочный компонент работает на крутом участке своих ВАХ (рис.2.16,в,г, штрих-пунктир). При этом триод T_2

всегда открыт по затвору, $U' = E_c$. Его эквивалентное сопротивление уменьшается. Заряд емкости происходит более быстро, длительность фронта

$$t_{\Phi}^{01} = \frac{\tau_2}{1-m} \ln \frac{9(2-1,9m)}{2-1,1m},$$

где $m = \frac{E_c}{E_{cm} - U_{02}}$, $\tau_2 = C_H / S_2$, $S_2 = b_2 |E_{cm} - U_{02}|$. Выбором E_{cm} можно варьировать величиной t_{Φ}^{01} в пределах от $2,2\tau_2$ ($m \rightarrow 0$) до $18\tau_2$ ($m \rightarrow 1$). Повышение быстродействия достигается ценой роста $I_{сн}$ и $|U_{сн}|$. В интегральном варианте подложка T_2 обязательно заземляется, что эквивалентно росту U_{02} , а потому и t_{Φ}^{01} .

Радикальной мерой повышения быстродействия и уменьшения энергопотребления МДП-ИС является переход к ключевым схемам на основе транзисторов дополняющих типов проводимостей (рис.2.16,д; T_2 имеет канал п-типа). При выборе $\max(|U_{01}|, |U_{02}|) < |E| < |U_{01}| + |U_{02}|$ триод T_2 в процессе включения схемы закроется раньше, чем откроется T_1 . Аналогично и для процесса выключения (T_1 закроется раньше, чем откроется T_2). Поэтому протекание "сквозных" токов через триоды T_1 и T_2 исключено, и мощность в схеме расходуется только на этапе переходных процессов, связанных с перезарядом паразитных емкостей. В данном случае в силу "симметрии" схемы $t_{\Phi}^{01} = 2,9\tau_2$ того же порядка, что и t_{Φ}^{10} .

Логические элементы. Основой МДП-ИС является элемент типа ИЛИ-НЕ (рис.2.17,а) в отрицательной системе сигналов. Максимальное использование площади кристалла достигается путем объединения диффузионных областей стоков всех управляющих транзисторов. Наибольшее значение $|U_{вых}|$ имеет место при воздействии открывающего сигнала только на один из входов. Порог открывания схемы по входу $U'_{вх.п} = U'_{вых.п} + U_{01}$ определен условием работы активного компонента (T_1) на границе крутого и пологого участков его ВАХ. Приравнявая для этого случая токи активного и нагрузочного (T_2) транзисторов, получаем

$$0,5b_1(U'_{вх.п} - U_{01})^2 = 0,5b_2(E - U'_{вых.п} - U_{02})^2.$$

Отсюда $U'_{вх.п} = U_{01} - \Delta U_{п}$; $U'_{вых.п} = -\Delta U_{п}$. Величина $\Delta U_{п} = |E - U_{02}| / (\sqrt{b_1/b_2} + 1)$ характеризует ширину переходной области. Она падает с ростом b_1/b_2 . Помехоустойчивость схемы

$$U_{п}^* = |U_{01}| - |U'_{вых.п}| = |U_{01}| - \Delta U_{п};$$

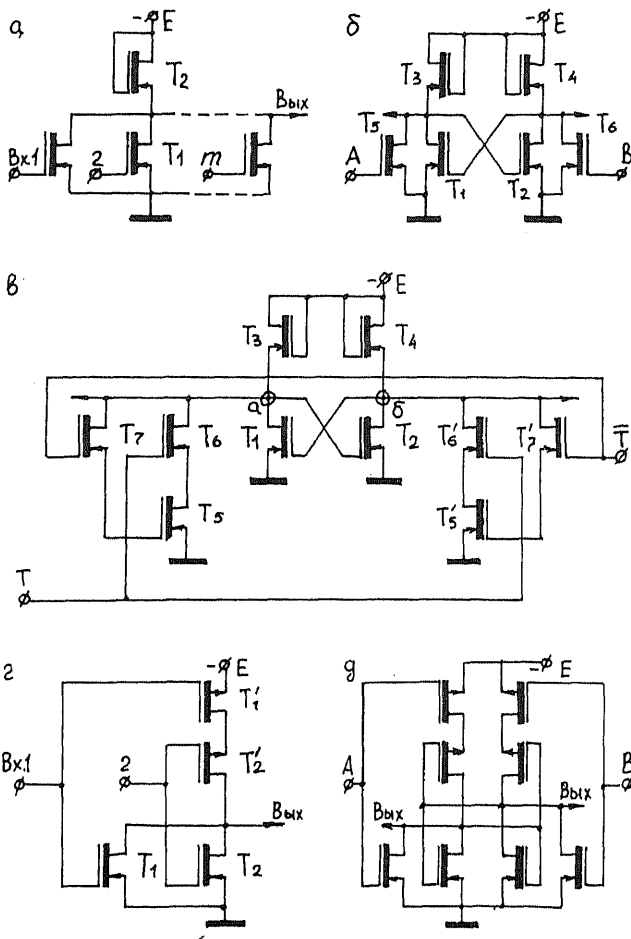


Рис. 2.17

$$U_{\pi}^{-} = |U_{\text{вх.п}}| - |U_{\text{вх.п}}| = |E| - (|U_{01}| + |U_{02}| + \Delta U_{\pi}).$$

Условие $U_{\pi}^{*} > 0$ накладывает двухстороннее ограничение на величину E

$$|U_{02}| + |U_{01}|(1 + \sqrt{b_1/b_2}) > |E| > |U_{02}| + |U_{01}|(1 + \sqrt{b_2/b_1}).$$

Схема работоспособна, если $b_1 > b_2$. Из условия $U_{\pi}^{*} = U_{\pi}^{-}$ получаем $E = 2U_{01} + U_{02}$. Тогда

$$\Delta U_{\pi} = 2|U_{01}|/(\sqrt{b_1/b_2} + 1);$$

$$U_{п}^{\sim} = |U_{01}|(\sqrt{b_1/b_2} - 1)/(\sqrt{b_1/b_2} + 1).$$

При использовании дополняющих транзисторов схемы ИЛИ-НЕ (рис.2.17,г) и И-НЕ однотипны. Поэтому применяют оба варианта. Увеличение числа входов на единицу всякий раз требует здесь введения двух транзисторов: одного ~ в цепь управления, другого - в цепь нагрузки.

Схемы МДП-триггеров с отдельным запуском строятся путем "перекрестного" соединения двух элементов ИЛИ-НЕ (рис.2.17,б,д). Пусть в исходном состоянии транзистор T_1 закрыт, T_2 открыт (рис.2.17,б). Тогда при подаче на затвор триода T_1 (вход А) открывающего сигнала этот триод шунтирует стоковую цепь транзистора T_1 , что приводит к закрыванию T_2 и открыванию T_1 . Очередной переброс триггера осуществляется подачей отрицательного импульса на вход В.

Более сложны схемы счетного запуска. В одном из вариантов (рис.2.17,в) используется временное запоминание информации на входной емкости. Транзисторы T_1, T_2, T_3, T_4 образуют собственно триггер. Триоды T_5 и T_6 играют роль элементов памяти, T_6 и T_5 управляют перебросом триггера. Сигнал T - двоичный сигнал на счетном входе, \bar{T} - его инверсное значение.

В исходном состоянии $T=0, \bar{T}=1$. Если при этом триод T_1 закрыт (T_2 открыт), то входная емкость триода T_3 заряжена через открытый транзистор T_4 до напряжения $U_a = U_{\text{вых}}$, что приводит к открыванию T_3 по затвору. Соответственно в момент поступления отрицательного счетного импульса ($T=1$) цепь $T_3 - T_6$ оказывается проводящей, и триггер опрокинется. По окончании входного сигнала откроется триод T_4 , и так далее. Схема критична к длительности счетного импульса.

Базовые микросхемы КМОП [40]

Расшифровка термина КМОП - комплементарная пара МОП-транзисторов дополняющих типов проводимостей (см. рис.2.16,д). Как было установлено ранее, такая пара образует быстродействующий инвертор с малым энергопотреблением. Полярность напряжения питания в микросхемах КМОП - положительная. Поэтому здесь, как и в ТТЛ-ИС, принята положительная система сигналов. Соответственно меняется каноническое представление КМОП-пары (рис.2.18,а) и условие прямоугольности ее АПХ (рис.2.18,б)

$$\max(|U_{01}|, |U_{02}|) < E_{п} < U_{01} + |U_{02}|,$$

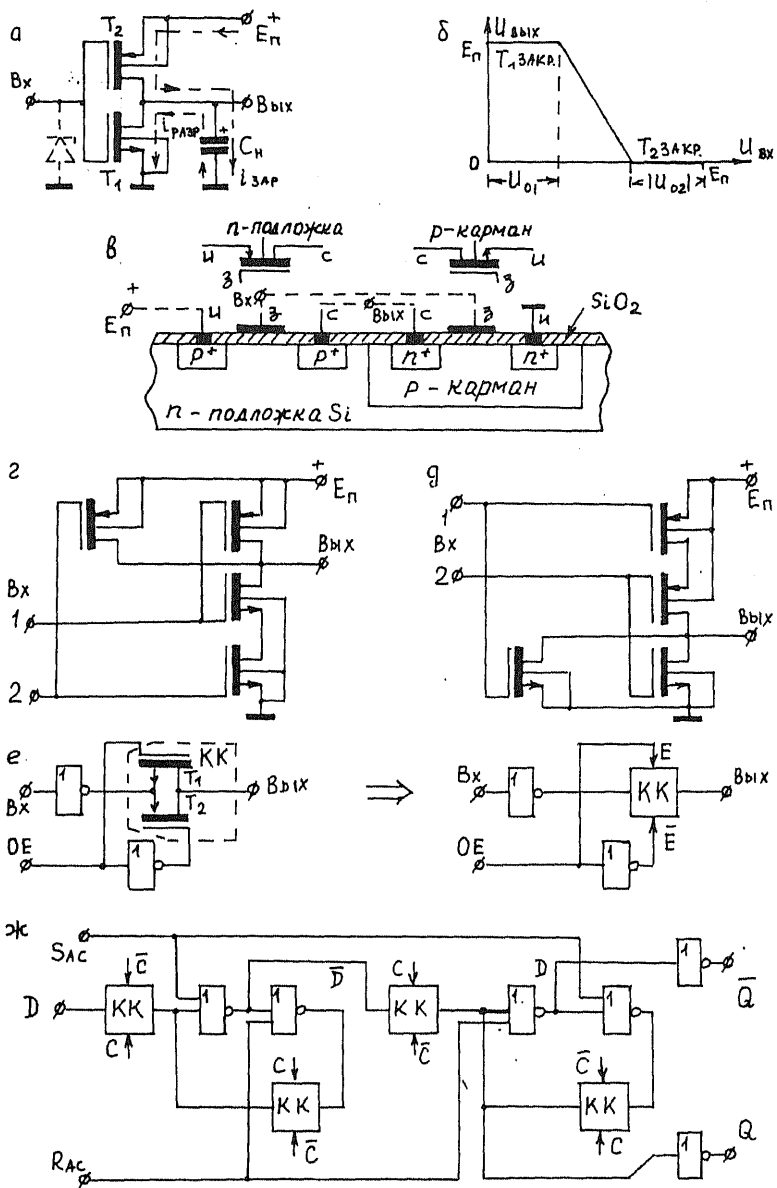


Рис. 2.18

при выполнении которого оба триода не могут быть открыты одновременно. Тогда ток от источника потребляется только в процессе заряда конденсатора C_n . Энергопотребление в статике практически отсутствует. Нет и сквозных токов. Однако по соображениям быстродействия значение E_n стремятся увеличить.

Своеобразие КМОП-технологии состоит в наличии наряду с n -подложкой так называемого p -кармана (рис.2.18,в), подключенного к низкому потенциалу. На входах микросхем устанавливают защитные стабилитроны (рис.2.18,а; пунктир) во избежание пробоя тонкого окисного слоя (толщиной $\sim 1\text{мкм}$) SiO_2 под действием статического электричества. Оно накапливается на обкладках конденсатора "затвор - поверхность подложки" емкостью $C = 5 \dots 15\text{пФ}$. Достаточен заряд Q в 1нКул , чтобы развить напряжение на конденсаторе $U = Q/C$ в 100В и более. Поэтому в отсутствие специальных мер пробой может произойти от простого соприкосновения затвора с наэлектризованной поверхностью..

Во избежание электростатических наводок входы микросхем КМОП не должны оставаться свободными. Их следует подключать (как и в ТТЛ) к источнику питания через резисторы утечки. Надо избегать случайных замыканий выходов на провод питания или земляной, чтобы предотвратить разрушение микросхемы. Для защиты от длительного протекания значительных сквозных токов нельзя соединять выходы обычных элементов непосредственно. Если требуется параллельное соединение входов и выходов элементов, эти элементы должны располагаться в одном корпусе. Иначе из-за влияния переходных процессов в линиях связи (см. §3.2) возможен предыдущий вариант.

По своим функциональным возможностям состав серий КМОП приближается к ТТЛ. Первые микросхемы КМОП (серия К176) были достаточно низковольтными ($E_n = 9\text{В}$), что определялось напряжением пробоя p -кармана. В более поздних сериях К561, 564 значение $E_n^{\text{пик}}$ было повышено до 15В , что привело к росту быстродействия. Так, для элементов серии К561 величина $t_{3\text{ср}} \approx 50\text{нс}$ (150нс - в случае $E_n = 5\text{В}$) при $P_{\text{ср}}$ в статике около $0,4\text{мкВт}$. На среднюю задержку сильно влияет сопротивление канала. В настоящее время достигнуты значения R_0 в сотни Ом. Для перспективных технологий HCMOS (H - от high - высококачественный) $t_{3\text{ср}} = 10\text{--}15\text{нс}$, что сравнимо с ТТЛ.

Последним достижением отечественной КМОП-технологии является серия КР1554 [136] (зарубежный аналог - серия 74АСxxx "FACT" фирмы NATIONAL, США). Микросхемы этой серии обладают высоким быстродействием ($t_{3\text{ср}} = 3,5\text{нс}$), низкой потребляемой

мощностью и повышенной нагрузочной способностью. По всем указанным параметрам они превосходят соответствующие микросхемы ТТЛ серии КР1533.

Логические микросхемы и триггеры. Основу всех цифровых микросхем КМОП составляют 3 элемента : И-НЕ (рис.2.18,г), ИЛИ-НЕ (рис.2.18,д) и коммутационный ключ КК (рис.2.18,е). С его помощью реализуется выход на три состояния и облегчается построение двухступенчатых триггерных схем. В устройстве рис.2.18,е, если ОЕ – высокий потенциал (ВП), то общий выход соединен с выходом инвертора через триоды T_1 (на входе – ВП) либо T_2 (на входе – низкий потенциал НП). В случае ОЕ – НП канал размыкается (связь между входом и выходом отсутствует). На рис.2.18,е справа показана та же схема с подчеркиванием парафазности управления КК. Ключ замкнут, если верхний управляющий сигнал – 1, а нижний – 0. Альтернативный вариант отвечает разомкнутому ключу.

Номенклатура микросхем ЛА и ЛЕ примерно та же, что и в сериях ТТЛ. Как и там, элементы И-НЕ могут выполняться по типу триггера Шмита (пример микросхемы К561ТЛ1). Выходы элементов после КК можно непосредственно подключать к ОШ. Три состояния выхода имеет например, микросхема К561ЛН1 (6 инверторов в корпусе). Для преобразования уровней служат специальные микросхемы: от КМОП к ТТЛ – К176ПУ1-5, К561ЛН2; от ТТЛ к КМОП – К564ПУ6 (на три состояния).

В состав серий КМОП включены 3 вида триггеров: RS-, D-, JK- (типы – TP, TM, TV). Микросхема К561TP2 содержит 4 асинхронных RS-триггера с выходами на три состояния. Сигнал разрешения выхода ОЕ – общий для всех триггеров. Микросхемы К176TM1,2 имеют по два D-триггера в корпусе. Структурная схема одного триггера TM2 показана на рис.2.18,ж. Переключение выхода – по фронту синхросигнала. Максимальная тактовая частота – 5 МГц, минимальная длительность СИ – 100 нс (для микросхемы КР1554TM2 – соответственно 150 МГц и 5 нс). Микросхема К561TM3 – это одноступенчатая схема с потенциальным управлением (4 D-триггера в корпусе). В составе К176(561)TV1 – два независимых JK-триггера с динамическим управлением по фронту СИ. Каждый триггер имеет входы асинхронной установки S и R. Для К561TV1: $F_{\max} = 3 \text{ МГц}$, $t_c^{\min} = 170 \text{ нс}$. В серию КР1554 включены триггеры TV9, TV15, TM2, TM8, TM9. Их динамические параметры примерно одинаковы.

§2.5. СХЕМЫ С ИНЖЕКЦИОННЫМ ПИТАНИЕМ

Интенсивное развитие КМОП-технологии создает серьезную конкуренцию ТТЛ-ИС по достижимому быстродействию при значительном выигрыше в энергопотреблении. Получение средней задержки на элемент менее 10 нс - уже не проблема для КМОП-ИС. Выход из положения разработчики ТТЛ-ИС ищут на пути совершенствования ТТЛШ-технологий (с диодами Шотки) [52]. Кардинальное решение проблемы выживаемости биполярных технологий в целом долгое время видели в создании энергоемких микросхем наносекундного диапазона (ЭСЛ-ИС) и микромощных схем, близких по быстродействию к ТТЛ (схемы с инжекционным питанием - И²Л). Это полюса биполярных технологий.

Оба полюса достаточно развиты. Например, ЭСЛ-серия K500 имеет 48 модификаций микросхем. Серия K1500 включает 32 названия субнаносекундных ИС. Микропроцессорный комплекс ЭСЛ-БИС K1800 - 8 типов микросхем. Всплеск промышленного интереса к ЭСЛ-ИС наблюдался у нас в стране в конце 70-х - начале 80-х годов. Как бы то ни было в будущем, сам принцип переключения токов неизменно значим. Схемы с повышенной степенью интеграции - изначальная ориентация технологий И²Л. Примерами отечественных И²Л-БИС являются семейства микропроцессоров КР582, 584. Принципы И²Л занимают отдельную нишу в технологической классификации и потому обязательны для изучения. Перспективы расширения сферы их использования сохраняются.

Первые патенты и публикации по схемам с инжекционным питанием, или И²Л (интегральная инжекционная логика)-схемам появились в 1971г. Принятое для этих схем название обусловлено тем, что необходимая для преобразования сигналов электрическая энергия вводится в них инжекцией неосновных носителей. Новизна их конструкции связана с появлением в структуре биполярного транзистора инжектора и нескольких коллекторов. Последнее приводит к уменьшению в цифровых схемах требуемого числа транзисторов, внутрисхемных соединений и площади полупроводникового кристалла. Особенности И²Л-схемотехники вызваны подключением источника питания к инжектору, возможностью использования для управления, помимо цепи базы, инжектора и коллекторов. Эти новшества в пределах традиционной технологии позволили более чем на порядок увеличить степень интеграции, значительно улучшить основные электрические параметры биполярных ИС и одновременно снизить их стоимость.

Изучение И²Л-схем начнем с качественного описания принципа их действия, сравнительных оценок и перечня возможных применений. Довольно детально рассмотрим характеристики многоэлектродного биполярного транзистора и его работу в режиме переключения. Наконец, познакомимся с особенностями функционирования логических элементов и проектирования цифровых БИС с инжекционным питанием. Изложение ведется по материалам работы [67].

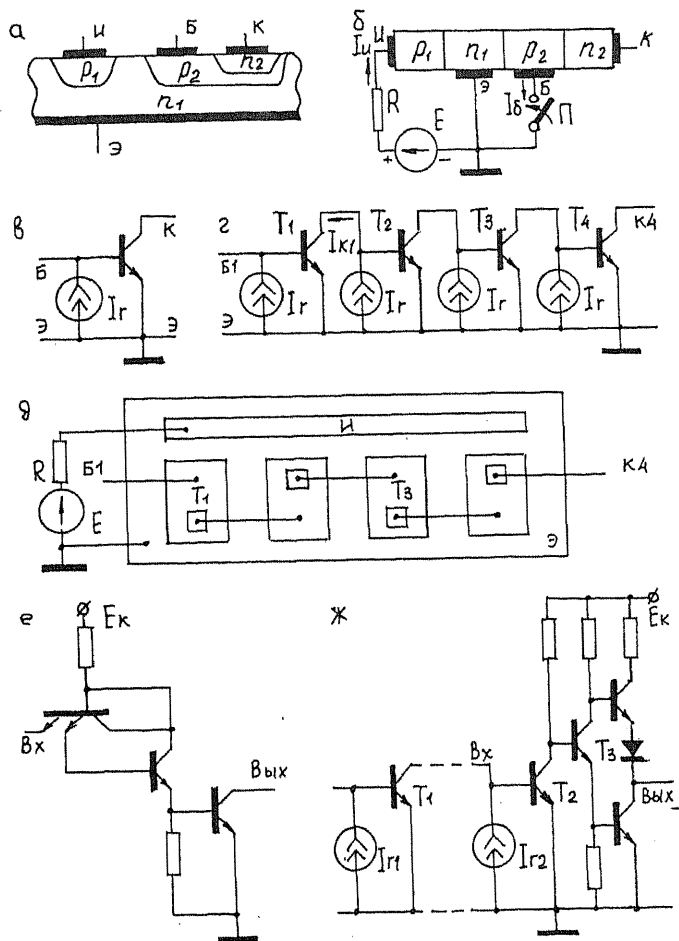


Рис. 2.19

Принцип действия, сравнительные оценки и применения

Рассмотрим одну из простейших конструкций планарного транзистора с инжекционным питанием (рис.2.19,а). Она представляет собой четырехслойную структуру $p_1-n_1-p_2-n_2$ -типа, в которой можно выделить два транзистора: $n-p-n$ и $p-n-p$. В транзисторе $p-n-p$ инжектор (И) играет роль эмиттера. Переход n_1-p_2 называют эмиттерным, p_2-n_2 – коллекторным, p_1-n_1 – инжекторным. Обозначим через α_1 и α_i нормальный и инверсный коэффициенты передачи $n-p-n$ транзистора, α_2 и α_{2i} – соответствующие параметры $p-n-p$ транзистора.

Пусть эмиттер заземлен, к инжектору подключен внешний источник ЭДС указанной полярности (рис.2.19,б), цепь базы разомкнута ключом П. Тогда из инжектора в эмиттер инжектируются дырки. Эмиттерный переход также смещается в прямом направлении, что вызывает инжекцию электронов из эмиттера в базу. Транзистор оказывается в насыщении, если ток нагрузки коллектора сравнительно невелик. При этом $U_k = \varphi_T \ln(I/\alpha_{ii})$. Если p_2 -базу соединить ключом П с эмиттером, то инжекция электронов в базу прекратится и ток в цепи базы $I_b = \alpha_2 I_{ii}$. Транзистор переходит в активный режим на границе с режимом отсечки. Его выходное сопротивление резко увеличивается. Проведенное рассмотрение позволяет представить транзистор с инжекционным питанием эквивалентной схемой (рис.2.19,в), содержащей генератор тока в цепи базы $I_g = \alpha_2 I_{ii}$.

В цепочке аналогичных структур с общим инжектором и эмиттером (рис.2.19,г,д) триод T_1 , цепь базы которого разомкнута, находится в режиме насыщения. Поэтому $I_{K1} = I_g$, $U_{KЭ1} = U_{БЭ2} \approx 0$, и триод T_2 закрыт. Напряжение $U_{КЭ2} = U_{БЭ3} \approx 0,6В$, что характерно для прямосмещенного перехода в кремниевых транзисторах при $T \approx 20^\circ C$. Триод T_3 насыщен, поскольку цепь его базы практически оборвана и так далее. Если же $U_{Б1} = 0$, то состояния всех триодов изменяются на противоположные. Таким образом, рассмотренная цепочка транзисторов представляет собой последовательность ключевых схем, замкнутое и разомкнутое состояния которых чередуются. Характерно, что каждый транзистор выполняет функцию инвертора без каких-либо дополнительных компонентов. Элемент ИЛИ-НЕ создается объединением коллекторов нескольких транзисторов. Простейший триггер может быть образован соединением двух триодов перекрестными связями.

Схемы с инжекционным питанием функционируют правильно, если обеспечено прямое смещение инжекторного перехода. Поэтому

достаточно выбрать $E=0,6-1В$. Переключение схемы из одного состояния в другое мало влияет на величину питающего тока (в данном случае — суммарного тока инжектора). $I^2Л$ -ИС не критичны к изменению тока питания в широких пределах. Его увеличение приводит лишь к возрастанию потребляемой мощности и повышению быстродействия.

Для согласования входных и выходных характеристик $I^2Л$ -ИС с наиболее распространенными ИС, в первую очередь — ТТЛ, предусматривается использование специальных согласующих схем. База инжекционного транзистора может быть непосредственно подключена к выходу ТТЛ-ИС с открытым коллектором. Однако делать это нецелесообразно, так как помехоустойчивость $I^2Л$ -ИС мала, а на внешних выводах схемы уровень помех значительно выше, чем во внутренних цепях. Кроме того, ухудшается и быстродействие, поскольку при выключении ТТЛ-ИС с открытым коллектором ее относительно большая выходная емкость заряжается сравнительно малым током I_T . Поэтому применяют, например, такую схему согласования по входу (рис.2.19,е). Она выполняется на одном кристалле с $I^2Л$ -ИС.

В одной из возможных схем согласования по выходу (рис.2.19,ж) входной транзистор T_2 имеет инжекционное питание. Но $I_{T2} > I_{T1}$, где ток I_{T1} является параметром выходного транзистора T_1 $I^2Л$ -ИС. Это необходимо для получения требуемого тока управления триодом T_2 . Если он равен $0,1-1мА$, то транзистор T_1 не в состоянии обеспечить необходимое усиление по току (порядка 100, так как обычно $I_{T1}=1-10мкА$). Тогда на входе согласующей схемы ставят несколько транзисторов с инжекционным питанием с последовательно возрастающими I_T .

Перейдем к сравнительным оценкам. $I^2Л$ -схемы отличаются от других типов биполярных ИС максимальной плотностью упаковки (более 300 вент/ $мм^2$) и степенью интеграции (порядка 10^4 вентилях на кристалл); минимальными напряжением питания ($0,5 - 0,9 В$), работой переключения ($P_{ср} t_{3,ср} = 0,02 - 1пДж$) и потребляемой мощностью (менее 10 нВт/вент); простотой технологии и конструкции (в частности, отсутствием высокоомных резисторов, минимальным числом компонентов и межсоединений на вентиль); работоспособностью в большом диапазоне температур (от -60 до $+125^{\circ}C$). Логические $I^2Л$ -структуры обычно не содержат других элементов, кроме многоэлектродных транзисторов, и строятся по принципу схем с непосредственными связями.

Изменяя ток питания, можем в широких пределах (до нескольких порядков) регулировать потребляемую мощность и быстродействие И²Л-схем без нарушения их работоспособности. Поэтому исключается необходимость разработки нескольких схем одинакового функционального назначения, но с разным быстродействием, что характерно, например, для ТТЛ-ИС. Однако они имеют меньшее быстродействие по сравнению со скоростными ТТЛ- и ЭСЛ-ИС и относятся к классу схем среднего быстродействия (минимальное $t_{3cp} \geq 5-10$ нс).

По сравнению с МДП-ИС схемы с инжекционным питанием имеют меньшую работу переключения и потребляемую мощность (в 3-10 раз), большее быстродействие (в 2-5 раз), проще согласуются с ТТЛ- и ДТЛ-ИС, могут дать большие выходные токи, допускают возможность создания на одной пластине линейных и цифровых схем. В них отсутствуют импульсы помех по цепям питания, возникающие при переключении ИС на дополняющих МДП-транзисторах. И²Л-ИС свойственен более высокий диапазон рабочих температур, повышенная радиационная стойкость и эксплуатационная надежность. Однако они уступают МДП-ИС по степени интеграции (примерно в 2 раза) и имеют более высокую стоимость (в 5-10 раз). Поэтому их внедрение в ряде случаев задерживает конкуренция с МДП-БИС, производство которых было хорошо освоено многими фирмами еще до появления первых сообщений о схемах с инжекционным питанием.

Наибольший эффект от применения инжекционного питания достигается при создании сложных вычислительных устройств с высокой степенью интеграции. В настоящее время за рубежом выпускают следующие типы И²Л-БИС: микропроцессоры (разрядность 4-16, длительность цикла около 100 нс); ЗУ с произвольной выборкой (емкость 1-16 кбит, время обращения порядка 100 нс); логические схемы; БИС для калькуляторов, измерительной аппаратуры (цифровых вольтметров, осциллографов), периферийных устройств ЭВМ, аналого-цифровых и цифро-аналоговых преобразователей; цифровые БИС военной и космической аппаратуры, бытовой электроники (радиоприемников, телевизоров, электронных часов) и др. Возможно применение инжекционного питания в линейных схемах и МДП-ИС.

Характеристики многоэлектродного биполярного транзистора

Как правило, в И²Л-ИС транзисторы включаются по схеме ОЭ. Ток инжектора $I_{и}$ задан внешней цепью. Входные управляющие сигналы подаются в цепь базы или одного из коллекторов. Выходные

сигналы снимаются с остальных коллекторов. Параметры этих сигналов можно определить из анализа упрощенного триодного эквивалента (содержащего всего лишь три электрода: эмиттер, база и коллектор) многоэлектродного транзистора. Под эквивалентностью понимается в данном случае совпадение внешних электрических характеристик по l -му коллектору, $l = 1, 2, \dots, v$ (v — число коллекторов).

Статика. Ток базы такого эквивалента

$$I_{БЭКВl} = I_B + \alpha_2 I_H + (1 - \alpha_{1l}) \sum_{j=1}^v I_{Kj} = I_B + I_{\Gamma}, \quad j \neq l.$$

Его эквивалентные нормальный коэффициент усиления и тепловой ток эмиттерного перехода

$$\alpha = \frac{\alpha_1}{1 - \alpha_2 \alpha_{21} - (v-1) \alpha_1 \alpha_{11}} > \alpha_1; \quad I_0 = I_{Э0} \frac{\alpha_1}{\alpha} = I_{К0} \frac{\alpha_{11}}{\alpha} < I_{Э0}.$$

Эквивалентный коэффициент усиления в схеме ОЭ

$$\beta = \frac{I_{Kl}}{I_{БЭКВl}} = \frac{\alpha}{1 - \alpha} = \frac{\alpha_1}{1 - v\alpha_1 + (v-1)(1 - \alpha_{11})\alpha_1 - \alpha_2 \alpha_{21}}.$$

Если для всех v коллекторных переходов имеет место активный режим, то $I_{Kj} = \beta I_{БЭКВj}$, все $I_{БЭКВj}$ одинаковы и

$$I_{БЭКВj} = I_B + \alpha_2 I_H + (v-1)(1 - \alpha_{11})\beta I_{БЭКВj}.$$

Соответственно

$$I_{Kl} = \beta_v (I_B + \alpha_2 I_H), \quad \beta_v = \frac{\alpha_1}{1 - v\alpha_1 - \alpha_2 \alpha_{21}} > \beta.$$

Для режима насыщения справедливы формулы

$$U_{БН} = \varphi_T \ln \left[\frac{I_{БЭКВ} + (1 - \alpha_{11}) I_K}{I_0} + 1 \right], \quad v=1;$$

$$U_{КНl} = \varphi_T \ln \frac{1}{\alpha_{11}} + \varphi_T \ln \frac{I_{БЭКВl} + (1 - \alpha_{11}) I_{Kl}}{I_{БЭКВl} - I_{Kl} / \beta}.$$

Так, в цепочке (рис.2.19,г) $v=1$, $I_{БЭКВ}=I_K=I_{\Gamma}$. Полагая $\alpha_{11}=0,99$; $\beta=2$; $\varphi_T=25\text{мВ}$; $I_{\Gamma}=10^8 I_0$, имеем $U_{БН} \approx 480\text{мВ}$; $U_{КН} \approx 18\text{мВ}$. Таковы в данном случае высокий и низкий логические уровни.

Из выражения для $U_{КНl}$ следует, что с ростом суммарного тока $\sum_{j=1}^v I_{Kj}$ (с увеличением $I_{БЭКВl}$) величина $U_{КНl}$ уменьшается (растет степень насыщения), хотя внешний ток базы I_B и ток I_{Kl} остаются неизменными. Условие насыщения по l -му коллектору $I_{БЭКВl} \geq I_{Kl} / \beta$ может быть нарушено, если в один (или несколько) из соседних коллекторов задать вытекающие токи ($I_{Kj} < 0$) достаточной величины.

Так, при $v=2$ транзистор по 1-му коллектору оказывается на грани насыщения, если

$$I_{K2} = -\frac{I_B + \alpha_2 I_H - I_{K1}/\beta}{1 - \alpha_{11}}.$$

Обычно $\alpha_{11} \approx 1$. Поэтому управление по коллекторам требует больших токов.

Учет взаимодействия соседних коллекторов за счет транзисторного эффекта вносит существенные поправки в приведенные формулы. Дополнительно полезно учесть, что в случае БИС через один общий инжектор задается ток питания в группу из большого числа N транзисторов. Суммарный коэффициент усиления тока инжектора $N\alpha_2 = 0,6 - 0,9$. Однако коэффициент усиления для каждой базы $\alpha_2 = (0,6 - 0,9)/N$ оказывается малым. При этом можно считать $\alpha_2\alpha_{21} \approx 0$. Кроме того, $\alpha_{11} \approx 1$. А потому в данном случае $\beta_v \approx \beta$.

Динамика. При анализе переходных процессов в схемах ОЭ с инжекционным питанием используют принятую для обычных ключей ОЭ методику и известные формулы с подстановкой в них параметров эквивалента. Постоянная времени τ_p характеризует скорость изменения тока коллектора в активном режиме при управлении по базе. В случае управления по инжектору длительность переходных процессов увеличивается, так как эквивалентный ток базы нарастает не скачком, а постепенно с постоянной времени τ_2 , сравнимой с τ_p . Поэтому эквивалентная постоянная времени здесь $\tau_{pi} \approx \sqrt{\tau_p^2 + \tau_2^2} > \tau_p$. При управлении по коллектору $\tau_{pk} \approx \tau_p(1 - \alpha_{11}) \ll \tau_p$. Соответствующие постоянные времени на этапе рассасывания

$$\tau_{pac} \approx \tau_p; \quad \tau_{pac,и} \approx \sqrt{\tau_{pac}^2 + \tau_2^2}; \quad \tau_{pac,к} \approx \tau_{pk}.$$

Таким образом, при управлении по коллектору хотя и требуются большие токи, но длительность переходных процессов получается малой. Емкости эмиттерных переходов эквивалентного и многоэлектродного транзисторов совпадают. Емкость коллекторного перехода эквивалента равна сумме емкостей всех коллекторных переходов многоэлектродного транзистора. Характерно, что τ_p растет пропорционально v . Поэтому с увеличением числа коллекторов быстродействие транзистора ухудшается. Вот практические примеры значений параметров инжекционных транзисторов, используемых в ячейках памяти: $\beta = 2,5 - 5$; $\alpha_{21} = (3 - 4,6)10^{-2}$; $N\alpha_2 = 0,5 - 0,93$; $\tau_p = 11 - 20$ нс; $\tau_2 = 12 - 20$ нс; усредненные емкости эмиттерного и коллекторного переходов равны 0,25 и 0,3 пФ соответственно.

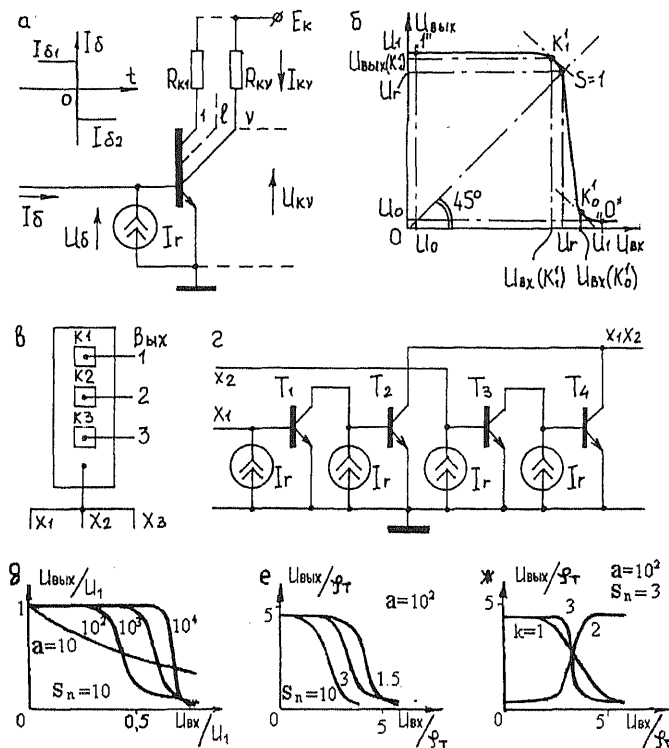


Рис. 2.20

В качестве иллюстрации рассмотрим переходные процессы в многоколлекторном ключе ОЭ с резистивной нагрузкой (рис.2.20, а). Такое включение часто используется в выходных каскадах И²Л-схем и в случае, когда многоэлектродный транзистор применяется как отдельный прибор. Пусть $R_{K1} = R_{K2} = \dots = R_{Kv} = R_K$, I_{B1} — открывающий, I_{B2} — закрывающий токи базы (случай управления по базе). Тогда время рассасывания

$$t_p = \tau_{PAC} \ln \frac{I_{B1 \text{ ЭКВ}} - I_{B2 \text{ ЭКВ}}}{I_{KH} / \beta - I_{B2 \text{ ЭКВ}}}, \quad I_{KH} = E_K g_K.$$

Здесь

$$I_{B1 \text{ ЭКВ}} = I_{B1} + \alpha_1 I_H + (v-1)(1-\alpha_1) I_{KH};$$

$$I_{B2 \text{ ЭКВ}} = -I_{B2} + \alpha_2 I_H + (v-1)(1-\alpha_1) I_{KH}.$$

Подстановка дает:

$$t_p = \tau_{\text{PAC}} \ln \frac{I_{B1} + I_{B2}}{I_{B2} - \alpha_2 I_{H1} + I_{KH} / \beta_v}.$$

В случае управления по коллектору, когда $v = 2$, внешний базовый ток $I_B = 0$, а ток 2-го коллектора скачком меняется от нуля до значения $I_{K2} < 0$, при расчете t_p следует принять

$$I_{B1 \text{ экв}} = \alpha_2 I_{H1}; \quad I_{B2 \text{ экв}} = \alpha_2 I_{H1} - (1 - \alpha_{11}) |I_{K2}| \leq 0$$

с заменой τ_{PAC} на $\tau_{\text{PAC.к}}$. При открывании транзистора по цепи инжектора (активный режим, $I_B = 0$) в известной формуле

$$t_{\Phi}^* = (\tau_{\beta} + \beta R_K C_K) \ln \frac{I_{B1}}{I_{B1} - I_{KH} / \beta}$$

величины τ_{β} , β , I_{B1} следует заменить соответственно на $\tau_{\beta 1}$, β_v , $I_{B1 \text{ экв}} = \alpha_2 I_{H1}$ и так далее.

Логические элементы

Основой построения цифровых схем с инжекционным питанием служит элемент ИЛИ-НЕ. При использовании одноколлекторных транзисторов базы нескольких приборов подключаются к коллектору предыдущего. В этом случае, как и в РСТЛ-ИС, ощутимо влияние сдвига входных характеристик открытых нагрузочных транзисторов, если α_{11} сравнительно невелико. Это влияние исключается применением многоколлекторных транзисторов, когда с каждым коллектором связан лишь один нагрузочный компонент. Но главное, что дает увеличение v , — возможность реализации функции И путем простого объединения выходов элементов при условии сохранения индивидуальных значений выходов (по другим коллекторам). Именно это и создает условия для компактной реализации И²Л-структур. Их особенностью, таким образом, является отсутствие соединений между двумя и более базами.

Отдельно взятый v -коллекторный транзистор с m выводами от базы оказывается элементом И-НЕ с коэффициентом объединения по входу m и коэффициентом разветвления по выходу v . Пример условного обозначения многоколлекторного транзистора для случая $m=v=3$ показан на рис.2.20,в. Если входные сигналы поступают на него от внешних схем, то необходима электрическая развязка входов при реализации функции И. Это достигается введением в схему дополнительно $2m$ одноколлекторных транзисторов (рис.2.20,г, случай $m = 2$, $x_1 x_2 = \overline{x_1} \vee \overline{x_2}$).

Статические параметры. Пусть $v=1$. При этом И²Л-схемы строятся подобно обычным НСТЛ-ИС. Передаточная характеристика элемента ИЛИ-НЕ по напряжению (рис.2.20,б) $U_K = f(U_B)$, где U_B — потенциал базы одного из транзисторов, находится в предположении, что на остальные входы элемента поданы низкие логические уровни и соответствующие им транзисторы закрыты. При таком сочетании входных сигналов в коллекторной цепи открытого транзистора протекают входные токи (I_r) всех n нагрузочных компонентов, и степень его насыщения S_n минимальна (наихудшая ситуация).

Искомая функция определена выражением

$$S_n e^{U_K/\varphi_T} = e^{U_K/\varphi_T} [a(e^{U_K/\varphi_T} - 1)^{-1} - 1],$$

где $S_n = \beta/n$; $a = \beta I_r / I_{K0} \approx I_r / [(1-\alpha)I_0]$. От значений S_n и a зависит вид передаточной характеристики (рис.2.20,д,е). На графике (рис.2.20,б) указаны точки логического 0 (потенциал U_0), логической 1 (потенциал U_1), границы насыщения ($S = 1$) и единичного усиления K_1 , K_0 ($|dU_{\text{вых}}/dU_{\text{вх}}| = 1$). При $U_B = U_{\text{вх}} \approx 0$ формула дает $U_K = U_1 \approx \varphi_T \ln(I_r/I_0)$. В случае $U_{\text{вх}} = U_{\text{вых}} = U_r$ имеем $U_r \approx U_1 - \varphi_T \ln(S_n + 1)$. Если $U_{\text{вх}} = U_1$, то степень насыщения равна S_n , ибо здесь $I_{\text{бэжв}} = I_r = S_n I_{\text{бн}}$ ($I_{\text{бн}} = nI_r$) и $U_K = U_0 = \varphi_T \ln[S_n/(S_n - 1)]$. Принимая за критерий работоспособности элемента наличие на характеристике участка, где $|dU_{\text{вых}}/dU_{\text{вх}}| > 1$, получаем условие $a > 8$. Учет технологического разброса параметров и действия помех дает $a_{\text{мин}} = (1-3)10^3$. Для данных β , I_r величина $a_{\text{мин}}$ определяет максимальную рабочую температуру.

При анализе статической помехоустойчивости обычных ИС в качестве границ их закрытого и открытого состояний часто принимают точки единичного усиления K_1^1 и K_0^1 . И²Л-ИС имеют сравнительно низкие значения U_n^+ , U_n^- . Особенно это относится к U_n^- , поскольку передаточная характеристика резко асимметрична относительно середины зоны переключения (точка $S = 1$). Величина

$$U_n^- = U_{\text{вых}}(K_1^1) - U_{\text{вх}}(K_0^1) = \varphi_T \ln(S_n/4),$$

так что для выполнения условия $U_n^- > 0$ требуется нереально высокая степень насыщения $S_n > 4$.

Более точные значения помехоустойчивости можно вычислить по точкам единичного усиления двух последовательно соединенных элементов (рис.2.20,ж; k — число каскадов). При этом

$$U_n^+ = U_{\text{вых}}(K_1^2) - U_{\text{вх}}(K_1^2) = \varphi_T \ln S_n;$$

$$U_n^+ = U_{\text{вх}}(K_0^2) - U_{\text{вых}}(K_0^2) = U_1 - 2\varphi_T \ln \frac{S_n}{\sqrt{S_n} - 1}.$$

Практически достижимые значения S_n в наихудшем случае не более 2. Поэтому $U_n^- < \varphi_T$.

Параметр U_n^- в действительности не характеризует помехоустойчивость, ибо потенциал базы открытой схемы определяется током I_T самого элемента. Более объективной в данном случае является оценка помехоустойчивости по току. Величина

$$I_n^- = I_T(1 - 1/S_n).$$

С ростом числа нагрузок значения U_n^+ , I_n^- уменьшаются из-за снижения S_n . Оба они зависят от тока инжектора. Введем коэффициенты помехоустойчивости $K_U^+ = U_n^+/U_1$ и $K_I^- = I_n^-/I_T$. Если потребовать равенства $K_U^+ = K_I^- = K_n$, то можно вычислить минимально допустимое значение β

$$\beta \geq n(1 + K_n) \approx n, \quad K_n < 0,1 - 0,2.$$

Приведенные выражения для передаточной характеристики, помехоустойчивости и коэффициента усиления могут быть использованы и для схем на многоколлекторных транзисторах. При этом следует считать $n=1$.

Длительность переходных процессов в схемах с инжекционным питанием зависит от величины тока инжектора. При малых I_n значение t_{3cr} определяется процессом перезаряда емкостей переходов и межсоединений. Отсутствие резисторов и связанных с ними паразитных емкостей обуславливает значительное уменьшение задержки в I^2L -схемах по сравнению с близкими к ним РСТЛ- и НСТЛ-ИС при тех же токах питания. С ростом I_n величина t_{3cr} уменьшается. При больших I_n основной вклад в среднюю задержку вносит процесс рассасывания.

В общем случае $t_{3cr} \approx 0,5(t_\phi + t_p)$. Если $t_\phi \gg t_p$ (I_n мал), то зависимость $t_{3cr} = f(P_{cr})$ — гиперболическая, а работа переключения $P_{cr}t_{3cr}$ не зависит от мощности P_{cr} и определяется только емкостями переходов и межсоединений. Ток питания слабо влияет на время рассасывания. Поэтому при $t_\phi \ll t_p$ (I_n велик) с ростом потребляемой мощности величина $t_{3cr} \approx 0,5t_p$ остается практически неизменной, а работа переключения увеличивается. В этом случае с ростом n уменьшается выключающий базовый ток $I_{выкл} = (\beta I_T - n I_T)/n = I_T(S_n - 1)$ и быстродействие элемента ухудшается.

Проектирование сложных схем

Одной из основных задач проектирования цифрового устройства с инжекционным питанием является создание его функциональной схемы на многоколлекторных транзисторах. Эта схема определяет число транзисторов и их коллекторов, связи между электродами разных транзисторов и с внешними выводами. От нее переходят к функционально-топологической схеме, в которой указывается взаимное расположение транзисторов между собой и относительно инжекторов.

В качестве исходной берется функциональная схема устройства в базисе ИЛИ-НЕ. Каждый ее элемент представляется эквивалентной схемой на одноколлекторных транзисторах. Затем все транзисторы со связанными базами объединяются в многоколлекторные транзисторы. Число их коллекторов равно числу соединенных баз. Общее количество транзисторов в схеме равно числу входов всех элементов ИЛИ-НЕ за вычетом числа связей между базами. Последовательность преобразований для случая полусумматора ($y = \overline{x_1 \vee x_2 \vee x_1 \vee x_2}$) иллюстрируют рисунки (рис.2.21,а,б,в). Окончательная функционально-топологическая схема имеет вид рис.2.21, г.

Этап составления эквивалентной схемы на одноколлекторных транзисторах можно исключить путем отождествления связанных входов элементов исходной функциональной схемы. Можно обойти и первый этап, выполняя искомую реализацию непосредственно по заданной функциональной зависимости (рис.2.21,д,е; пример дешифратора на 3 входа; $y_1 = \overline{x_1 \vee x_2 \vee x_3}$, $y_2 = \overline{x_1 \vee x_2 \vee x_3}$, $y_3 = \overline{x_1 \vee x_2 \vee x_3}$, ..., $y_8 = \overline{x_1 \vee x_2 \vee x_3}$). При этом число коллекторов каждого транзистора равно кратности использования в схеме поступающего на его базу сигнала (плюс 1, если необходимо формирование отдельных инверсий). Количество же самих транзисторов определяется суммарным числом входных и промежуточных сигналов в структуре. Характерно, что в рассмотренном примере дешифратора переход к многоколлекторным приборам сокращает необходимое число транзисторов с 27 до 6.

Заметим, что аналогичные результаты можно получить и с несколько иных формальных позиций, если к исходной формуле (записанной в базисе ИЛИ-НЕ) применить правило инверсии. В итоге имеем переход к базису {И, НЕ, И-НЕ}. Каждый из элементов НЕ, И-НЕ заменяется многоколлекторным транзистором, число коллекторов которого определено нагрузкой элемента. Функция И

реализуется простым объединением проводников. Если внешний сигнал подается на входы n_b элементов, то следует выполнить развязку входов с помощью дополнительного многоколлекторного транзистора, у которого $n_c = n_b$. Для устранения получающейся при этом инверсии используют, по необходимости, еще один входной транзистор. Так, для полусумматора имеем $y = \overline{x_1 x_2 x_1 x_2}$. Выполняя указанные процедуры, получаем уже известный результат (рис.2.21,в).

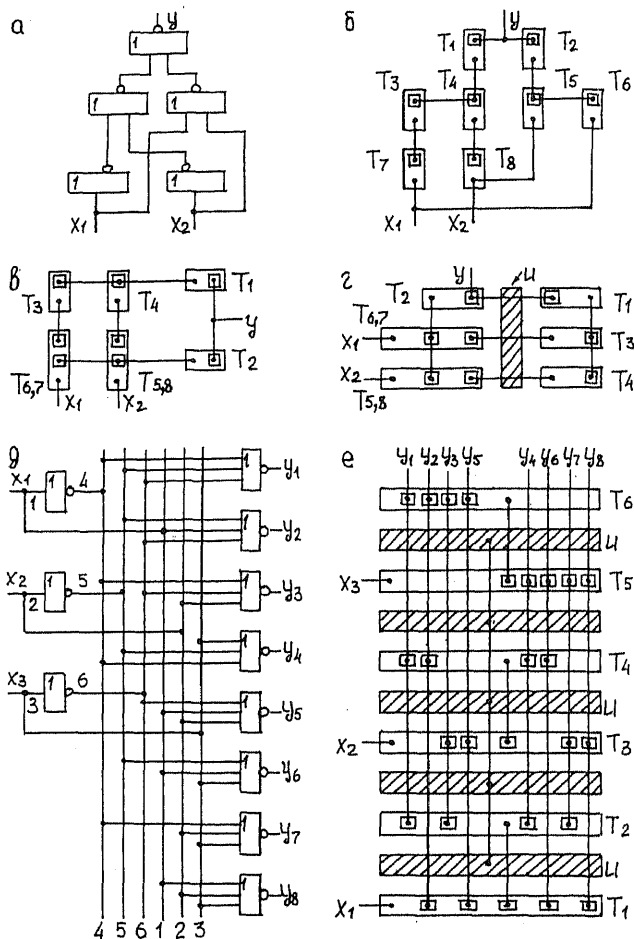


Рис. 2.21

Глава 3

ЛОГИЧЕСКИЕ ЦЕПИ И АВТОМАТЫ

Основным предметом данной главы является анализ и синтез логических цепей в переходном режиме во взаимосвязи с теорией автоматов и последовательностных схем. Понятие логической цепи, т.е. цепи из логических ИС, вводится по аналогии с понятием линейной цепи. В любой электрической цепи имеют место переходные процессы. Но если в линейных цепях эти процессы влияют только на искажения (в частности, на задержку) передаваемого импульса, то в логических они могут привести еще и к логическим ошибкам обработки информации. Это обуславливает важность рассматриваемых вопросов для практических целей. Предварительно излагаются некоторые общие вопросы проектирования логических цепей. Рассмотрение в целом ведется по материалам работ [38, 39, 64, 68] со ссылками на основные первоисточники.

§3.1. ОБЩИЕ ВОПРОСЫ ПРОЕКТИРОВАНИЯ

Среди множества прикладных вопросов в этом параграфе выделяются следующие. Во-первых, процедура непосредственного перехода от переключательной схемы в булевом базисе к схеме в одном из универсальных базисов, характерных для логических ИС. Во-вторых, разгрузка элементов по выходам и входам. Кое-что по этому поводу было уже сказано ранее. Далее, – эффективность повышения степени интеграции. Наконец, – особенности построения систем синхронизации цифровых устройств.

Переход к универсальному базису [69, 70]

Функционирование логической схемы обычно задается таблицей сигналов, где каждому набору входных сигналов отвечает определенный набор сигналов на выходах. Непосредственно из этой таблицы могут быть найдены две канонические формы аналитической записи двоичных функций, реализуемых схемой: СДНФ (совершенная дизъюнктивная нормальная форма) и СКНФ (совершенная конъюнктивная нормальная форма). СДНФ (СКНФ) – это дизъюнкция

(конъюнкция) всевозможных полных, т.е. включающих в себя все переменные или их отрицания, конъюнкций (дизъюнкций), равных 1 (0) на том же наборе, что и сама функция. Канонические формы позволяют синтезировать искомую схему в базисе {И, ИЛИ, НЕ}. Для ее упрощения можно использовать известные закономерности булевой алгебры.

Сложность логической схемы принято характеризовать суммарным числом входов составляющих элементов. Оно тем меньше, чем “короче” функция, реализуемая схемой. Задача минимизации функции по критерию минимальности числа букв в ее ДНФ называется канонической задачей минимизации. Ее точное решение дает применение алгоритма Квайна. Разработан и ряд “машинных” алгоритмов (например, метод Закревского [71] и Рота), которые позволяют полностью формализовать действия на всех этапах минимизации и автоматизировать тем самым процесс получения минимальных форм на ЭВМ. Дальнейшее упрощение функций достигается построением их скобочных форм или применением метода функциональной декомпозиции. При синтезе многовыходных схем используют методы совместной минимизации функций.

Удобным практическим приемом минимизации в смысле Квайна для числа переменных $M \leq 5$ является использование карт Карно. Карта заполняется аналогично исходной таблице сигналов. Цифра 1 ставится в клетке, отвечающей набору, на котором значение функции равно 1. Значение 0 обычно не отмечается. Кодировка наборов такова, что соседние строки и столбцы отличаются значением только одной переменной (рис. 3.1,а-г, случай $M=4$). В этом смысле соседними оказываются не только две смежные клетки, но и клетки в начале и конце строк или столбцов. Процесс минимизации основан на том, что СДНФ, включающая всевозможные комбинации переменных, тождественно равна 1. Пример:

$$\bar{x}_1\bar{x}_2 \vee \bar{x}_1x_2 \vee x_1\bar{x}_2 \vee x_1x_2 \equiv 1.$$

Пусть K_1 и K_2 — конъюнкции для двух соседних наборов; K_0 — их общая часть. Тогда $K_1 = K_0x_i$, $K_2 = K_0\bar{x}_i$ (x_i — одна из переменных) и $K_1 \vee K_2 = K_0(x_i \vee \bar{x}_i) = K_0$. Таким образом, алгебраическое объединение двух соседних клеток (рис. 3.1,а) позволяет исключить одну переменную. Четыре клетки, каждая из которых является соседней к двум другим, имеют две общие переменные, а две остальные встречаются во всевозможных комбинациях. Поэтому при их объединении (рис. 3.1,б) исключаются сразу две переменные. Объединение восьми клеток (рис.3.1,в), каждая из которых соседствует с тремя другими, позволяет исключить три переменные.

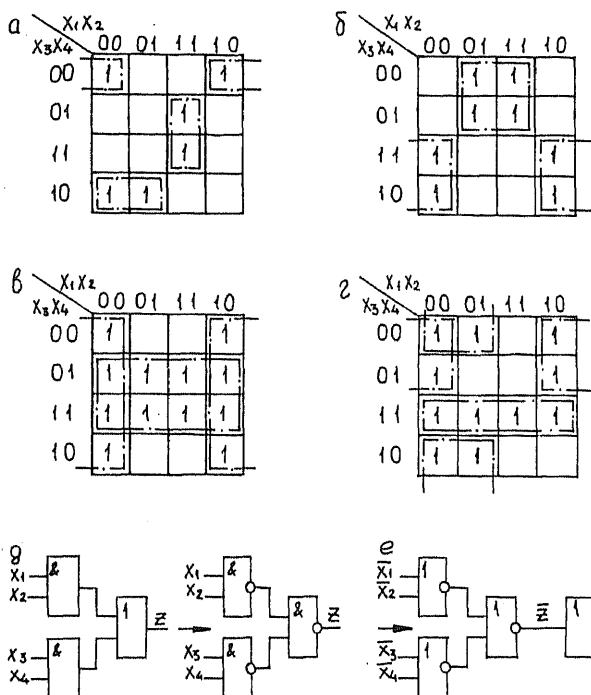


Рис. 3.1

Заданная функция может иметь несколько вариантов покрытий (объединений). Надо суметь выбрать тот из них, который отвечает минимальной форме. В рассматриваемом примере (рис. 3.1,г)

$$z = \bar{x}_1 \bar{x}_4 \vee \bar{x}_2 \bar{x}_3 \vee x_3 x_4.$$

Объединяя аналогичным образом пустые клетки карты, получим

$$\bar{z} = x_1 x_2 \bar{x}_3 \vee x_2 \bar{x}_3 x_4 \vee x_1 x_3 \bar{x}_4.$$

Отсюда минимальная КНФ

$$z = \bar{\bar{z}} = (\bar{x}_1 \vee \bar{x}_2 \vee x_3)(\bar{x}_2 \vee x_3 \vee \bar{x}_4)(\bar{x}_1 \vee \bar{x}_3 \vee x_4).$$

Для интегральных схем характерно использование универсального базиса. К нему можно перейти от ДНФ или КНФ, применяя правило двойного отрицания. ДНФ дает реализацию в базисе {И-НЕ}:

$$z = \bar{\bar{z}} = \overline{\bar{x}_1 \bar{x}_4 \vee \bar{x}_2 \bar{x}_3 \vee x_3 x_4} = \overline{\bar{x}_1 \bar{x}_4} \cdot \overline{\bar{x}_2 \bar{x}_3} \cdot \overline{x_3 x_4};$$

КНФ – в базисе {ИЛИ-НЕ}:

$$z = \overline{(\bar{x}_1 \vee \bar{x}_2 \vee x_3)(\bar{x}_2 \vee x_3 \vee \bar{x}_4)(\bar{x}_1 \vee \bar{x}_3 \vee x_4)} = \overline{(\bar{x}_1 \vee \bar{x}_2 \vee x_3)} \vee \overline{(\bar{x}_2 \vee x_3 \vee \bar{x}_4)} \vee \overline{(\bar{x}_1 \vee \bar{x}_3 \vee x_4)}$$

(инверсия переменной реализуется как $\bar{x} = \overline{x \vee x}$). Схемно такой переход означает простую замену элементов булева базиса на соответствующий универсальный элемент (рис. 3.1,д). Процесс взаимнообратим. Поэтому переход от минимальных ДНФ или КНФ к универсальному базису сохраняет минимальность структуры в указанном раннее смысле.

Отправляясь от ДНФ (КНФ), можно получить реализацию и в базисе {ИЛИ-НЕ} ({И-НЕ}), беря за основу инверсию исходной функции (рис. 3.1,е). Это всегда сопровождается инверсией переменных (обобщение Шеннона). Перевод схемы в универсальный базис путем простой замены элементов возможен лишь в случае, когда в исходной структуре от уровня к уровню элементы И, ИЛИ чередуются и число уровней четное. (К уровню 0 относим внешние входы схемы. Элементы уровня 1 связаны по своим входам только с уровнем 0, элементы уровня 2 – с выходами уровней 0, 1 и т.д.) При невыполнении этих условий положение исправляют условным включением в разрывы соединительных линий (там, где это необходимо) одноходовых элементов И (ИЛИ), что при переходе эквивалентно введению инверторов. Внедрение ТТЛ- и МДП-ИС обусловило интерес к базису {И-ИЛИ-НЕ} и другим базисам. Проблемы синтеза логических схем в сложных базисах специфичны [72].

Немалый интерес для микросхемотехники представляет использование мажоритарного базиса. Все простейшие функции могут быть реализованы на основе одного мажоритарного элемента с электронной перестройкой. Действительно, мажоритарная функция трех переменных (символ # означает мажоритарную операцию)

$$M(x_1, x_2, x_3) = x_1 x_2 \vee x_1 x_3 \vee x_2 x_3 = x_1 \# x_2 \# x_3,$$

ее отрицание

$$\overline{M}(x_1, x_2, x_3) = \bar{x}_1 \# \bar{x}_2 \# \bar{x}_3 = M(\bar{x}_1, \bar{x}_2, \bar{x}_3).$$

Отсюда

$$x_1 x_2 = M(x_1, x_2, 0) = \overline{M}(\bar{x}_1, \bar{x}_2, 1); \quad x_1 \vee x_2 = M(x_1, x_2, 1) = \overline{M}(\bar{x}_1, \bar{x}_2, 0);$$

$$\bar{x}_1 \bar{x}_2 = \overline{M}(x_1, x_2, 0) = M(\bar{x}_1, \bar{x}_2, 1); \quad \bar{x}_1 \vee \bar{x}_2 = \overline{M}(x_1, x_2, 1) = M(\bar{x}_1, \bar{x}_2, 0).$$

Необходимость инверсий сигналов на входах отсутствует при использовании универсального мажоритарного элемента с прямым и инверсным выходами. Переход к мажоритарному базису дает экономию в оборудовании, если реализуемые функции относятся к классу мажоритарных (не содержат в качестве аргументов констант 0 и 1). Пример:

$$x_1(\bar{x}_2 \vee \bar{x}_3 \vee \bar{x}_4) \vee \bar{x}_2 \bar{x}_3 \bar{x}_4 = M(x_1, x_1, \bar{x}_2, \bar{x}_3, \bar{x}_4).$$

Известны правила компактного представления любой переключательной функции в мажоритарном базисе (с использованием констант 0 и 1) [51]. Примеры построения мажоритарных элементов были даны в §2.1 (см. РТЛ- и ДТЛ-ИС).

Разгрузка элементов [70]

Существует два способа разгрузки логических элементов по выходам (по коэффициенту разветвления n):

1) введение развязывающих усилителей $У$ (рис. 3.2,а) на двух элементах И-НЕ (ИЛИ-НЕ), соединенных каскадно;

2) дублирование перегруженных элементов (рис. 3.2,б).

Если n_i – требуемая нагрузочная способность i -элемента, то для метода усилителей $n \geq n_i \geq (n_i - n)/(n-1)$ и необходимое значение $n \geq \sqrt{n_i}$. Из-за увеличения числа уровней подобная разгрузка приводит к росту задержки схемы в целом. Установка дублирующих элементов числом $\ell \geq n_i/n$ сохраняет неизменной задержку, но может привести к перегрузке элементов, соединенных с их входами. Иногда применяют комбинированный вариант: сначала дублирование, затем “размножение” выходов с помощью усилителей, так что $n\ell \geq n_i \geq (n_i - n\ell)/(n-1) \cdot n \geq \sqrt{n_i/\ell}$. При этом в ряде случаев удается получить оптимальный вариант по числу вводимых элементов.

Рассмотрим процедуру дублирования подробнее. Пронумеруем все элементы исходной схемы по порядку от 1 до r . Пусть ℓ_i – количество дублей i -элемента, а коэффициент $C_y = 1$, если выход i -элемента соединен со входом j -го, и $C_y = 0$ – в противном случае. Тогда имеем ограничения

$$\sum_{j=1}^r \ell_j C_{ij} \leq n \ell_i, \quad i = 1, 2, \dots, r.$$

Величины ℓ_i можно найти по итерационной формуле

$$\ell_i^{k+1} = \lceil \sum_{j=1}^r \ell_j^k C_{ij} / n \rceil.$$

Здесь $\lceil \alpha \rceil$ – ближайшее целое, большее или равное α ; ℓ_i^k – значение ℓ_i на k -шаге итерации, $\ell_i^0 = 1$. Итеративный процесс окончен, если $\ell_i^{k+1} = \ell_i^k$ для всех i .

Метод всегда дает решение при $n > m$. Для $n \leq m$ процесс может расходиться. В примере (рис. 3.2,в) полагаем $n = n_1 = n_6 = 2$. Тогда элемент 4 перегружен. Искомые величины

$$\ell_1^{k+1} = \lceil \frac{1}{2} \ell_3^k \rceil; \quad \ell_2^{k+1} = \lceil \frac{1}{2} \ell_4^k \rceil; \quad \ell_3^{k+1} = \lceil \frac{1}{2} \ell_4^k \rceil; \quad \ell_4^{k+1} = \lceil \frac{1}{2} (\ell_3^k + 2) \rceil.$$

На шаге $k=1$ получаем $\ell_1 = \ell_2 = \ell_3 = 1$, $\ell_4 = 2$ (рис. 3.2,г).

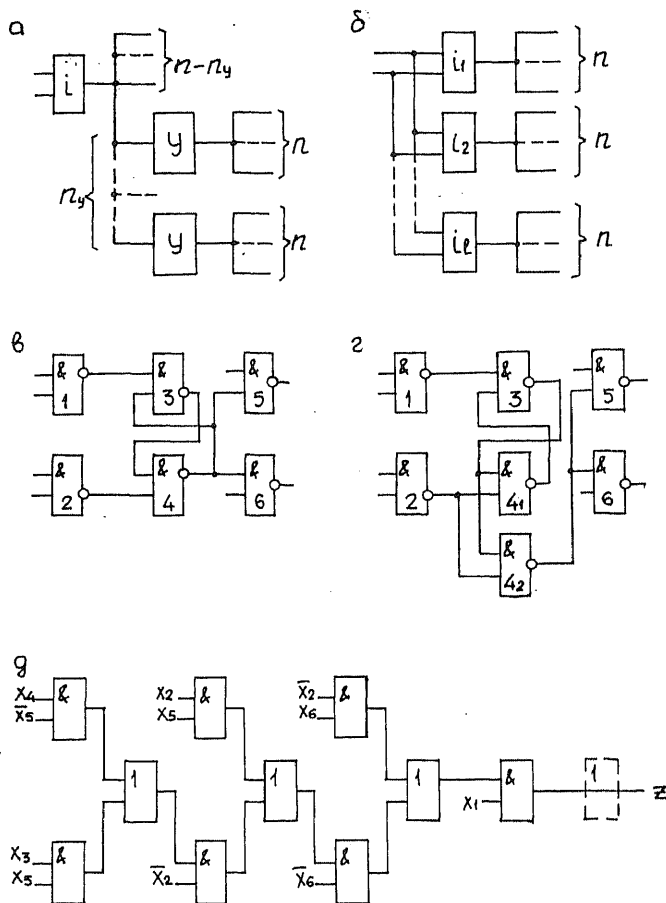


Рис. 3.2

Необходимость разгрузки элементов по входам (по коэффициенту объединения m) можно учесть на заключительном этапе минимизации при образовании скобочных форм. Рассмотрим случай $m=2$. Пусть

$$z = x_1 \bar{x}_2 x_6 \vee x_1 x_2 x_3 \bar{x}_6 \vee x_1 \bar{x}_2 x_4 \bar{x}_5 \bar{x}_6 \vee x_1 \bar{x}_2 x_3 x_5 \bar{x}_6.$$

Последовательно вынося за скобки общие члены конъюнкций, имеем

$$z = x_1 \{ \bar{x}_2 x_6 \vee \bar{x}_6 [x_2 x_3 \vee \bar{x}_2 (x_4 \bar{x}_5 \vee x_3 x_5)] \},$$

что дает искомую реализацию (рис. 3.2, д).

В общем случае описанная процедура применима лишь к отдельным группам конъюнкций исходной ДНФ. Если ни одна пара конъюнкций не содержит общих членов, то сначала выполняют группировку по ИЛИ, а затем – вынесение за скобки внутри отдельных конъюнкций. Автоматизация поиска решения с применением ЭВМ осуществляется на основе специального алгоритма. Частичная разгрузка по m может быть достигнута в процессе так называемой функциональной декомпозиции.

Повышение степени интеграции [73]

Принципиальным отличием больших интегральных схем (БИС) от обычных ИС является сравнительная сложность выполняемых ими функций и, как следствие, внутренняя взаимосвязь составляющих элементов на полупроводниковом кристалле. Суммарное число входов M этих элементов определяет степень интеграции $K = M/2$, т.е. количество “эквивалентных” вентилях (ЭВ) на кристалле. Если $K < 100$, такие схемы относят к среднемасштабным (СИС). По определению собственно БИС имеют $K \geq 100$.

Ведущие фирмы-изготовители ИС начали разработки БИС в 1966-1967гг. Повышение уровня интеграции решает ряд важных схмотехнических проблем. Одна из них – проблема межсоединений. При создании сложных цифровых систем из простых ИС приходится прибегать к многослойному печатному монтажу. Процесс его нанесения отличается сложностью производства, необходимостью применения ЭВМ на всех стадиях разработки, изготовления и контроля. Наличие большого числа слоев приводит к значительному браку. Поэтому стоимость печатной платы может оказаться много больше стоимости всех ИС, на ней расположенных. Для БИС характерно высокое отношение K/T , где T – общее число выводов корпуса. Соответственно количество внешних соединений при использовании БИС и рациональной организации структуры удается снизить в десятки раз. Тем самым исключается необходимость в использовании многослойных печатных плат.

Применение БИС позволяет улучшить основные характеристики цифровых систем: энергетические, временные, стоимостные и другие. Вот некоторые причины и факты.

1. Объединение работающих друг на друга элементов в одном кристалле заметно уменьшает произведение $P_{cp} t_{з.ср.}$. Так, для маломощных ДТЛ-ИС достигнут выигрыш в 2 раза.

2. При переходе к БИС за счет сокращения длины межэлементных связей средняя задержка на соединениях снижается во много раз.

3. Изготовление в едином технологическом процессе сложного функционального узла позволяет проводить наилучшую оптимизацию его параметров, так как ведется расчет не отдельных элементов, а узла в целом.

4. Объединение элементов в БИС позволяет снизить восприимчивость узлов к внешним помехам и уменьшить перекрестные наводки между сигнальными шинами (см. §3.2).

5. С переходом к БИС снижается стоимость компонентов. Это обусловлено прогрессом технологии, позволяющим увеличить плотность упаковки компонентов на кристалле и выход годных ИС, устранить операцию разрезания пластин на малые ИС, уменьшить суммарный объем монтажно-сборочных работ над кристаллами.

6. Те же факторы способствуют и росту надежности аппаратуры на основе БИС. Надежность повышается и за счет замены обычных паяных соединений металлизацией на самой пластине кремния.

Приведем некоторые данные [56]. Типичная ТТЛ-СИС рассеивает мощность до 600 мВт при средней задержке порядка 30 нс (случай четырех логических уровней). В пересчете на один вентиль это дает соответственно 6 мВт и 8 нс (для обычных ТТЛ-ИС характерны цифры: 20 мВт и 10 нс). Пятикратное (в среднем) увеличение уровня интеграции сократило количество внешних связей в цифровых структурах на 80%. На 30-50% снизилась стоимость микросхем в пересчете на один вентиль.

Проектирование БИС вызывает определенные трудности, прежде всего, с подводом питания, созданием многослойных внутрисхемных соединений, согласованием сигнальных шин, нейтрализацией перекрестных связей, отводом тепла, поддержанием надежности и выхода годных БИС на уровне обычных ИС. С усложнением функций, выполняемых микросхемой, растет трудоемкость работ по составлению программ испытания схем, объем самих программ, а потому — и время испытаний и сложность измерительного оборудования. В общем случае рост степени интеграции приводит к все большей специализации модулей, так что использование БИС может оказаться недостаточно эффективным. Неплохим выходом из затруднения является выпуск микросхем в виде базовых кристаллов с изготовленными на них, но не соединенными между собой элементами (метод полузаказных ИС [43]). Требуемые соединения (настройка модуля) выполняются по заказу разработчика на заключительном этапе технологического процесса.


В настоящее время имеются развитые системы автоматизированного проектирования, которые позволяют разместить в одном кристалле полузаказной БИС достаточно сложные специализированные схемы. Еще совсем недавно серьезные перспективы в этом смысле имели так называемые матричные БИС

[39]. Сейчас предпочтение отдается кристаллам ПЛИС (программируемые логические интегральные схемы). Специальные вопросы схемотехники модулей с повышенной степенью интеграции обсуждаются в гл. 4.

Построение систем синхронизации

В процессе функционирования цифрового устройства происходит непрерывный обмен информацией между отдельными его блоками по мере завершения обработки в каждом из них. В настоящее время применяют преимущественно синхронный способ организации взаимодействия, при котором связь во времени процессов в различных блоках обеспечивается единой системой синхронизации, одно- или многофазной. В последнем случае период следования синхроимпульсов (СИ) разных фаз одинаков и равен длительности цикла синхронизации $T_{\text{ц}}$. Сами же СИ сдвинуты друг относительно друга в пределах цикла. Использование многофазной синхронизации позволяет снизить критичность устройств к разбросу параметров СИ, цифровых элементов и линий связи между ними. В некоторых случаях это может привести и к росту быстродействия устройства в целом. Состав системы синхронизации: задающий генератор (ЗГ), схема формирования рабочих фаз, схема распределения синхросигналов.

Задающий генератор. В качестве задающих обычно применяют генераторы кварцевые [40] и на линиях задержки (ЛЗ). Это обусловлено повышенными требованиями к стабильности частоты и длительности СИ. Но могут быть использованы и рассмотренные ранее микросхемы генераторов (см. §2.3). Наибольшую стабильность обеспечивают кварцевые генераторы. Однако регулирование временных параметров в них затруднено. Их применение часто связано с использованием делителей частоты. Достаточно простые схемные решения с широкими возможностями регулировки можно получить в генераторах на ЛЗ. При допустимости регулировок задержки с шагом 50 нс могут быть использованы ЛЗ с отводами марок ЛЗМ - 0,1/0,2/0,5 - 300/600 (см. §1.2).

Простейшая схема такого генератора приведена на рис. 3.3,а. Символом “” обозначен элемент задержки. Временные параметры схемы

$$T_0 = 2 (t_1 + t_2 + \tau_1); \quad t_{\text{ис}} = t_2 + \tau_1.$$

Процесс формирования импульсов иллюстрируют временные диаграммы на рис. 3.3,а справа. Принятые обозначения: τ_i ($i = 1, 2$) –

задержка логического элемента i ; t_1 и t_2 — задержка отдельных частей ЛЗ.

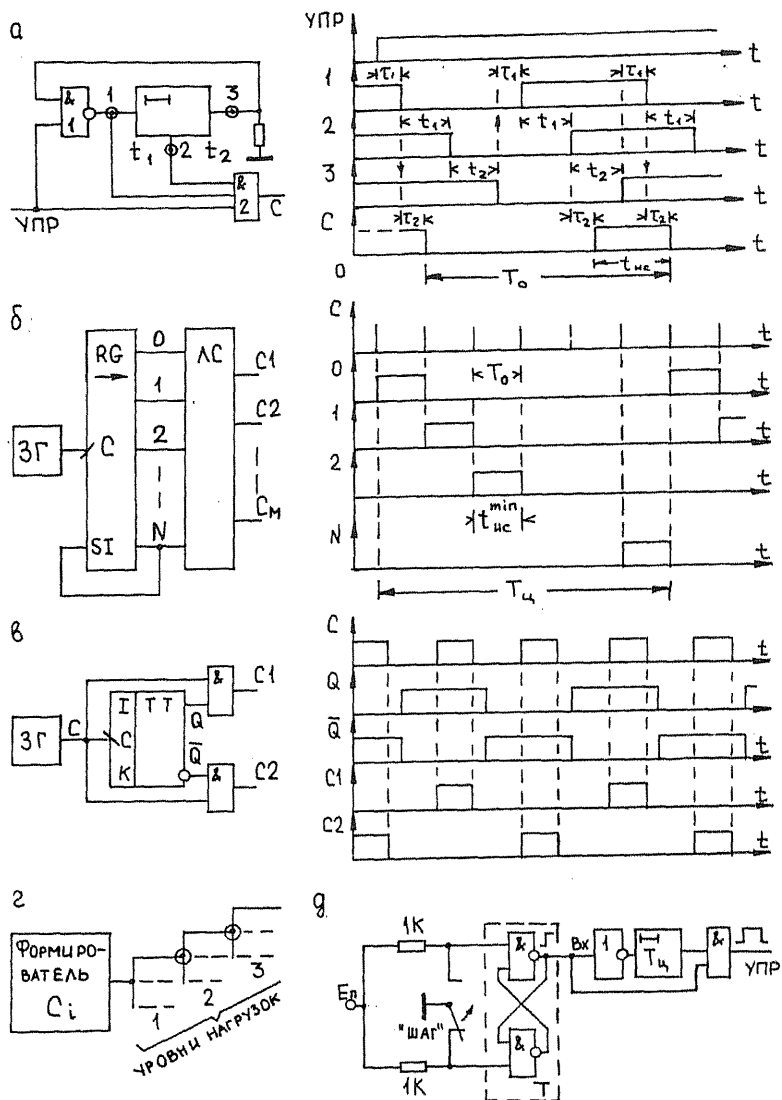


Рис. 3.3

Схема формирования рабочих фаз синхросигналов. Обычно это делитель частоты, реализованный в виде кольцевого счетчика, плюс комбинационная схема (КС) для формирования СИ нужных длительностей и временного положения (рис. 3.3, б). На рисунке: RG – сдвиговый регистр, SI (sequential input) – его последовательный вход; C_i – синхрои импульсы фазы i , M – число фаз синхронизации. Разрядность кольцевого счетчика N определяет $T_{\psi} = NT_0$. Минимальная

длительность СИ $t_{ic}^{\min} = T_0$. Серии C1, C2, ... формируются в КС сборкой по ИЛИ нескольких соседних выходов RG. Тем самым обеспечиваются нужный сдвиг и длительность импульсов каждой синхросерии.

Недостаток приведенной схемы – потеря правильного функционирования в результате сбоя. Раз возникшая ошибка существует неограниченно долго. Для устранения этого недостатка применяют специальные кольцевые регистры с восстановлением после сбоя [52]. В случае двухфазной синхронизации схема формирования рабочих фаз предельно проста (рис. 3.3, в). Использование динамического управления триггером по срезу СИ для показанной схемы принципиально. Появление ложных импульсов на выходе схемы приводит к нарушению работоспособности синхронизируемого ею устройства.

Схема распределения синхросигналов должна обеспечивать требуемую нагрузочную способность по каждой синхросерии. Обычно это пирамидальная схема (рис. 3.3, г). В узлах пирамиды ставятся повторители, обозначенные на рисунке кружками. Из-за естественного разброса задержек соединительных линий и подключения компонентов устройства на разных “уровнях нагрузок” возникают расфазировки синхросигналов одной и той же серии. Эти расфазировки опасны, т.е. могут привести к неверному функционированию устройства.

Для их устранения в каждую ветвь перед элементом-нагрузкой включают элемент регулируемой задержки. В самой удаленной ветви задержка минимальна. Расположение СИ в этой ветви принимают за эталон. С ним совмещают СИ той же фазы во всех других ветвях подстройкой задержек. Чтобы облегчить процедуру, на входы блоков подают только базовую синхросерию с периодом T_0 . Нужные рабочие синхросигналы формируются в самом блоке. При этом достаточно сфазировать основную серию.

Организация пошагового режима. Такой режим используется для отладки устройства и разработанных для него программ. При выполнении каждого шага на управляющий вход УПР задающего

генератора подается строб длительностью $T_{\text{ц}}$ от специального генератора одиночных импульсов (ГОИ). Возможная реализация ГОИ показана на рис. 3.3, д. Этот генератор выдает один импульс при нажатии кнопки "ШАГ". С помощью триггера Т устраняется так называемый "дребезг контактов" [39], который приводит к действию на входе (Вх) формирователя недопустимо "зашумленного" перепада.

§3.2. ПЕРЕХОДНЫЕ ПРОЦЕССЫ В ЦЕПЯХ ПИТАНИЯ И МЕЖСОЕДИНЕНИЯХ

Рассматриваемые процессы влияют на конструкторско-технологические решения не менее (и даже более), чем на схемотехнические. Поэтому основная цель данного параграфа – уяснение механизмов возникновения импульсных помех и характера их воздействия на функционирование устройства. По вопросам снижения уровня этих помех ограничимся краткими справками и некоторыми практическими рекомендациями. Но сначала обсудим истоки проблемы в целом.

Проблема импульсной помехоустойчивости

Напряжение статической помехи в современных ИС не превышает, как правило, 50 – 100 мВ [42]. Поэтому основную опасность составляют кратковременные (соизмеримые по длительности с $t_{\text{зср}}$) импульсные помехи, амплитуда которых может значительно превышать величину $U_{\text{н}}^+$ или $U_{\text{н}}^-$. Импульсные помехи по цепям питания подавляют путем установки на каждой печатной плате фильтровых конденсаторов достаточной емкости. Помехи непосредственно на входах элементов могут быть вызваны переходными процессами внутри самого цифрового устройства (внутренние помехи) либо наводками от близко расположенных мощных устройств (внешние помехи). Внешние помехи обычно устраняют соответствующей экранировкой. Проблему импульсной помехоустойчивости цифровых ИС связывают, главным образом, с внутренними помехами [41, 42, 74 – 78]. К ним относятся помехи, возникающие из-за рассогласования и неоднородностей в линиях связи между элементами, и так называемые перекрестные помехи.

Обычно волновое сопротивление линий связи между ИС составляет 50 – 120 Ом. Наличие рассогласований и неоднородностей приводит к появлению ложных сигналов, затягиванию фронтов или к перенапряжениям в ИС. Для воспроизведения картины искажений

в каждом конкретном случае может быть использован графический метод Бержерона [78], учитывающий реальные входные и выходные характеристики микросхем. Влияние таких помех существенно лишь при электрической длине линии (для современных интегральных плат она составляет примерно 5нс/м), сравнимой с $t_{зср}$. Основными способами борьбы с ними являются [42]:

- 1) уменьшение длины соединительных линий;
- 2) разработка специальных схем для возбуждения линий связи, согласованных с линией в любом своем логическом состоянии;
- 3) использование в качестве нагрузок схем с повышенной статической помехоустойчивостью;
- 4) улучшение импульсной помехоустойчивости самих элементов.

Характерно, что чувствительность ИС к импульсам помехи тем выше, чем больше быстродействие элемента и чем сильнее влияние нестабильностей питания, нагрузки и технологического разброса параметров компонентов на величину $t_{зср}$. Следует избегать применения ИС с быстродействием, намного превышающим необходимое.

Переход к цифровым ИС связан со значительным повышением быстродействия и увеличением плотности компоновки элементов. Последнее привело к существенному уменьшению расстояний между сигнальными проводниками. При этом среди внутренних помех резко возрастает роль наводок за счет перекрестных связей между соседними линиями. Интенсивность таких помех зависит от типа ИС и вида межсоединений. Детальный анализ и многообразие картин искажений импульсов, передаваемых по связанным линиям, представлены в книге [76]. За основу начального знакомства с перекрестными помехами возьмем материалы работы [77]. Для оценки импульсной помехоустойчивости в данном случае удобным показателем является предельно допустимая длина монтажных соединений между элементами. Она оказывается значительно меньше, чем это вытекает, например, из требования получения приемлемой задержки сигнала в линиях передачи.

Пусть две линии передачи расположены столь близко, что при наличии перепада напряжения ΔU или тока ΔI в одной из них (сигнальная линия) за счет емкостной ($C_{св}$) или магнитной ($M_{св}$) связей между ними в другой линии (воспринимающей) наводится сигнал, который может привести к ложному переключению элемента-нагрузки в этой линии. Величины $C_{св}$ и $M_{св}$ примерно пропорциональны длине линии и составляют в условиях ИС около 10пФ/м и 1мкГ/м . Через t_{ϕ} обозначим длительность линеаризованного фронта напряжения или тока в сигнальной линии.

Ложное срабатывание отсутствует, если заряд $C_{св}\Delta U$ (площадь импульса тока через емкость $C_{св}$), передаваемый в воспринимающую линию, не превышает заряд переключения Q_n логического элемента (случай емкостной наводки), либо если наводимая в ней ЭДС $M_{св}\Delta I/t_\phi$ не более допустимой амплитуды помехи U_n (случай индуктивной наводки). Соответственно для критической длины линии получаем

$$\ell_{с.кр} = 10^{11} Q_n / \Delta U; \quad \ell_{м.кр} = 10^6 U_n t_\phi / \Delta I.$$

В случае, когда $\ell_{с.кр}$ и $\ell_{м.кр}$ одного порядка, результирующая величина $\ell_{кр}$ оценивается достаточно сложно. Если же разница между ними сравнительно велика, то $\ell_{кр} = \min(\ell_{с.кр}, \ell_{м.кр})$.

Обычно воспринимающая линия окружена несколькими монтажными проводами. При этом за счет суммирования наводок значение $\ell_{кр}$ уменьшается. Для числа проводов в жгуте $\lambda \leq 8$ справедлива оценка снизу $\ell_{кр}^{(\lambda)} = (0,3-0,5)\ell_{кр}$. Размещение монтажа в непосредственной близости от проводящей поверхности позволяет увеличить $\ell_{кр}$ в 2-2,5 раза. Допустимая длина межсоединений должна быть меньше критической в 2 раза.

Приведем оценки для двух типов ИС:

- 1) ДТЛ (в случае $t_\phi = 10\text{нс}$; $\Delta U = 3\text{В}$; $\Delta I = 15\text{мА}$; $Q_n = 90\text{пКл}$) –
 $\ell_{с.кр} = 3\text{м}$; $\ell_{м.кр} = 4\text{м}$; $\ell_{кр} = 0,9\text{м}$ и $\ell_{кр}^{(\lambda)} = 0,43\text{м}$;
- 2) ЭСЛ (в случае $t_\phi = 5\text{нс}$; $\Delta U = 0,3\text{В}$; $\Delta I = 5\text{мА}$; $U_n = 0,1\text{В}$; $Q_n = 12\text{пКл}$) –
 $\ell_{с.кр} = 4\text{м}$; $\ell_{м.кр} = 0,1\text{м}$; $\ell_{кр} = 0,1\text{м}$ и $\ell_{кр}^{(\lambda)} = (4-5)\text{см}$.

Эти оценки хорошо совпадают с полученными экспериментально. Допустимая длина межсоединений в РСТЛ-схемах больше, чем для ДТЛ и ЭСЛ-схем [79]. Основную роль играют здесь емкостные наводки. Методика проектирования межсхемных соединений элементов ТТЛ и ЭСЛ рассмотрена в монографии [74]. Дальнейшая детализация вопросов импульсной помехоустойчивости строится на материале [39]. Рассмотрение проводится на примере цепей связи и питания элементов ТТЛ со сложным инвертором и умеренными показателями по быстродействию: $t_\phi = 10\text{нс}$, $t_{з.ср} = 15\text{нс}$. Такие схемы занимают промежуточное положение между сравнительно низкочастотными схемами, допускающими обычный проводной или печатный монтаж на двухсторонних платах, и высокочастотными схемами, которые требуют применения полностью или частично экранированных линий передачи с контролируемым волновым сопротивлением. Влияние линий связи на динамику цифровых

устройств становится заметным, когда задержка в соединениях не менее $0,1 t_{\phi}$. При погонной задержке линии 5 нс/м и $t_{\phi} = 10 \text{ нс}$ это дает $l > 20 \text{ см}$. Для шин питания ориентиры иные.

Помехи от обратных токов

В процессе переключения элементов ТТЛ в составе устройства имеют место значительные перепады токов по шинам “земля” (общая шина) и “питание”. Это приводит к возникновению на индуктивностях шин импульсов помех (э.д.с. самоиндукции) длительностью t_{ϕ} , сравнимой с $t_{з.ср}$. Их амплитуда в пересчете ко входам других элементов может превысить допустимое значение U_n^{+-} . Термин “помеха от обратных токов” обусловлен тем, что направление протекания этих токов по одной из шин всегда противоположно направлению тока в сигнальной линии между элементами источника и нагрузки.

Особую опасность представляют помехи, генерируемые в шинах при протекании по ним сквозных токов $I_{сквоз}$ (см. §2.1). Значения $I_{сквоз}$ достигают десятков мА. Соответственно велики и амплитуды помех. Поэтому, несмотря на их малую длительность (примерно 6 нс для серий К155, 555), они могут вызвать ложные переключения триггерных схем в составе устройства. Кроме того, действие $I_{сквоз}$ приводит к увеличению длительности суммарной помехи по шине питания (см. далее).

Рассмотрим механизм возникновения помехи от обратных токов по шине “земля” (рис. 3.4,а). Пусть элемент-источник 1 максимально нагружен и переключается из состояния 1 в состояние 0. Тогда (случай серии К155) в течение 10 нс (t_{ϕ}) ток через индуктивность $L_{ш}$ общей шины должен увеличиться примерно на 16 мА ($n=10$). Дополнительно надо учесть ток разряда паразитной емкости нагрузки C_n . Суммарное приращение обратного тока ($I_{обр}$) при синфазном переключении 5-6 максимально нагруженных элементов составит не менее 100 мА . Его изменение будем считать линейным (рис. 3.4,а; справа).

Если погонная индуктивность шины 3 нГ/см (это достаточно малое значение), а элемент-источник подключен к общей шине на расстоянии $l_{ш} = 10 \text{ см}$ от “истинной земли” разъема платы, то $L_{ш} = 30 \text{ нГ}$ и амплитуда наведенной помехи.

$$U_{обр} = L_{ш} I_{обр} / t_{\phi} = 30 \cdot 10^{-9} \cdot 100 \cdot 10^{-3} / 10 \cdot 10^{-9} = 0.3 \text{ В}.$$

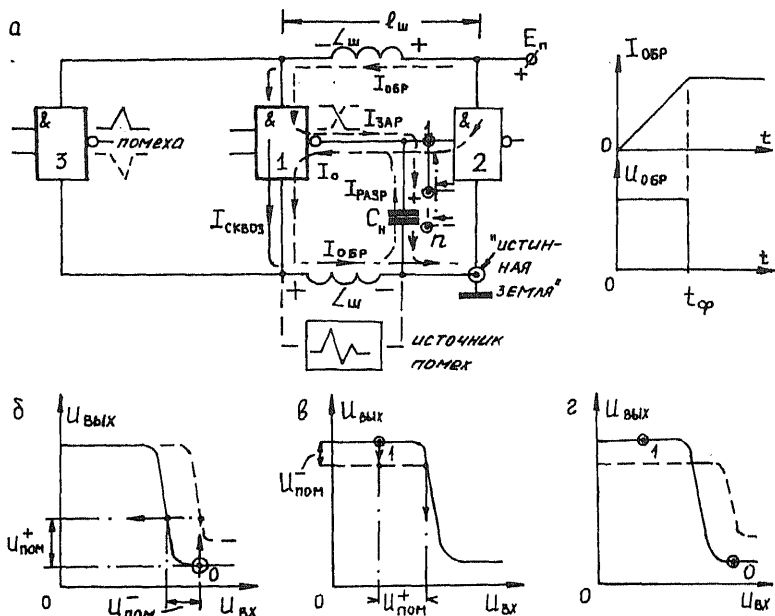


Рис. 3.4

Она близка к допустимому для ТТЛ-ИС значению $U_n^{+,-}=0,4\text{В}$. Действие такой помехи изменяет амплитудно-передаточную характеристику (АПХ) элемента 3 (рис. 3.4, б; пунктир). И если он находится в состоянии 0, то на его выходе будет генерироваться положительный импульс помехи $U_{пом}^+$. Влияние же импульса $U_{обп}$ на сам элемент 3 эквивалентно действию на его входе импульса отрицательной помехи $U_{пом}^-$.

Помеха от обратных токов по шине питания возникает, если элемент 1 переключается из состояния 0 в состояние 1. Здесь уже надо учитывать только зарядный ток конденсатора C_n (рис. 3.4, а) и деформацию АПХ элемента 3 при уменьшении E_n (рис. 3.4, в; пунктир). Если этот элемент находится в состоянии 1, то на его выходе генерируется отрицательный импульс помехи амплитудой $U_{пом}^-$. В данном случае влияние наведенной помехи по шине питания эквивалентно действию на входе элемента 3 положительной помехи амплитудой $U_{пом}^+$.

Протекание импульсов сквозного тока дает интегрированный эффект (рис. 3.4, г; пунктир). При этом, если элемент 3 находится в состоянии 0, то на его входе (выходе) будет действовать импульс отрицательной (положительной) помехи. Если же – в 1, то – положительной (отрицательной). Сквозной ток протекает при переходе элемента 1 из состояния 0 в состояние 1, когда идет процесс рассасывания в триоде T_1 (см. рис. 2.6, б). Затем значение $I_{обр}$ по шине питания падает до величины зарядного тока конденсатора C_n , а по общей шине – до нуля. Поэтому длительность суммарного сигнала помехи, приведенной ко входу элемента 3, зависит от состояния этого элемента. Она максимальна, если элемент находится в состоянии 1, и может превысить значение $t_{з.ср}$.

Основной мерой борьбы с рассмотренными помехами является уменьшение собственной индуктивности шин земли и питания. Наилучшим решением является использование как минимум четырехслойных печатных плат, когда под эти шины отводятся два отдельных металлизированных слоя. В случае двухсторонних плат указанные шины следует делать возможно более широкими (при этом $L_{ш}$ падает), а между шинами вблизи элементов устанавливать конденсаторы высокочастотной развязки для устранения влияния сквозных токов.

При достаточной емкости этих конденсаторов протекание через них $I_{сквоз}$ (минус $L_{ш}$) не вызывает заметных изменений питания и потенциала земли для элемента 3. Конденсаторы должны быть безындукционными (керамическими или танталовыми), а длины их выводов – минимальными. Обычно устанавливают один конденсатор емкостью 0,047 мкФ на группу из 5-10 близкорасположенных корпусов малых ИС. Дополнительно вблизи разъема платы устанавливают электролитические конденсаторы (из расчета 1 мкФ на одну группу) для блокирования низкочастотных помех, проникающих в устройство по цепям питания.

Перекрестные помехи

Приведенное ранее предварительное рассмотрение перекрестных помех имело целью дать сравнительные оценки критических длин межсоединений для различных технологий. В этом разделе вопрос детализуется применительно к ТТЛ-ИС. Как было уже отмечено, перекрестные помехи возникают в результате электромагнитного взаимодействия соседних линий передачи сигналов. Эти помехи вносят основной вклад в общий уровень помех цифровых устройств ТТЛ. Их

значительное влияние обусловлено высокой плотностью компоновки схемных модулей, высокоомностью схем на передающем и приемном концах линий связи при передаче по ним сигнала 1, сравнительно малой длительностью фронтов напряжений (U_{ϕ}^n) и токов (I_{ϕ}^i).

В цифровых устройствах ТТЛ для целей передачи сигналов используют коаксиальные кабели, плоские высокочастотные кабели, витые пары (скрутка, бифиляр), одиночные провода и печатные проводники. Линии связи в виде коаксиального кабеля (см. §1.2) не создают перекрестных помех благодаря хорошей экранировке. Самыми простыми и дешевыми линиями связи являются одиночные провода. Но они создают и наиболее высокий уровень перекрестных помех. Поэтому их длина не должна превышать 25-30 см.

Эффект взаимодействия по-разному проявляется в сравнительно коротких линиях электрической длиной не более $0,2t_{\phi}$ (при $t_{\phi}=10\text{нс}$ имеем оценку $\ell < 40\text{см}$) и в линиях с удвоенной задержкой более t_{ϕ} ($\ell > 1\text{м}$). Первый случай характерен для соединений на печатной плате. Здесь основное влияние оказывают распределенные реактивности линий. Второй – для межблочных связей, где доминирует волновой характер распространения сигналов вдоль линии. Это отражается на получаемых оценках.

Межсоединения на печатной плате. Механизм возникновения перекрестных помех в данном случае отвечает рис. 3.5,а. Пусть в некоторый момент на выходе элемента 1 формируется перепад напряжения, передаваемый через линию связи (активную линию) на вход элемента 2 и других элементов нагрузки общим числом n_{λ} . По условию в близлежащей линии (пассивной, воспринимающей) действует стационарный логический потенциал – высокий (ВП) или низкий (НП). В этой линии элемент 4 является источником, а элемент 3 – нагрузкой. Общее число элементов нагрузки равно n_{μ} .

Наличие магнитной ($M_{c\phi}$) и емкостной ($C_{c\phi}$) связей между линиями обуславливает появление в пассивной линии наведенных э.д.с. $M_{c\phi} dI_{\lambda}^x/dt$ и тока $C_{c\phi} dU_{\lambda}/dt$. Здесь U_{λ} и $I_{\lambda}^x = n_{\lambda}I_{\lambda}$ – напряжение и ток в активной линии, I_{λ} – входной ток ее единичной нагрузки. При этом суммарная помеха на входах элементов нагрузки пассивной линии максимальна в случае встречного включения линий, как показано на рис. 3.5,а. Для такого включения обе наводки (емкостная и магнитная) на левом (нагрузочном) конце пассивной линии синфазны (рис. 3.5, б), т.е. складываются.

Полагая фронты линейными, получаем:

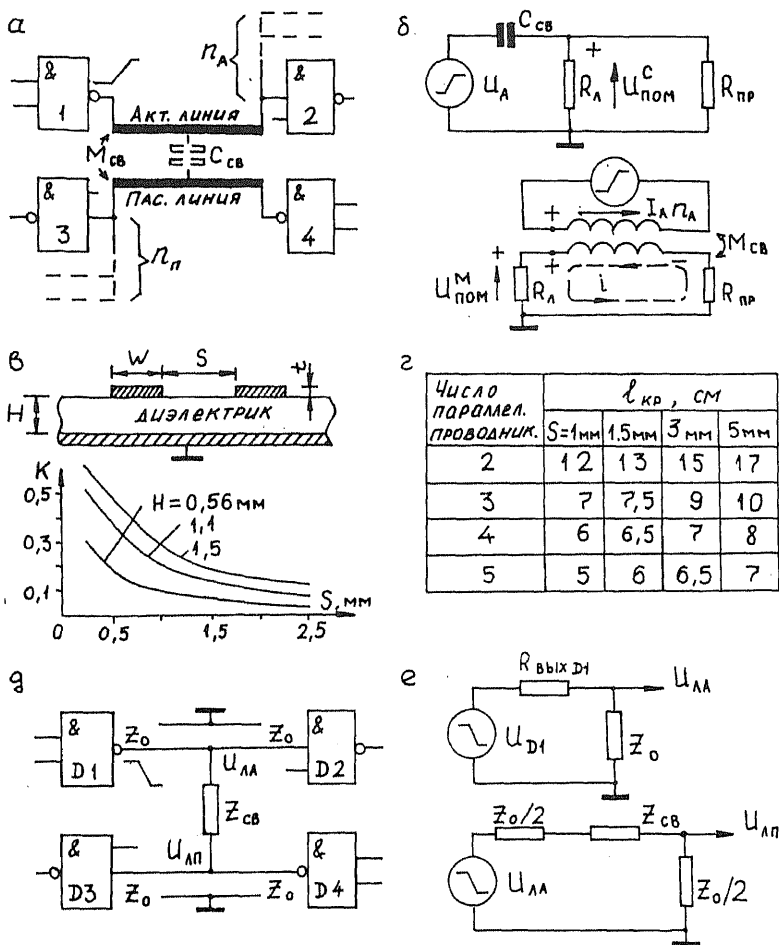


Рис. 3.5

$$U_{\text{ном}}^C = \frac{R_{\text{ex}} R_{\text{вых}}}{R_{\text{ex}} + n_{\text{п}} R_{\text{вых}}} C_{\text{св}} \frac{U_A}{i_{\text{ф}}^u};$$

$$U_{\text{ном}}^M = \frac{R_{\text{ex}}}{R_{\text{ex}} + n_{\text{п}} R_{\text{вых}}} M_{\text{св}} \frac{n_A I_A}{i_{\text{ф}}^i}.$$

Обычно $i_{\text{ф}}^i = 0,5 i_{\text{ф}}^u$. Например, при положительном перепаде напряжения на входе элемента ТТЛ эмиттерный переход триода T_M (см. рис. 2.6,б) закроется до окончания формирования этого перепада. Для средних значений $C_{\text{св}}/M_{\text{св}} = 0,1$ пФ/нГ; $U_A/I_A = 2$ кОм имеем

$U_{\text{пом}}^C / U_{\text{пом}}^M = 0,1 R_{\text{вых}}^1 / n_A$, где $R_{\text{вых}}^1$ — в Ом. Поэтому влияние емкостной наводки максимально, когда в пассивной линии действует ВП, а нагрузка в активной линии минимальна.

Дополнительные выводы из полученных выражений:

1) суммарная помеха максимальна при $n_n=1$ и $n_A=n$ (предельная нагрузка активной линии);

2) амплитуда отрицательной перекрестной помехи значительно превышает амплитуду положительной. Первая имеет место при отрицательном перепаде U_A и ВП пассивной линии. Вторая — при положительном перепаде U_A и НП пассивной линии. Действительно, в первом случае $R_{\text{ex}}^1 \rightarrow \infty$, $R_{\text{вых}}^1 = 100-200$ Ом, значения i_{ϕ}^u и i_{ϕ}^i сравнительно малы. Во втором — $R_{\text{ex}}^0 = 1 \text{ кОм}$, $R_{\text{вых}}^0 = 15-30$ Ом, i_{ϕ}^u относительно велико. Но это не означает, что положительную помеху можно не учитывать. Микросхемы ТТЛ к ней наиболее чувствительны;

3) амплитуды помех растут с увеличением длин линий, ибо $C_{\text{св}}$ и $M_{\text{св}}$ пропорциональны длине.

Для снижения амплитуд перекрестных помех на печатной плате целесообразна экранировка печатных проводников (рис. 3.5, в). Конструкция на рисунке отвечает несимметричной полосковой линии. Здесь W и t — ширина и толщина печатного проводника, S — расстояние между двумя проводниками, H — толщина диэлектрика. Значения H меняются от 0,75 до 2,5 мм. При этом для $W=0,5$ мм и $t \ll W$ волновое сопротивление линии Z_0 увеличивается от 80 до 125 Ом, а погонная емкость C_0 снижается от 0,7 до 0,4 пФ/см. С уменьшением H , т.е. с увеличением C_0 и уменьшением Z_0 , отношение помеха/сигнал (K) падает (рис. 3.5, в; внизу). То же — с ростом S .

Аналогичный эффект достигается введением "земляного" проводника шириной $3W$ между двумя сигнальными. При этом влияние перекрестных помех уменьшается в несколько раз, если расстояние между проводниками $S=W$. Полосковые линии синхронизации должны быть удалены от информационных линий и от линий синхросигналов других фаз на расстояние не менее 2,5 мм. Сигнальные проводники в смежных слоях размещают под углом 90° или 45° . Ограничения на длины параллельных печатных проводников шириной $W=0,5-1,5$ мм без экрана для ИС К155, 555 приведены в таблице на рис. 3.5, г.

Допускается увеличение норм на 40%. Для полосковых линий значения $\ell_{кр}$ минимум в два раза выше.

Межблочные связи (рис. 3.5,б). В случае $\ell > 1\text{м}$ необходимо учитывать волнообразный характер передачи сигнала вдоль каждой из взаимодействующих линий с волновым сопротивлением Z_0 (см. §1.2) и между ними. При этом два близлежащих сигнальных проводника также образуют длинную линию с волновым сопротивлением $Z_{св}$. Сигнал, передаваемый по верхней (активной) линии, создает перекрестную помеху в нижней (пассивной) линии через сопротивление $Z_{св}$.

Амплитуды перепадов напряжений в обеих линиях при передаче первой прямой волны (см. §1.2) могут быть определены из эквивалентных схем рис. 3.5,е

$$U_{л1} = U_{D1} \frac{Z_0}{R_{свхD1} + Z_0}; \quad U_{лп} = \frac{1}{2} U_{л1} \frac{Z_0}{Z_{св} + Z_0}.$$

Здесь учитывается, что каждое сечение линии делит ее на две части и любая из них имеет волновое сопротивление Z_0 . Поэтому при передаче волны из одной линии в другую сопротивления источника и нагрузки равны $Z_0/2$.

Поскольку всегда $R_{свхD3} \gg Z_0$, то имеет место полное синфазное отражение поступившей волны в нагрузке пассивной линии. т.е. $U_{схD3} = 2U_{лп}$. Для отрицательного перепада U_{D1} , когда $R_{свхD1} \ll Z_0$, относительная амплитуда помехи

$$K = \frac{U_{схD3}}{U_{D1}} = \frac{Z_0^2}{(R_{свхD1} + Z_0)(Z_{св} + Z_0)} \cong (1 + Z_{св}/Z_0)^{-1}.$$

Помеха максимальна, когда линии расположены близко друг к другу, но на большом расстоянии от общей шины. При этом $Z_{св}$ мало, а Z_0 велико.

Например, если два провода диаметром 1мм расположены на расстоянии 0,8мм друг от друга и 20 мм от земляного провода, то $Z_0=200$ Ом и $Z_{св}=80$ Ом. При этом $K=0,7$, что для ТТЛ-ИС совершенно неприемлемо. Если в том же примере сигнальные проводники отстоят от общей шины на 1 мм, то $Z_0 = 50$ Ом и $Z_{св} = 125$ Ом, т.е. $K = 0,28$. Это также чрезмерно. Для двух витых пар (скрутка сигнальной линии с земляной), расположенных рядом, $Z_0=80$ Ом, $Z_{св}=400$ Ом и $K=0,16$, что приемлемо для всех ТТЛ-ИС.

Взаимное влияние витых пар может быть ослаблено дополнительным экранированием (два земляных провода в скрутке). Тогда уровень перекрестных помех оказывается примерно тем же, что

и в случае коаксиального кабеля. Но витые пары дешевле и удобнее в эксплуатации. Они применяются и для реализации линий связи длиной от 20 см до 1 м.

Помехи рассогласований

Передача сигналов по линиям связи между компонентами цифрового устройства происходит с погонной задержкой $\tau_0 = 5 \text{ нс/м}$. И если выходное сопротивление передатчика Z_n и входное сопротивление приемника Z_n отличаются от волнового сопротивления линии Z_0 , то процесс в любом сечении линии можно трактовать как алгебраическую сумму множества волн, прямых и обратных, прошедших к рассматриваемому моменту времени через данное сечение (см. § 1.2). При этом i -обратная волна рассматривается как результат отражения i -прямой волны от конца линии с коэффициентом отражения $M_i = (Z_n - Z_0)/(Z_n + Z_0)$. Аналогично i -прямая волна ($i = 2, 3, \dots$) есть результат отражения $(i-1)$ -обратной волны от начала линии с коэффициентом отражения $M_i = (Z_n - Z_0)/(Z_n + Z_0)$. В дальнейшем все сопротивления полагаются сугубо активными. Задержка (электрическая длина) линии $t_0 = \tau_0 \ell$. При действии на входе линии логического перепада напряжение в любой ее точке меняется скачкообразно через промежутки времени $2t_0$ (см. рис. 1.11).

Соединения на печатной плате. В стационарном режиме линия представляет собой заряженную емкость. Поэтому стационарный ВП на выходе линии $U_2^{\text{стат}} = E Z_n / (Z_n + Z_0)$. Здесь E – амплитуда положительного перепада на выходе источника. Для ИС ТТЛ характерен апериодический процесс установления на фронте U_2 (см. рис. 1.11). В данном случае $Z_n \rightarrow \infty$, $Z_n = 150 \text{ Ом} > Z_0$ и любое отражение происходит синфазно ($M_i = 1$, $M_i > 0$). Напротив, при формировании среза процесс непременно колебательный. Здесь уже $Z_n = 1 \text{ К} \gg Z_0$ ($M_i \rightarrow 1$), а $Z_n = 15 \text{ Ом} < Z_0$ ($M_i < 0$). Амплитуда первого отрицательного выброса по окончании полезного импульса достигает 2В, что опасно для энергетике и надежности схемы приемника (см. § 2.1). Собственно помеху представляет второй положительный выброс. Его амплитуда может превысить 0,4 В (регламентированное для ТТЛ-ИС значение U_n^+).

Идеальная передача имеет место при $Z_n = Z_0$ (случай согласования). В условиях печатной платы согласование практически невозможно, ибо волновое сопротивление печатных линий близко к 50 Ом. Подключение согласующего резистора такого номинала к общей шине недопустимо снижает $U_2^{\text{стат}}$. Его замыкание на

шину питания чрезмерно увеличивает ток $I_{вых}^0$ микросхемы передатчика. Однако отсутствие согласования на печатной плате для ТТЛ-ИС не опасно. Длины печатных проводников не превышают 30 см. Поэтому длительности ложных импульсов не могут быть более 3нс. Такие осцилляции в ТТЛ-ИС фильтруются (строго говоря, это справедливо только для серий К155, 555). Кроме того, установка на входах микросхем “антизвонных” диодов (см. рис. 2.6,б; 2.8,г) приводит к значительному уменьшению их амплитуды. Некоторое эквивалентное “затягивание” фронтов при этом все же наблюдается. Но реальные потери быстродействия из-за рассогласований на печатной плате не превышают 10%, что вполне приемлемо.

Несогласованные межблочные связи. Для анализа искажений сравнительно “длинных” передач сигналов между ИС широко применяется так называемый метод Бержерона. Рассматривая простейший случай передачи (рис. 3.6,а), этот французский ученый установил следующее правило. Рабочую точку, которая определяет режим в начале (конце) линии связи в момент скачка напряжения, можно найти как точку пересечения характеристики с наклоном $-1/Z_n$ ($1/Z_n$) и линии с наклоном $1/Z_0$ ($-1/Z_0$), проведенной из рабочей точки в конце (начале) линии в момент предыдущего скачка (рис. 3.6,б). На рисунке представлен случай $Z_n, Z_n < Z_0$ (сравним с соответствующей временной диаграммой на рис. 1.11,а).

На этой основе был развит приближенный графический метод анализа переходных процессов в линиях связи цифрового устройства, позволяющий учесть нелинейность входных и выходных характеристик микросхем. Проведем построение для линий связи между элементами ТТЛ (рис.3.6,в). При этом вместо прямой с наклоном $-1/Z_n$ надо рассматривать выходную характеристику передатчика (элемент 1), а вместо прямой с наклоном $1/Z_n$ – инвертированную по току (см. § 2.2) входную характеристику приемника (элемент 2). Случаи передач фронта и среза показаны на рис. 3.6,г,д соответственно.

Наихудшим для передачи фронта является случай сравнительно малых Z_0 . При этом уменьшается амплитуда первой прямой волны, растет число отражений, а потому и эквивалентное “затягивание” фронтов напряжений на входе и выходе линии. Для передачи среза, напротив, наиболее опасен случай больших Z_0 из-за роста амплитуд первого отрицательного и второго положительного выбросов. Дополнительно необходимо учитывать следующее.

При $Z_0 > R_{вых}^1$ (это может иметь место при межблочных передачах одиночными проводами без экранировки) процесс установления фронта также колебательный. Выбросы на вершине передаваемого импульса могут привести к росту перекрестных помех и

к перенапряжениям на входе элемента 2. Если же Z_0 слишком мало, то растет амплитуда помехи от обратного тока по шине "земля" при

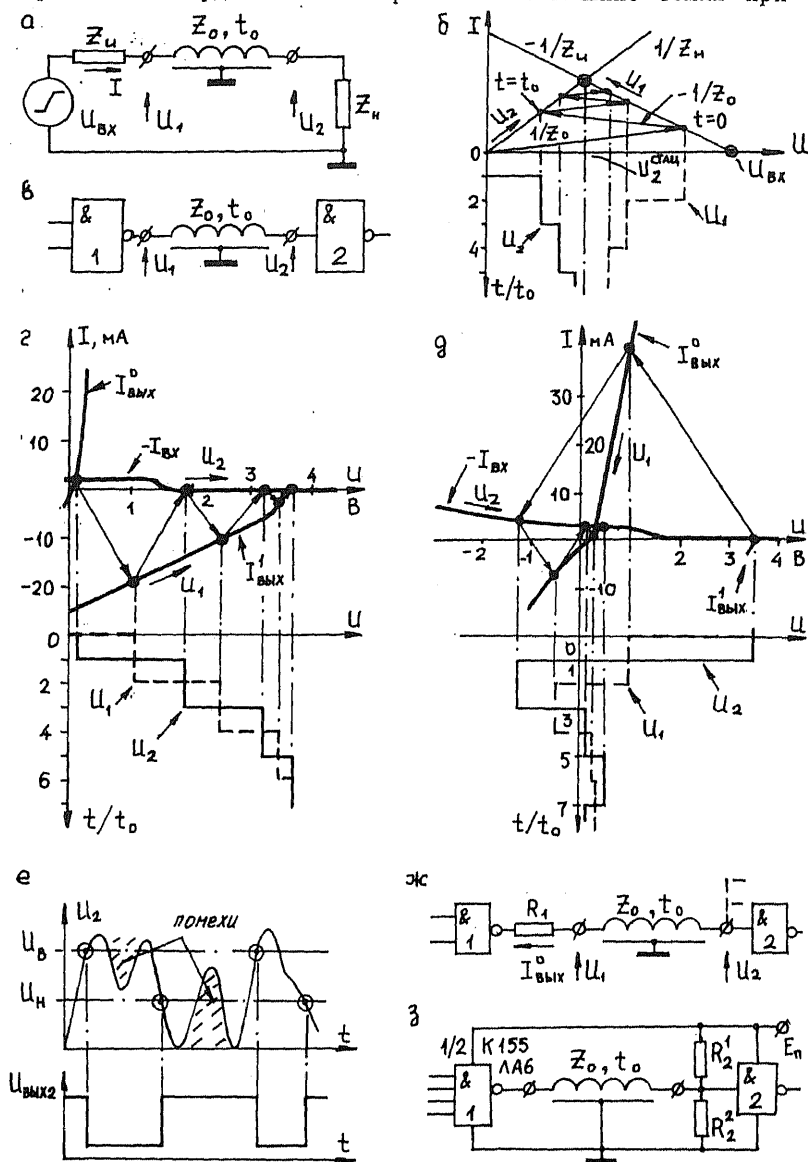


Рис. 3.6

передаче среза. Требованиям “золотой середины” ($Z_0=100 \text{ Ом}$) удовлетворяют витые пары и коаксиальные кабели.

Применение несогласованных линий допускается для межсоединений длиной не более 1 м. Если $\ell > 1 \text{ м}$ и согласование затруднено, то в качестве приемника (элемент 2) используют ИС с повышенной статической помехоустойчивостью – триггеры Шмита (см. §2.2). Рисунок 3.6,е иллюстрирует процесс восстановления информации на выходе инвертора 1/6 К155ТЛ2 из искаженного сигнала на выходе несогласованной линии. Обозначения $U_{\text{в}}$, $U_{\text{н}}$ отвечают рис.2.8,е. Наличие положительной обратной связи в приемнике обеспечивает высокую крутизну фронтов формируемых импульсов.

Введение согласования. При длинах межсоединений от 1 до 3 м применяют последовательное согласование на передающем конце с помощью дополнительного сопротивления R_1 (рис. 3.6,ж). Его величина в сумме с $R_{\text{вых}}^0$ должна быть близка к волновому сопротивлению линии. Так, если $Z_0=100 \text{ Ом}$, то выбирают $R_1=82 \text{ Ом}$. При этом улучшаются условия передачи среза импульса. Колебания после импульса практически отсутствуют, так как в линии действуют только первая прямая и первая обратная волны. Однако усиливаются искажения при передаче фронта.

Причина в том, что увеличение $Z_{\text{н}}$ приводит к росту эффективной задержки передачи фронта, измеренной на уровне 0,5, до $3t_0$ (случай $R_{\text{вых}}^1 > 200 \text{ Ом}$). Аналогичная задержка формирования среза импульса в начале линии становится равной $2t_0$. С таким запаздыванием получают сигнал элементы-приемники, размещенные в начале длинного соединения. Наконец, при стационарном $I_{\text{вых}}^0=16 \text{ Ма}$ и $R_1=82 \text{ Ом}$ значение $U_{02}^{\text{СТАЦ}}=U_{0\text{ВЫХ}}+1,3 \text{ В}$, что недопустимо. Требуется уменьшить $I_{\text{вых}}^0$ до 3 мА, т.е. разрешить подключение к линии не более двух элементов-приемников.

При длинах более 3 м передача сигналов осуществляется с помощью специальных мощных элементов – кабельных (магистральных) усилителей (буферных ИС), способных работать на линии с параллельным согласованием на нагрузочном конце. Такой способ обеспечивает минимальные искажения при передачах как фронта, так и среза. В качестве буферных ИС применяют микросхемы К155ЛА6, К531ЛА13 и др. с повышенной нагрузочной способностью. На рис. 3.6,з показан пример такого соединения. При $Z_0=100 \text{ Ом}$ выбирают $R_1^1=150 \text{ Ом}$, $R_2^1=470 \text{ Ом}$, ($R_1^1 \parallel R_2^1 \parallel R_{\text{вх}}^0=Z_0$). В этой схеме ток $I_{\text{вых}}^0$ передатчика превышает 30 мА. Для работы на кабель с $Z_0=50 \div 75 \text{ Ом}$ более пригодны микросхемы К155ЛЕ6 и К531ЛА16П, которые

обеспечивают в нагрузке стационарный ВП 2В при подключении согласующегося резистора 50 Ом к общей шине.

§3.3. ПЕРЕХОДНЫЕ ПРОЦЕССЫ НА ЛОГИКО-СТРУКТУРНОМ УРОВНЕ

Необходимым условием реализации цифровым устройством заданного алгоритма является правильность логического функционирования всех его блоков. Одни из них относятся к классу комбинационных схем. Другие – к классу последовательностных. Протекание переходных процессов в цифровых схемах каждого класса специфично. Учет особенностей динамики схем – важный фактор структурного проектирования по результатам логического (абстрактного) синтеза.

Любая цифровая схема выполняет преобразование двоичного входного набора $x^k = \langle x_1, \dots, x_n \rangle^k$ в выходной набор $z^k = \langle z_1, \dots, z_m \rangle^k$. Здесь k – номер такта, N и M – число входов и выходов схемы. В общем случае $z^k = f(x^0, x^1, \dots, x^k)$, т.е. сигналы на выходах в данном такте определяются входным процессом в целом, от начального момента до рассматриваемого. Такие схемы называют многотактными, или последовательностными. Для одноктактных, или комбинационных схем $z^k = f(x^k)$, $k=0,1,\dots$. Многотактность схемы подразумевает наличие в ней внутренней памяти состояний. Аналитически это выражается следующим образом:

$$z^k = \zeta(x^k, y^{k-1}); \quad y^k = \eta(x^k, y^{k-1}),$$

где $y^k = \langle y_1, \dots, y_r \rangle^k$ – набор внутренних переменных (сигналов состояний) в такте k .

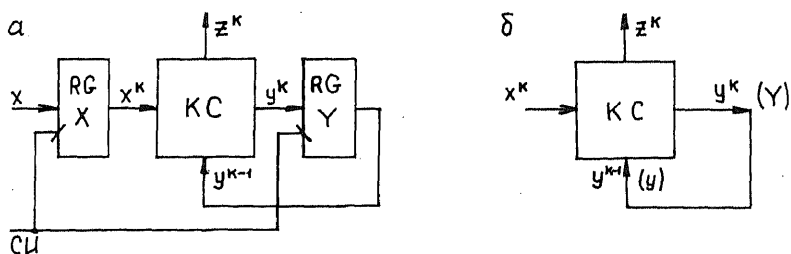


Рис. 3.7

Напомним, что в синхронных схемах такты k и $k-1$ разделяются подачей синхроимпульса (СИ), в асинхронных – моментом изменения входного набора. Комбинационные схемы по сути асинхронны.

Рассмотренные ранее триггеры – простейшие представители многотактных схем. Обычно они используются для построения памяти состояний более сложных схем. Канонические представления последовательностных схем показаны на рис. 3.7 (а – синхронный вариант, случай однофазной синхронизации; б – асинхронный). Здесь КС – комбинационная схема; RGX, Y – соответствующие регистры. В схеме рис. 3.7,б принято различать наборы $y^*(Y)$ и $y^{*+1}(y)$ в динамике. С подобной ситуацией мы уже встречались при рассмотрении триггерных схем (см. рис. 2.10).

На первый взгляд асинхронный подход должен приводить к упрощению реализации устройства. Но кажущаяся простота асинхронной схемы (рис. 3.7,б) обманчива. Специфика переходных процессов требует введения в схему дополнительных компонентов, в частности, – асинхронных регистров для формирования сигналов состояний. Связывая с асинхронностью возможный рост быстродействия устройства, приходится изыскивать какую-то замену многофазной синхронизации. Так появились схемы с сигналами завершения, аperiodические, или схемы Мюллера [80-82]. Эти схемы достаточно сложны. Как бы то ни было, изучение особенностей поведения асинхронных схем – это необходимый элемент схемотехнического образования.

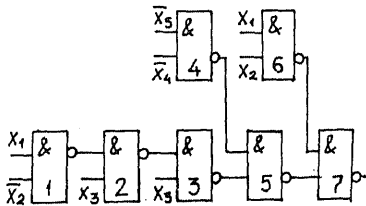
Безусловно, синхронному принципу организации функционирования устройств отдается предпочтение. Но в моменты переключений любая схема ведет себя как асинхронная. Возникающий при этом риск сбоя может проявляться при некотором сочетании задержек элементов и соединений. Кроме того, использование асинхронных подходов при реализации синхронных схем может дать серьезный эффект (см. § 3.5). Поэтому все внимание в данном параграфе уделяется динамике асинхронных схем, знакомство с которой является основой синтеза любых цифровых схем в переходном режиме.

Далее конкретизируется проблема состязаний применительно к комбинационным и последовательностным схемам. Формируется ряд утверждений и теорем, позволяющих судить о наличии комбинационных состязаний по виду схем или реализуемых ими логических выражений. Все доказательства опущены. Рассматриваются методы исследования переходных процессов в тех и других схемах. При этом предпочтение отдается строгому аналитическому подходу. Излагаются структурные методы устранения состязаний в асинхронных схемах.

Комбинационные состязания

Инерционность элементов влияет не только на быстродействие структуры, но и на характер протекания в ней переходных процессов. При смене входного набора сигналы на отдельные входы элементов комбинационной схемы поступают в общем случае неодновременно (состязания сигналов) из-за разницы в "длинах путей" их распространения. Такие состязания опасны (могут вызвать неверное функционирование устройства в целом), если они приводят к появлению кратковременных ложных импульсов на выходе.

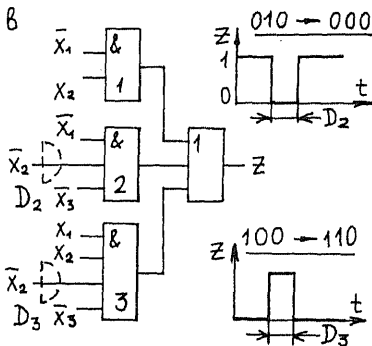
а



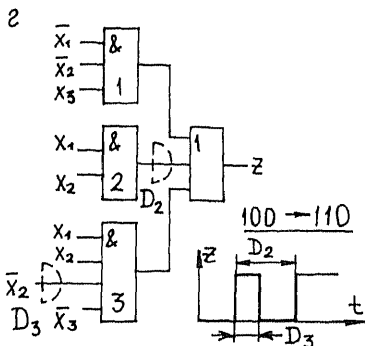
б

k	μ	Вх.схемы					Вых. элемент.						
		x_1	x_2	x_3	x_4	x_5	1	2	3	4	5	6	7
0		1	1	1	0	0	1	0	1	0	1	0	1
1	1	1	0	1	1	0	0	0	1	1	1	1	1
	2	—	—	—	—	—	0	1	1	1	0	1	0
	3	—	—	—	—	—	0	1	0	1	0	1	1
	4	—	—	—	—	—	0	1	0	1	1	1	1
	5	—	—	—	—	—	0	1	0	1	1	1	0

в



г



д

CD	00	01	11	10	AB
00	f		g	1	
01		e	1b		
11	1k	1a	h	1l	
10	1d	1j	1c		

е

CD	00	01	11	10	AB
00	1	1			
01	1	1			
11	1		1	1	
10	1				

Рис. 3.8

В качестве иллюстрации рассмотрим продвижение информации в 5-уровневой схеме (рис. 3.8,а) по микротактам при заданной смене входных наборов (рис. 3.8,б; k – номер такта, μ – номер микротакта внутри данного такта) [70]. Задержки всех элементов полагаем одинаковыми и равными Δt . Поэтому и длительность микротакта (время обработки сигналов одним уровнем) составляет Δt . На основании таблицы (рис. 3.8,б) делаем вывод о наличии кратковременных ошибок при переходе состояния выхода из 1 в 0. Это является следствием появления ложного импульса (сигнала 0) на выходе элемента 5.

2-уровневые И-ИЛИ-схемы [81]. Рассмотрим сначала случай, когда в каждый момент времени допустимы изменения только одного входного сигнала и к моменту этого изменения схема находится в стационарном состоянии. Пусть два входных набора I_1 и I_2 являются соседними по переменной x_j . Будем говорить, что комбинационная схема, реализующая функцию $f(I_k)$, содержит на переходе $I_1 \rightarrow I_2$ статическое 0(1)-состояние, если $f(I_1) = f(I_2) = 0(1)$ и возможно появление на выходе кратковременного сигнала 1(0), и динамическое состояние, если $f(I_1) \neq f(I_2)$ и возможно трехкратное изменение выхода за время перехода.

Справедливы утверждения:

– Схема содержит динамическое или 0-состояние тогда и только тогда, когда существует реализуемая некоторым элементом И конъюнкция, включающая x_j и \bar{x}_j , а все остальные ее буквы равны 1 на обоих наборах.

– Схема содержит 1-состояние тогда и только тогда, когда не существует конъюнкций, имеющих значение 1 на обоих наборах.

Таким образом, обычная процедура получения ДНФ с выполнением всех “склеек” на карте Карно (выявлением всех простых импликант) гарантирует отсутствие любых комбинационных состояний в 2-уровневой И-ИЛИ-схеме при условии одновременного изменения только одного входа.

В примере (рис.3.8,в) имеем 0-состояние на переходе $100 \rightarrow 110$ и 1-состояние на переходе $010 \rightarrow 000$. Ложные импульсы появляются, если задержки D_2 и D_3 сравнительно велики. Это могут быть задержки как в инверторах, так и в соединениях. Схема (рис.3.8,г) содержит динамическое состояние на переходе $100 \rightarrow 110$. Колебания имеют место при $D_2 > D_3$. Безусловно, схемная реализация конъюнкций, в которые переменная x_j входит в прямом и инверсном видах, абсурдна. Однако такие конъюнкции могут появиться в результате приведения к ДНФ произвольных логических выражений, как это будет показано далее.

Перейдем к случаю одновременного изменения двух и более входных сигналов. При этом различают два вида статических состязаний: функциональные, когда опасность появления кратковременных импульсов на выходе нельзя устранить логическим путем из-за состязаний между входными сигналами, и логические, если это сделать можно. Например, для таблицы на рис. 3.8, д функциональные 1-состязания имеют место на переходах $a \rightarrow c$ и $a \rightarrow b$. На переходе $a \rightarrow d$ наблюдается логическое 1-состязание, на переходе $e \rightarrow f$ – логическое 0-состояние. Переходы $e \rightarrow h$ и $e \rightarrow g$ иллюстрируют функциональные 0-состязания.

Справедливы утверждения:

- Функциональное состязание имеет место при входном переходе $p \rightarrow g$ тогда и только тогда, когда на карте Карно существует путь минимальной длины от p к g , вдоль которого значение функции меняется более одного раза.

- Схема свободна от логических состязаний, если реализуемые ее элементами И конъюнкции отвечают простым импликантам заданной функции.

- Схема содержит логическое 1-состязание тогда и только тогда, когда существует некоторый простой импликант функции, не представленный ни одной из реализуемых в ней конъюнкций.

- Схема содержит логическое 0-состязание тогда и только тогда, когда для некоторой пары входных наборов I_1 и I_2 , таких, что $f(I_1) = f(I_2) = 0$, существует реализуемая элементом И конъюнкция, не имеющая букв, равных 0 на I_1 и I_2 , в которую меняющиеся переменные входят в прямом и инверсном видах.

Исследование динамических состязаний в данном случае усложняется. В таблице на рис. 3.8, д переходы $g \rightarrow i$, $g \rightarrow a$ вызывают динамические функциональные состязания. Динамическое состязание может возникнуть и на переходе $d \rightarrow e$, если во избежание 1-состязания на переходе $i \rightarrow k$ ($j \rightarrow c$) введен простой импликант \overline{BCD} ($BC\overline{D}$) и задержка реализующего его элемента И сравнительно велика. Более распространенный тип динамических состязаний обусловлен наличием конъюнкций, содержащих некоторые переменные вместе с их отрицаниями.

Схемы произвольного вида [81]. Сформулируем теоремы, которые могут быть применены к анализу и синтезу схем в произвольных базисах с различным числом логических уровней.

Теорема 3.1. Если преобразовать заданное логическое выражение F произвольного вида к выражению G в ДНФ с помощью ассоциативного, дистрибутивного законов и правила де Моргана,

то схемам, соответствующим F и G, присущи одни и те же статические состязания.

Эта теорема дает ключ к анализу многоуровневых схем на возникновение в них статических состязаний. Так, из

$$F = \bar{A}(\bar{B} \vee \bar{C}) \vee (A \vee \bar{B})(B \vee C)D$$

после раскрытия скобок получим

$$G = \bar{A}\bar{B} \vee \bar{A}\bar{C} \vee ABD \vee ACD \vee \bar{B}CD \vee \bar{B}BD.$$

Соответствующая 2-уровневая схема содержит согласно теореме 3.1 те же статические состязания, что и исходная. По карте Карно (рис. 3.8,е) устанавливаем наличие 1-состязания на переходе 0101→1101, так как нет простого импликанта $\bar{B}\bar{C}D$. Возможны и многочисленные функциональные состязания.

Теорема 3.2. Если для заданного выражения F произвольного вида построить выражение G, используя только правило де Моргана, ассоциативный закон, вынесение общих множителей за скобки (но не раскрытие скобок) и преобразования вида $A \vee AB \rightarrow A$ и $A \vee \bar{A}B \rightarrow A \vee B$, то схема, отвечающая G, будет свободна от комбинационных состязаний, которые невозможны в схеме, соответствующей F.

Эта теорема дает правило преобразования комбинационных схем без введения новых состязаний. Вернемся к примеру (рис. 3.8,д). Выпишем все простые импликанты

$$F = \bar{A}C \vee \bar{B}CD \vee \bar{B}CD \vee AB\bar{C}D \vee \bar{A}BC\bar{D}.$$

После вынесения за скобки и применения правила де Моргана имеем

$$G = C(\bar{A} \vee \overline{BD \vee \bar{B}D}) \vee \bar{A}\bar{C}(\overline{BD \vee \bar{B}D}),$$

что дает согласно теореме 3.2 компактную реализацию без логических состязаний.

Для выявления динамических состязаний каждой букве исходного выражения будем приписывать числовые индексы в порядке возрастания. Так, из

$$F = AB \vee \bar{B}C(\bar{A} \vee D) \vee [(\bar{A} \vee D)E \vee B](\bar{C}D)$$

получаем

$$\tilde{F} = A^1B^2 \vee \bar{B}^3C^4(\bar{A}^5 \vee D^6) \vee [(\bar{A}^7 \vee D^8)E^9 \vee B^{10}](\bar{C}^{11}D^{12}).$$

Две одинаковые буквы с разными индексами отвечают различным путям распространения сигналов в схеме от данного входа к выходу.

При рассмотрении перехода между двумя входными наборами I_1 и I_2 (не обязательно соседними) будем различать: f_0 - и f_1 -буквы, равные соответственно 0 и 1 на обоих наборах; C_0 - и C_1 -буквы, изменяющиеся соответственно из 1 в 0 и из 0 в 1 на переходе $I_1 \rightarrow I_2$.

Теорема 3.3. Пусть заданной схеме отвечает выражение F, реализующее функцию $f(I_k)$ такую, что $f(I_1)=0$ и $f(I_2)=1$, и пусть G есть представление F в ДНФ, полученное путем приписывания индексов

буквам выражения F и раскрытия скобок с применением правила де Моргана. При этом динамическое состязание возможно на переходе $I_1 \rightarrow I_2$ тогда и только тогда, когда существует конъюнкция K_j , не содержащая f_0 -букв, но включающая по меньшей мере по одной C_0 - и C_1 -букве, такая, что любая другая конъюнкция, равная 1 на наборе I_1 , содержит не менее одной C_1 -буквы, не входящей в K_j .

Эта теорема применима для выявления всех динамических состязаний на переходах с изменением любого числа входных переменных. Продолжим начатый пример. Применяя правило де Моргана и дистрибутивный закон, получим

$$G = A^1 B^2 \vee B^3 C^4 A^5 \vee B^3 C^4 D^6 \vee A^7 E^9 \bar{C}^{11} \vee A^7 E^9 \bar{D}^{12} \vee D^8 E^9 \bar{C}^{11} \vee D^8 E^9 \bar{D}^{12} \vee B^{10} \bar{C}^{11} \vee B^{10} \bar{D}^{12}.$$

Для перехода с изменением одной входной переменной в качестве K_j может выступать только $D^8 E^9 \bar{D}^{12}$, а изменяться — только D . При этом $E = f_1$ -буква. По условию $f(I_1) = 0$. Пусть $D = 0$ на наборе I_1 . Тогда $B = f_0$ -буква ($B^{10} \bar{D}^{12} = 0$), $A = f_1$ -буква ($A^7 E^9 \bar{D}^{12} = 0$). После удаления букв, зафиксированных в одном значении на обоих наборах перехода, получим $\tilde{G} = C^4 D^6 \vee D^8 \bar{C}^{11} \vee D^8 \bar{D}^{12}$. Если $C = f_0$ -буква, имеем $\tilde{G} = D^8 \vee D^8 \bar{D}^{12}$. При этом согласно теореме 3.3 динамическое состязание невозможно. В случае $C = f_1$ -буква получаем $\tilde{G} = D^6 \vee D^8 \bar{D}^{12}$, и условия теоремы выполнены.

Итак, на переходе $10101 \rightarrow 10111$ возможно динамическое состязание. Рассмотрим теперь переход $00000 \rightarrow 00101$. Здесь имеем $\tilde{G} = C^4 \vee E^9 \bar{C}^{11} \vee E^9$, так что в роли K_j может выступать только $E^9 \bar{C}^{11}$. Условия теоремы не выполняются. А вот на переходе $00000 \rightarrow 11001$, когда $\tilde{G} = A^1 B^2 \vee A^7 E^9 \vee B^{10}$, динамическое состязание возможно.

Исследование переходных процессов

Трудоемкость выявления состязаний делает полезным моделирование переходных процессов на ЭВМ. Необходимую для этого формализацию процедуры дает использование алгоритма асинхронного событийного моделирования, предложенного в работе [83]. Применение метода ограничено условием равенства задержек элементов. В общем случае задержки носят случайный характер. Поэтому более удобны те методы, которые позволяют фиксировать наличие состязаний вне зависимости от величин задержек. К ним относится метод троичного моделирования [70, 81]. Однако он позволяет констатировать лишь факт состязаний, ничего не говоря об их причинах и тем более о способах устранения.

Для получения полной картины возможных вариантов временных процессов в комбинационных схемах в условиях разброса величин

задержек используют аналитическое описание переходного процесса с помощью операций бесконечнозначной (непрерывной) логики, применяемых к исчислению не состояний устройства, а моментов изменений в нем сигналов [84, 85]. При этом скачок $0 \rightarrow 1$ в момент α обозначают как $1'_\alpha$, скачок $1 \rightarrow 0$ в момент β - как $0'_\beta$, импульс - как $1'_\alpha 0'_\beta$ или $1(\alpha, \beta)$, паузу - как $0'_\alpha 1'_\beta$ или $0(\alpha, \beta)$. Если процесс содержит несколько импульсов и пауз, то моменты изменений указываются лишь один раз. Например, $0'_\alpha 1'_\gamma 0'_\gamma 0'_\alpha \vee \gamma = 0(\alpha\beta, \gamma) 1(-, \alpha \vee \gamma)$. Постоянный сигнал $0(1)$ трактуется как импульс (пауза) нулевой длительности: $0 = 1(\alpha, \alpha)$, $1 = 0(\beta, \beta)$. Операция дизъюнкции определяется как $\alpha \vee \beta = \max(\alpha, \beta)$, конъюнкция $\alpha \wedge \beta = \alpha\beta = \min(\alpha, \beta)$.

Процедура отыскания переходного процесса в комбинационной схеме при смене входного набора состоит в следующем.

1. Замена каждого реального элемента соответствующим идеальным (безынерционным) и последовательно включенным с ним элементом задержки.
2. Представление каждого идеального элемента эквивалентной схемой в булевом базисе.
3. Упорядочение полученной схемы по уровням.
4. Вычисление переходного процесса на выходе путем последовательных подстановок.

Для решения задачи таким методом достаточно уметь находить реакции элемента задержки, инвертора и 2-входовых элементов И, ИЛИ на произвольные ступенчатые воздействия вида

$$x(t) = a(\alpha_1, \alpha_2) \bar{a}(-, \alpha_1) \dots \bar{a}_m(\alpha_{m-1}, \alpha_m),$$

где $a \in \{0, 1\}$, \bar{a} - отрицание a , $\bar{a}_m = a$ при m четном и $\bar{a}_m = \bar{a}$, если m нечетно. Процесс на выходе элемента задержки

$$z(t) = x(t)_\tau = a(\alpha_1 + \tau, \alpha_2 + \tau) \bar{a}(-, \alpha_1 + \tau) \dots \bar{a}_m(\alpha_{m-1} + \tau, \alpha_m + \tau),$$

где τ - величина задержки. Для инвертора

$$z(t) = \overline{x(t)} = \bar{a}(\alpha_1, \alpha_2) a(-, \alpha_1) \dots \bar{a}_{m-1}(\alpha_{m-1}, \alpha_m),$$

т. е. процесс на выходе получается из входного заменой импульсов на паузы и пауз на импульсы в тех же временных интервалах.

Не столь просто вычислить реакции идеальных 2-входовых элементов И, ИЛИ. Если один из входных сигналов, например $x(t)$, имеет вид одиночной ступени, а другой $y(t)$ содержит сравнительно небольшое число импульсов и пауз, то переходный процесс на выходе $z(t)$ находится путем полного перебора всех возможных вариантов взаимного расположения моментов изменения сигналов (прямой метод). Отдельно записывается реакция для каждого случая. Общие

выражение получается путем объединения частных решений с помощью операций бесконечнозначной логики.

Пусть, для примера, $x(t)=l'_\alpha$ и $y(t)=0'_\beta$. Тогда

$$z(t) = x(t) \wedge y(t) = l'_\alpha \wedge 0'_\beta = \begin{cases} 1(\alpha, \beta), & \alpha \leq \beta; \\ 0 = 1(\alpha, \alpha), & \alpha \geq \beta. \end{cases}$$

Окончательно находим

$$l'_\alpha \wedge 0'_\beta = 1(\alpha, \alpha \vee \beta).$$

В случае $x(t) = 0'_\alpha$, $y(t) = 0'_\beta l'_\gamma$ имеем

$$z(t) = x(t) \vee y(t) = 0'_\alpha \vee 0'_\beta l'_\gamma = \begin{cases} 0(\beta, \gamma), & \alpha \leq \beta < \gamma; \\ 0(\alpha, \gamma), & \beta \leq \alpha < \gamma; \\ 1 = 0(\alpha, \alpha), & \alpha \geq \gamma > \beta. \end{cases}$$

Объединение частных решений дает

$$0'_\alpha \vee 0'_\beta l'_\gamma = 0(\alpha \vee \beta, \alpha \vee \gamma).$$

Найденные таким способом возможные варианты реакций для случая, когда $y(t)$ содержит не более одного импульса (паузы) приведены в таблице 3.1,а.

Реакции 2-входовых элементов И(ИЛИ) на входные воздействия с большим числом изменений сигнала можно вычислить методом декомпозиции. Определение общих условий, в которых возможна декомпозиция, и строгое обоснование метода даны в работе [84]. Согласно ему одно из двух входных воздействий, например $x(t)$, разбивается на два следующих друг за другом более простых $x_1(t)$ и $x_2(t)$, так чтобы первый из них заканчивался изменением сигнала вида $0'_\beta$ (l'_β) и $x(t) = x_1(t)x_2(t)$. Затем находятся реакции элемента $z_1(t)$ и $z_2(t)$ на пары воздействий $\{x_1(t), y(t)\}$ и $\{x_2(t), y(t)\}$ соответственно. Если $z_1(t)$ и $z_2(t)$ не пересекаются во времени, то полная реакция элемента $z(t) = z_1(t)z_2(t)$.

В качестве примера найдем переходный процесс на выходе элемента И при $x(t) = 0'_\alpha l'_\beta$, $y(t) = l'_\gamma 0'_\delta$. Принимаем $x_1(t) = 0'_\alpha$, $x_2(t) = l'_\beta$. Согласно таблице 3.1,а находим

$$z_1(t) = 0'_\alpha \wedge l'_\gamma 0'_\delta = 1(\alpha\gamma, \alpha\delta); \quad z_2(t) = l'_\beta \wedge l'_\gamma 0'_\delta = 1(\beta \vee \gamma, \beta \vee \delta).$$

Поскольку $\beta \vee \gamma \geq \beta > \alpha \geq \alpha\delta$, то процессы не пересекаются и между ними должна быть пауза. Соответственно

$$0'_\alpha l'_\beta \wedge l'_\gamma 0'_\delta = 1(\alpha\gamma, \alpha\delta) 0(-, \beta \vee \gamma) 1(-, \beta \vee \delta).$$

При тех же воздействиях на выходах элемента ИЛИ разбивать следует сигнал $y(t)$. Аналогично получаем

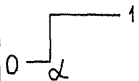
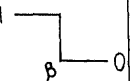

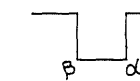
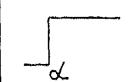

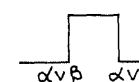

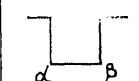
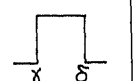
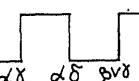
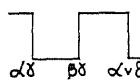
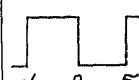
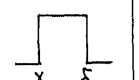
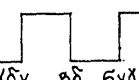
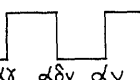
$$0'_\alpha l'_\beta \vee l'_\gamma 0'_\delta = 0(\alpha\gamma, \beta\gamma) 1(-, \alpha \vee \delta) 0(-, \beta \vee \delta).$$

а

Таблица 3.1

$x(t)$	$y(t)$	$z(t)$	
		элемент И	элемент ИЛИ
0	$a'_\alpha, a \in \{0,1\}$	0	a'_α
1	$a'_\alpha, a \in \{0,1\}$	a'_α	1
$0'_\alpha$	$0'_\beta$	$0'_\alpha \beta$	$0'_\alpha \vee \beta$
$1'_\alpha$	$1'_\beta$	$1'_\alpha \vee \beta$	$1'_\alpha \beta$
$1'_\alpha$	$0'_\beta$	$1(\alpha, \alpha \vee \beta)$	$0(\beta, \alpha \vee \beta)$
$0'_\alpha$	$1'_\beta 0'_\delta$	$1(\alpha \beta, \alpha \delta)$	$0(\alpha, \alpha \vee \beta) 1(-, \alpha \vee \delta)$
$0'_\alpha$	$0'_\beta 1'_\delta$	$0(\alpha \beta, \delta) 1(-, \alpha \vee \delta)$	$0(\alpha \vee \beta, \alpha \vee \delta)$
$1'_\alpha$	$1'_\beta 0'_\delta$	$1(\alpha \vee \beta, \alpha \vee \delta)$	$1(\alpha \beta, \delta) 0(-, \alpha \vee \delta)$
$1'_\alpha$	$0'_\beta 1'_\delta$	$1(\alpha, \alpha \vee \beta) 0(-, \alpha \vee \delta)$	$0(\alpha \beta, \alpha \delta)$

б

$x(t)$	$y(t)$	$z(t)$	
		элемент И	элемент ИЛИ
			
			
			
			

Построенные таким образом графики (табл. 3.1.б) хорошо иллюстрируют усложнение переходного процесса в комбинационной схеме от уровня к уровню.

Состязания в последовательностных схемах

В связи с проблемой состязаний в асинхронных последовательностных схемах будем рассматривать, в основном, случай изменения одного входа. Этот случай наиболее важен для дальнейшего (см. §3.5). При такой смене входных состояний (между соседними наборами) правильное логическое функционирование многотактной схемы могут нарушить статические и существенные состязания [69]. Если переход к новому состоянию схемы связан с изменением двух и более внутренних переменных, то состязания сигналов обратной связи могут оказаться критическими [69, 81]. От их исхода будет зависеть конечное состояние схемы.

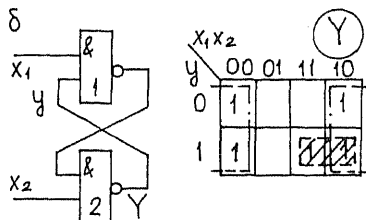
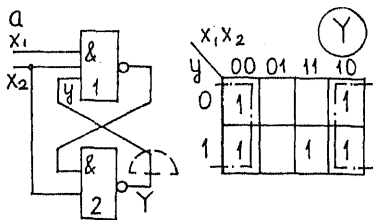
В данном разделе показываются механизмы возникновения этих состязаний. Методы их устранения даются в заключительном разделе параграфа и в §3.4.

Статические состязания могут возникнуть в случае, когда смена входных наборов не должна приводить к изменению внутренней переменной. Речь в данном случае идет о влиянии комбинационных состязаний на функционирование схем с обратными связями.

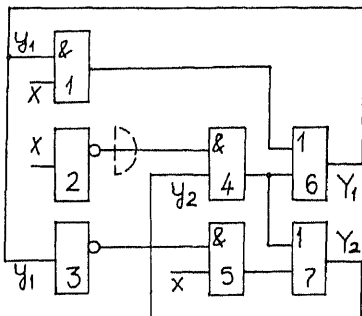
В схеме (рис. 3.9,а) $Y = x_2 x_1 x_2 y = \overline{x_2} \vee x_1 x_2 y$. Соответствующее объединение показано на карте Карно. Обозначим через Δ_1 и Δ_2 задержки элементов 1 и 2. Пусть сначала $x_1 x_2 = 10$. Тогда $Y(0) = 1$ и при смене входного набора на $x_1 x_2 = 11$ возможен переход в ошибочное состояние $Y = 0$, если $\Delta_1 > \Delta_2$. Картина аналогична наблюдаемой при организации счетного запуска в простейшем триггере из двух инверторов (см. §1.4).

Одним из методов борьбы со статическими состязаниями является включение в цепи обратной связи дополнительной задержки (рис. 3.9,а; пунктир). Опасность сбоя можно устранить в данном случае и эквивалентным преобразованием схемы (рис. 3.9,б; $Y = \overline{x_1} \vee x_1 y$) путем выполнения всех “склеек” на карте Карно, так чтобы смена входов с сохранением сигнала обратной связи происходила всегда внутри некоторого покрытия (рис. 3.9,б; штриховка). Если переход к очередному такту связан с изменением нескольких входных сигналов либо на переходе меняется несколько внутренних переменных (при постоянстве рассматриваемой), то статические комбинационные состязания могут быть функциональными. При этом для устранения возможных ошибок в работе последовательностной схемы остается использовать лишь элементы задержки.

Существенные состязания имеют место в случае, когда передача изменения внутренней переменной (сигнала обратной связи) к некоторому элементу структуры происходит быстрее, чем передача



в



г

k	μ	x	y	Вых. элемент.						
			y_{12}	1	2	3	4	5	6	7
1		0	00	0	1	1	0	0	0	0
2	1	1	00	0	1	1	0	1	0	0
	2	1	00	0	1	1	0	1	0	1
	3	1	01	0	1	1	1	1	0	1
	4	1	01	0	0	1	1	1	1	1
	5	1	11	1	0	0	0	1	1	1
	6	1	11	1	0	0	0	0	1	1
	7	1	11	1	0	0	0	0	1	0
	8	1	10	1	0	0	0	0	1	0

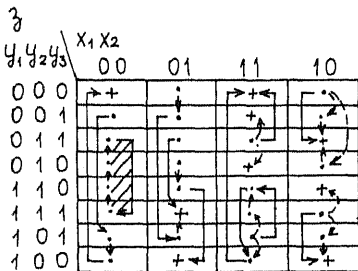
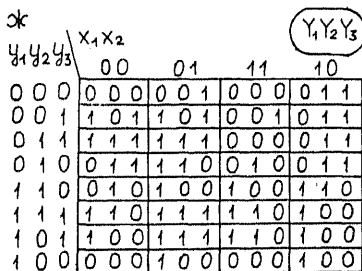
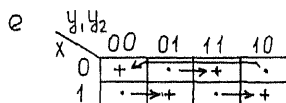
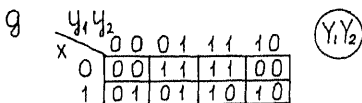


Рис. 3.9

изменения входного сигнала. Здесь вновь встречаемся со специфичным для схем с обратными связями проявлением функциональных комбинационных состязаний между x - и y -сигналами. Возможный эффект таков, как если бы схема переключалась из иного исходного внутреннего состояния.

Рассмотрим пример (рис. 3.9,в). Здесь $Y_1 = x y_1 \vee \bar{x} y_2$, $Y_2 = x \bar{y}_1 \vee \bar{x} y_2$. Соответствующая таблица состояний (рис. 3.9,д) представляет собой карту Карно, в каждой клетке которой указан определенный функциональный набор $Y_1 Y_2$. Если он совпадает с набором переменных $y_1 y_2$ для данной клетки, то состояние устойчиво. В противном случае оно неустойчиво, и итерационная процедура перемещает схему в некоторое другое состояние при неизменном входном сигнале (рис. 3.9,е; знаком “+” помечены устойчивые состояния, точкой – неустойчивые; стрелками указаны перемещения из неустойчивых состояний для нашего примера).

Согласно ПРАВИЛУ АНГЕРА [69,81] существенные состязания имеют место лишь в случае, если в таблице найдено такое исходное состояние $Y(0)$ и такой входной сигнал x , что три последовательных изменения x (при постоянстве сигналов на других входах) приводят схему к состоянию, отличному от того, в каком она оказалась после первого изменения x . Именно это и наблюдается в нашем примере (рис. 3.9,е).

Конкретизируем особенности переходных процессов в схеме (рис. 3.9,в; факт повышенной инерционности элемента 2 отмечен введением условной задержки – пунктир). Пусть задержки всех элементов, кроме второго, одинаковы и равны Δt . В исходном состоянии $x = 0$ и $y_1 y_2 = 00$. Результаты итерационного моделирования по микротакам показывают, что при смене входного сигнала на $x = 1$ правильная комбинация $y_1 y_2 = 01$ устанавливается в конечном итоге лишь в случае $\Delta t_1 = \Delta t$ или $2\Delta t$. Если $\Delta t_2 = 3\Delta t$, возникает колебательный процесс $y_1 y_2 = 00 \rightarrow 11 \rightarrow 00 \rightarrow \dots$. При $\Delta t_2 = 4\Delta t$ (рис. 3.9,г) и более имеет место ошибочный переход в состояние $y_1 y_2 = 10$. Причина тому – появление кратковременного ложного сигнала 1 на выходе элемента 4, к которому изменение y_2 передается быстрее, чем изменение x .

Критические состязания выявляются непосредственно по таблице состояний. Они имеют место, когда содержимое клетки отличается от соответствующего ей набора внутренних переменных двумя и более компонентами, так что возможен переход от данного неустойчивого в разные устойчивые состояния. В примере (рис. 3.9,ж, з; для полноты картины в столбце $x_1 x_2 = 00$ выделен штриховкой колебательный цикл) [69] критические состязания возникают в столбцах $x_1 x_2 = 11$ (верх) и 10

(низ). Состояния, вызванные одновременным изменением нескольких внутренних переменных, могут оказаться и не критическими, если конечное устойчивое состояние единственно, — столбцы $x_1 x_2 = 11$ (низ) и 10 (верх). Такие состояния влияют лишь на характер протекания и длительность переходного процесса. Критические состояния устраняются на этапе кодирования состояний автомата (см. §3.4).

Аналитическое исследование

Одной из задач анализа динамики переключения многотактных асинхронных схем является определение условий на задержки элементов, при выполнении которых реакция схемы на заданную смену входных наборов имеет ту или иную форму. Искомые условия находят [84] как результат решения систем логических уравнений относительно временных процессов с использованием операций бесконечнозначной логики. При этом форма входных и выходных процессов считается известной с точностью до моментов переключений.

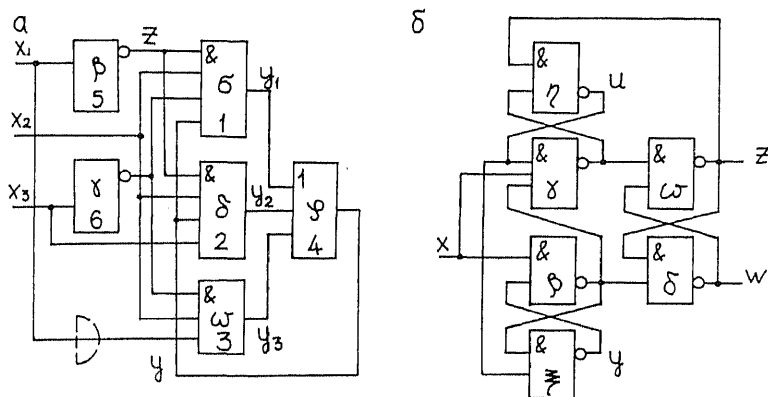


Рис. 3.10

В качестве примера выполним анализ для схемы (рис. 3.10,а; β , γ , δ , ... — задержки соответствующих элементов) [84]. Пусть $X_1(t) = 0'_{\alpha}$, $X_2(t) = 1$, $X_3(t) = 0$. Первоначально $X_1 X_2 X_3 = 110$, $Y = 1$.

Из схемы:

$$\{[\overline{X_1(t)}]_{\beta} \wedge X_2(t) \wedge \overline{X_3(t)}_{\gamma} \wedge Y(t)]_{\sigma} \vee [\overline{X_1(t)}]_{\beta} \wedge X_2(t) \wedge X_3(t) \wedge Y(t)]_{\delta} \vee \\ \vee [X_1(t) \wedge X_2(t) \wedge \overline{X_3(t)}_{\gamma}]_{\omega}\}_{\varphi} = Y(t).$$

Правильное конечное состояние $y = 1$.

Найдем условие отсутствия ложных импульсов на выходе, положив $y(t) = 1$. Подстановка дает

$$[1'_{\alpha+\beta+\sigma} \vee 0'_{\alpha+\omega}]_{\varphi} = 1.$$

Используя известные результаты (см. табл. 3.1, а), имеем

$$\{0[(\alpha+\omega), (\alpha+\omega) \vee (\alpha+\beta+\sigma)]\}_{\varphi} = 1,$$

что справедливо при $\omega \geq \beta + \sigma$. Это и есть искомое условие. Оно означает, что гонки между сигналами y_1 (пришедшим по цепи X_1 -5-1) и y_2 (поступившим от X_1 через элемент 3) должен выиграть первый из них. Поэтому в схему полезно включить дополнительную задержку (рис. 3.10, а; пунктир).

Определим теперь условие ложного переключения вида $y(t) = 0'_v$.

Исходное уравнение дает

$$[(1'_{\alpha+\beta} \wedge 0'_v)_{\sigma} \vee 0'_{\alpha+\omega}]_{\varphi} = 0'_v.$$

Согласно таблице 1.1, а получаем

$$\{0[(\alpha+\omega), (\alpha+\omega) \vee (\alpha+\beta+\sigma)] \ 1[-, (\alpha+\omega) \vee (\alpha+\beta+\sigma) \vee (v+\sigma)]\}_{\varphi} = 0'_v.$$

Отсюда имеем такие возможности:

$$\alpha + \omega = (\alpha + \omega) \vee (\alpha + \beta + \sigma); \quad (\alpha + \omega) \vee (\alpha + \beta + \sigma) \vee (v + \sigma) = v - \varphi$$

либо

$$\alpha + \omega = v - \varphi; \quad (\alpha + \omega) \vee (\alpha + \beta + \sigma) = (\alpha + \omega) \vee (\alpha + \beta + \sigma) \vee (v + \sigma).$$

Первый случай абсурден, поскольку имеет место при $\sigma \leq -\varphi$.

Для другого варианта получаем

$$(\alpha + \omega) \vee (\alpha + \beta + \sigma) \geq \alpha + \omega + \varphi + \sigma.$$

Отсюда $\beta \geq \omega + \varphi$. Иными словами, состязания на входе элемента 1 между сигналами Z (прошедшим путь X_1 -5) и Y (поступившим по цепи обратной связи X_1 -3-4) должен выиграть последний из них. При этом $y(t) = 0'_{\alpha+\omega+\varphi}$. Характерно, что установка дополнительной задержки в цепи обратной связи (рост φ) не гарантирует отсутствия ложных импульсов на выходе.

Рассмотрим в заключение широко применяемую на практике схему асинхронного Т-триггера (рис. 3.10, б; вариант использования микросхемы К155ТМ2). Покажем, что эта схема не критична к разбросу величин задержек элементов, и определим моменты изменений состояний выходов. При выборе формы искомого решения будем учитывать известные особенности функционирования такой схемы (см. §2.3). Согласно рис. 3.10, б:

$$\begin{aligned}
Y(t) &= \{[X(t) \wedge Y(t)]_{\beta} \vee \overline{U(t)}\}_{\xi}; \\
Z(t) &= (([X(t) \vee Y(t)]_{\beta} \wedge Z(t))_{\delta} \vee \{X(t) \wedge U(t) \wedge [\overline{X(t)} \vee \overline{Y(t)}]_{\beta}\}_{\gamma})_{\omega}; \\
U(t) &= ((U(t) \wedge X(t) \wedge [\overline{X(t)} \vee \overline{Y(t)}]_{\beta})_{\gamma} \vee \overline{Z(t)})_{\eta}; \\
W(t) &= \{[X(t) \wedge Y(t)]_{\beta} \vee \overline{Z(t)}\}_{\delta}.
\end{aligned}$$

Пусть

$$X(t) = 1'_{\alpha}, \quad W(t) = 0'_{\varepsilon}, \quad Z(t) = 1'_{\sigma}, \quad U(t) = 1, \quad Y(t) = 0.$$

При этом исходная система равенств последовательно дает

$$0 = 0; \quad 1'_{\sigma} = [1'_{\sigma+\delta} \vee 1'_{\alpha+\gamma}]_{\omega} = 1'_{[(\sigma+\delta) \wedge (\alpha+\gamma)] + \omega};$$

$$1 = [1'_{\alpha+\gamma} \vee 0'_{\sigma}]_{\eta} = \{0[\sigma, (\alpha+\gamma) \vee \sigma]\}_{\eta}; \quad 0'_{\varepsilon} = 0'_{\sigma+\delta}.$$

Отсюда

$$\sigma = [(\sigma+\delta) \wedge (\alpha+\gamma)] + \omega, \quad \sigma \geq \alpha+\gamma, \quad \varepsilon = \sigma+\delta.$$

Соответственно $\sigma = \alpha+\gamma+\omega$ и максимальная длительность переходного процесса $\tau_{\max} = \varepsilon = \alpha+\gamma+\omega+\delta$.

Поскольку схема по сути двухступенчатая, то ее переключение при $X(t) = 0'_{\alpha}$ происходит заведомо правильно, и анализ этого случая легко выполнить непосредственно по схеме.

Пусть теперь

$$X(t) = 1'_{\alpha}, \quad W(t) = 1'_{\varepsilon}, \quad Z(t) = 0'_{\sigma}, \quad U(t) = 1'_{\lambda}, \quad Y(t) = 1.$$

Исходная система равенств дает

$$\begin{aligned}
1 &= [1'_{\alpha+\beta} \vee 0'_{\lambda}]_{\xi} = \{0[\lambda, (\alpha+\beta) \vee \lambda]\}_{\xi}; \\
0'_{\sigma} &= \{[0'_{\alpha+\beta} \wedge 0'_{\sigma}]_{\delta} \vee [1'_{\alpha} \wedge 1'_{\lambda} \wedge 0'_{\alpha+\beta}]_{\gamma}\}_{\omega} = \\
&= \{0'_{[(\alpha+\beta) \wedge \sigma] + \delta} \vee 1[(\alpha \vee \lambda) + \gamma, (\alpha \vee \lambda \vee (\alpha+\beta)) + \gamma]\}_{\omega}; \\
1'_{\lambda} &= 1'_{\sigma+\eta}; \quad 1'_{\varepsilon} = [1'_{\alpha+\beta} \vee 1'_{\sigma}]_{\delta} = 1'_{[(\alpha+\beta) \wedge \sigma] + \delta}.
\end{aligned}$$

Из первого равенства следует $\lambda \geq \alpha+\beta$. Поэтому на основании других уравнений получаем

$$\sigma = [(\alpha+\beta) \wedge \sigma] + \delta + \omega = \alpha+\beta+\delta+\omega, \quad \sigma \geq \alpha+\beta;$$

$$\lambda = \sigma+\eta; \quad \varepsilon = [(\alpha+\beta) \wedge \sigma] + \delta = \alpha+\beta+\delta = \sigma - \omega.$$

Так что и здесь никаких условий на величины задержек элементов не накладывается. В данном случае $\tau_{\max} = \lambda = \alpha+\beta+\delta+\omega+\eta$.

Устранение состязаний

Комбинационные схемы. Рассмотрим случай реализации функций $f(x_1, x_2, \dots, x_n)$ в ДНФ, когда состязания между входными сигналами отсутствуют. Тогда сбои на выходе возникают только

вследствие разброса величин задержек элементов и могут быть устранены логико-структурным путем. По условию переменные на входы схемы поступают лишь в прямом виде (инверсии получаются внутри самой схемы).

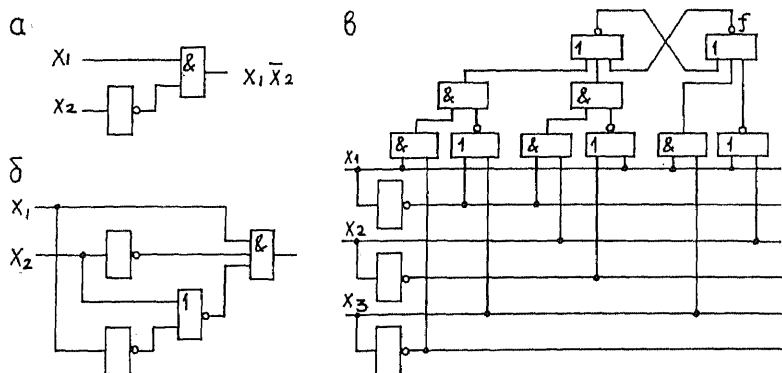


Рис. 3.11

Суть подхода заключается в следующем [80]. Ложные переключения в элементе И возможны, если одни переменные подаются на его входы в прямом, а другие – в инверсном виде. Так, в схеме (рис. 3.11,а) сбой вида 0 – 1 – 0 может иметь место на переходе $X_1X_2 = 00 \rightarrow 11$. Для устранения таких сбоев предлагается использовать “устойчивый” элемент И (рис. 3.11,б), реализующий преобразование

$$X_1^{\sigma_1} \dots X_k^{\sigma_k} = X_1^{\sigma_1} \dots X_k^{\sigma_k} X_1^{1-\sigma_1} \vee \dots \vee X_k^{1-\sigma_k},$$

где

$$X_i^{\sigma_i} = \begin{cases} \overline{X_i}, & \sigma_i = 0; \\ X_i, & \sigma_i = 1. \end{cases}$$

Поскольку состязания возникают из-за наличия инверторов, то конъюнкции вида $X_p \dots X_q$ или $\overline{X_p} \dots \overline{X_q} = \overline{X_p} \vee \dots \vee \overline{X_q}$ реализуются обычным образом.

В элементе ИЛИ возможны только сбои вида 1 – 0 – 1. Чтобы исключить их влияние, на выходе схемы устанавливается RS-триггер с прямым управлением, который не реагирует на поступление ложных нулей по его входам (см. §2.3). Функции возбуждения триггера: $S = f$, $R = \overline{f}$. Пример реализации функции $f = X_1X_3 \vee \overline{X_1}X_2$ показан на рис. 3.11,в.

Устранение существенных состязаний достигается аналогичным образом. Пусть критические состязания отсутствуют, в любой момент

времени может изменяться лишь один входной сигнал, задержки в проводах пренебрежимо малы, переменные X_i подаются на входы схемы только в прямом виде. Рассматриваемый подход [81]

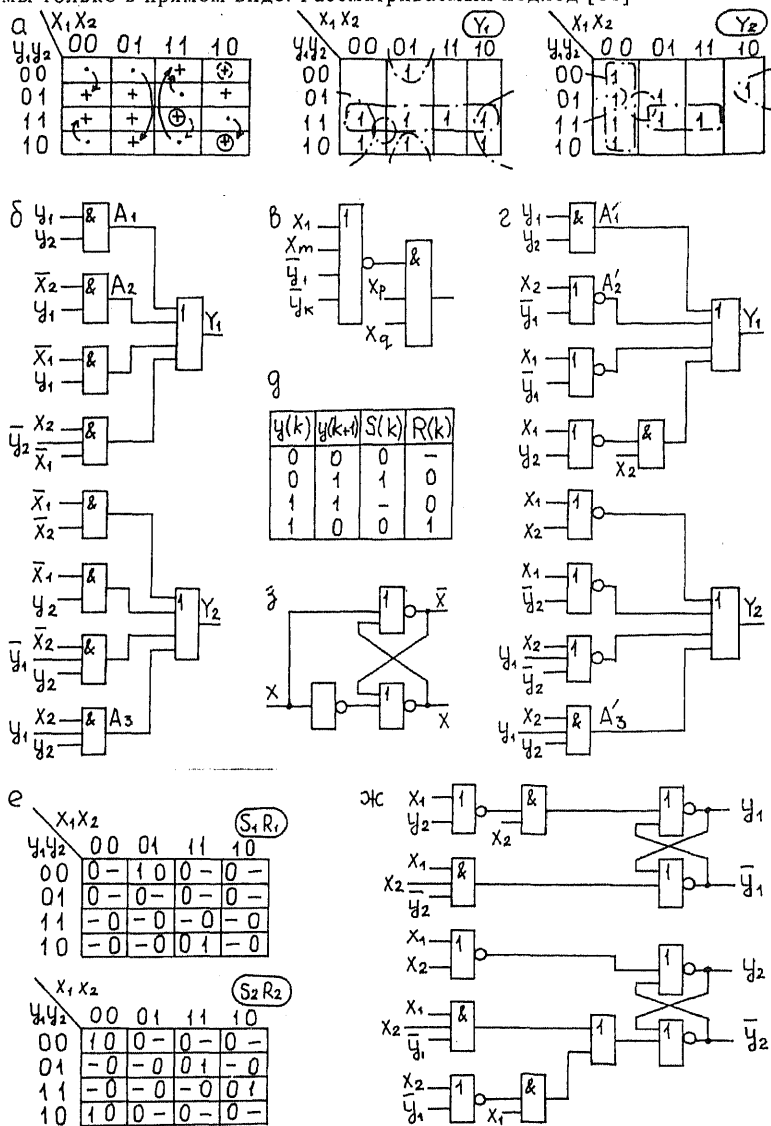


Рис. 3.12

проиллюстрируем на примере схемы (рис. 3.12,б) с существенными состязаниями (рис. 3.12, а).

Пусть схема находится в устойчивом полном состоянии $X_1X_2Y_1Y_2=1111$ и переменная X_2 меняется из 1 в 0. Тогда выход элемента A_3 устанавливается в 0. Если задержка инвертора для получения $\overline{X_2}$ достаточно велика, то изменение внутренней переменной Y_2 может достигнуть входа элемента A_1 раньше, чем станет равным 1 сигнал $\overline{X_2}$ на входе элемента A_2 . При этом изменение Y_2 проявится в узле Y_1 раньше, чем изменение X_2 . Схема ведет себя так, как если бы ее состояние менялось с IIII на III0 (рис. 3.12, а; пунктирный переход). В конечном итоге схема придет в состояние I000 (рис. 3.12,а; пунктир) вместо I0I0.

Чтобы избавиться от неверного функционирования, заменим каждый элемент И логической схемой, реализующей ту же функцию, так чтобы X-входы не содержали $\overline{X_i}$, а изменения у-входов проявлялись в Y-полюсах позже изменений X-входов. Эти условия могут быть удовлетворены при использовании так называемой [80] ИЛИ-НЕ/И-парной факторизации:

$$\overline{X_1} \dots \overline{X_m} X_p \dots X_q Y_1 \dots Y_k = \overline{X_1} \vee \dots \vee \overline{X_m} \vee \overline{Y_1} \vee \dots \vee \overline{Y_k} X_p \dots X_q.$$

Ей отвечает составной элемент (рис. 3.12,в), применение которого дает схему (рис. 3.12,г). В этой схеме на рассматриваемом переходе все благополучно, если задержки элементов первого уровня примерно одинаковы. Однако в случае, когда задержка элемента A'_2 сравнительно велика, имеем прежний вариант функционирования. Так что предотвратив нарушение на одном уровне, мы перенесли его на другой.

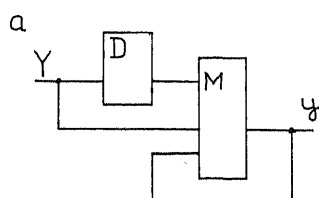
С аналогичной ситуацией мы уже встречались в комбинационных схемах. Как и там, из затруднения можно выйти, если для формирования сигналов внутренних переменных использовать RS-триггеры с прямым управлением. Функции S и R находятся по таблицам возбуждений (рис. 3.12,е), которые получаются из таблиц состояний (рис. 3.12,а) согласно правилу (рис. 3.12,д). В данном случае

$$\begin{aligned} S_1 &= \overline{X_1} X_2 \overline{Y_2}; & R_1 &= X_1 X_2 \overline{Y_2}; \\ S_2 &= \overline{X_1} \overline{X_2}; & R_2 &= X_1 X_2 \overline{Y_1} \vee X_1 \overline{X_2} Y_1. \end{aligned}$$

Окончательно имеем реализацию рис. 3.12,ж. Заметим, что при использовании рассмотренного метода не обязательно реализовывать все простые импликанты, поскольку не надо бороться с 1-состязаниями.

Необходимость в факторизации отпадает, если для получения парафазных сигналов на входах применены асинхронные D-триггеры на элементах ИЛИ-НЕ (рис. 3.12,з) [80]. Тогда задерживаются только входные изменения из 0 в 1 (как для X , так и для \bar{X}). Поэтому единственно возможный вид сбоя 0 – 1 – 0 для элементов И отсутствует. В остальном подход остается прежним. В данном случае вместо элементов И, реализующих импликанты функции возбуждения, и выходных триггеров на элементах ИЛИ – НЕ можно использовать триггеры на элементах И – ИЛИ – НЕ, что составляет определенные удобства (см. §2.2).

Реализации с элементами задержки [81]. При отсутствии критических состязаний проблема состязаний в целом решается



δ	x	D	i	$y_1 y_2 y_3$
(1)	00	2	00	0 0 0
3	01	(2)	00	0 0 1
(3)	01	4	01	0 1 1
5	10	(4)	01	0 1 0
(5)	10	6	10	1 1 0
7	11	(6)	10	1 1 1
(7)	11	8	11	1 0 1
1	00	(8)	11	1 0 0

б

	00	01	$x_1 x_2$	11	10	$y_1 y_2$
(1), 0	2, 1	(3), 0	4, 1	0 0		
5, 1	(2), 1	(6), 0	(7), 0	0 1		
(5), 1	(8), 0	9, 0	(10), 0	1 1		
1, 0	8, 0	(9), 0	(4), 1	1 0		

2				$U_1 U_2 U_3 U_4$		
	0000	1000	0100	0010	0001	
(1), -	(1), 0	2, 1	(3), 0	4, 1		
(12), -	5, 1	(2), 1	(6), 0	9, 1		
(13), -	(5), 1	(8), 0	9, 0	(10), 0		
(14), -	1, 0	8, 0	(9), 0	(4), 1		

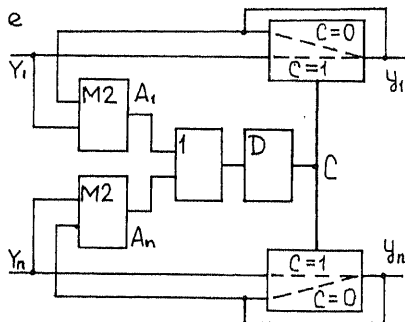
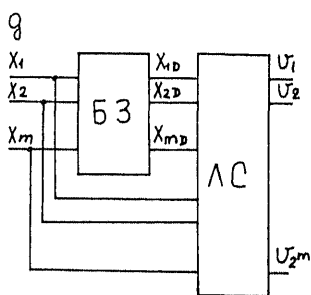


Рис. 3.13

введением в цепи обратной связи задержки D достаточной величины. Будем различать задержку совершенную, которая преобразует входной сигнал $Y = f(t)$ в выходной сигнал $Y = f(t - D)$, и инерциальную, которая выполняет функцию "чистой" задержки лишь в случае, если за время D не происходит нового изменения Y . Для одной из возможных реализаций инерциальной задержки (рис. 3.13,а) D — элемент совершенной задержки, M — мажоритарный элемент. Входные импульсы длительностью меньше D на выход не проходят, если временной промежуток между соседними импульсами не менее D . В первом приближении в качестве элементов инерциальной задержки можно использовать линии задержки промышленного изготовления.

Пусть элементы задержки инерциального типа включены в каждую ветвь обратной связи и в каждый выход. По условию критические состязания в схеме отсутствуют. Величины d_M и d_m — соответственно максимальный и минимальный интервалы времени, необходимые для получения реакции комбинационной части схемы на любое изменение входного набора. Тогда при отсутствии состязаний между входными сигналами выбор задержки D любого элемента задержки из условия $D \geq d_M - d_m$ гарантирует правильное функционирование схемы.

Действительно, из-за комбинационных состязаний входное изменение может вызвать появление на некоторых Z - и Y -выходах совокупностей ложных импульсов, которые будут отфильтрованы элементами инерциальной задержки. Изменение внутреннего состояния будет передаваться на y -входы только после того, как на всех Y -выходах проявилось входное изменение (осуществлен переход в столбец таблицы, отмеченный новым входным набором). Тем самым устраняется влияние существенных состязаний. Спустя время D по окончании последнего y — изменения может поступить новый входной набор.

Если комбинационные состязания отсутствуют, то инерциальные задержки можно заменить на совершенные, а задержки на выходах исключить. Детальный анализ таблицы переходов позволяет минимизировать число элементов задержки. Так, для таблицы (рис. 3.13,б; коды состояний заменены их номерами. При этом в каждой клетке таблицы после запятой указаны соответствующие значения выходов), хотя на каждом переходе имеют место существенные состязания, достаточно включить задержку лишь в цепь y_3 .

Коснемся реализаций, допускающих одновременное изменение нескольких входных переменных. Пусть в схеме, отвечающей таблице (рис. 3.13, в), при начальном состоянии (1) одновременно меняются

оба входа. При этом вместо правильного устойчивого состояния (3) можно получить состояние (6) или (9), если одно изменение запаздывает относительно другого либо если из-за наличия паразитных задержек эти изменения проявляются в некоторых узлах схемы как неодновременные.

Пусть D – задержка петли обратной связи, и ошибочные сигналы, соответствующие неустойчивым состояниям 2 или 4, сохраняются в узлах Y_1 или Y_2 в течение времени $d_e > D$. Тогда схема никогда не достигнет правильного состояния (3). Если в петле обратной связи установлены элементы совершенной задержки, для которых $D > d_e$, то будут происходить колебания между устойчивыми состояниями (3) и (6) либо (3) и (9), пока не изменится входной набор. Поэтому в цепях обратной связи следует ставить элементы инерциальной задержки. Чтобы исключить появление ложных импульсов на выходе, аналогичные элементы надо ввести в каждую выходную ветвь.

Если таблица переходов содержит сравнительно много строк и мало столбцов, то более удобным оказывается использование “блока источника” – схемы, которая предварительно обрабатывает входные сигналы. Идея метода заключается в следующем. Добавляем к заданной таблице (рис. 3.13,в) один устойчивый столбец (рис. 3.13,г) и заново кодируем входные состояния унитарным кодом, приписав нулевой набор дополнительному столбцу. Входы схемы подключаем к блоку источника, который в установившемся состоянии воспроизводит сигнал 1 только на одном своем выходе.

Сразу после любого изменения X -входов на выходе блока источника появляется нулевой V -набор, который сохраняется в течение времени D задержки блока. По окончании этого интервала на выходе блока имеем 1 в нужной позиции. Существенных состязаний в данном случае не возникает, так как каждый переход преобразуется в последовательность двух переходов, один из которых начинается, а другой заканчивается в устойчивом столбце.

В одной из реализаций блока источника (рис. 3.13,д) логическая схема ЛС реализует по своим выходам функции $V_i = \bigwedge_{j=1}^m X_i^{\sigma_j} X_{jD}^{\sigma_j}$, где

$\bigwedge_{j=1}^m X_i^{\sigma_j} = 1$ на i -м входном наборе. Пример построения блока задержки БЗ с одним элементом задержки показан на рис. 3.13,е. На выходах этого блока (схемы) установлены мультиплексоры, которые реализуют функцию $Y_i = Y_i \bar{C} \vee Y_i C$.

Схема обладает лишь одним устойчивым состоянием, когда все $Y_i = Y_i$ (если хотя бы для одного i выход $Y_i \neq Y_i$, то $C = 1$ и происходит нужная установка выхода). При этом $C = 0$. На выходе A_i реализуется

сумма по модулю 2 значений Y_i и Y_i . Нужная установка выходов происходит через время D после смены входного набора. По истечении еще одного интервала D все мультиплексоры будут заблокированы (сигнал C изменится с 1 на 0). В схеме допустимо одновременное изменение любого числа входов. Пусть самый “быстрый” из них меняет свое состояние при $t = 0$. Тогда в интервале $D < t < 2D$ задержка в схеме отсутствует, т.е. изменений входов в этом интервале быть не должно.

§3.4. ЭЛЕМЕНТЫ СИНТЕЗА ЦИФРОВЫХ АВТОМАТОВ

При рассмотрении вопросов реализации цифровых автоматов (построения последовательностных схем) выделяют два вида технологий: асинхронные и синхронные. В первых переход от одного такта к другому происходит в момент смены входного информационного набора. Во вторых – в момент поступления очередного синхросигнала. Любой автомат допускает синхронную реализацию (возможные исключения здесь не рассматриваются), асинхронную – только некоторые (так называемые асинхронные автоматы). Понятия автомата и реализующей его схемы – это разные понятия. Их нельзя отождествлять.

В данном параграфе изучаются вопросы синтеза автоматов (не схем) как математической абстракции. Нас будет интересовать, как построить компактную таблицу переходов автомата (обычно автомат отождествляется с его таблицей) по исходному описанию функционирования проектируемого устройства, корректно заданному произвольным образом. Этот важный для практики случай требует специального рассмотрения. Смысл корректности и компактности будет пояснен далее. Познакомимся и с различными методами кодирования состояний асинхронного автомата. Такие автоматы интересны тем, что допускают реализацию без состояний (см. §3.5). Рассмотрение проводится по материалам [64,68] с указанием первоисточников.

Триада проектирования

Процесс проектирования цифрового устройства связывается триадой: исходное задание (последовательностный алфавитный оператор) – абстрактный автомат (интегрированный абстрактный образ проектируемой системы) – последовательностная схема (реализация автомата). В данном случае оператор системы задан тройкой $\{X, Z, L\}$. Здесь L – отображение $\{I_r\} \Rightarrow \{O_r\}$, $r = 1, 2, \dots$, множества

входных слов $I_r = (x^1 - \dots - x^k - \dots - x^\ell)_r$ во множество выходных $O_r = (z^1 - \dots - z^k - \dots - z^\ell)_r$. Наборы $x^k = \langle x_1 \dots x_M \rangle^k$ и $z^k = \langle z_1 \dots z_N \rangle^k$, $k \in \{1, \ell\}$, — буквы входного X и выходного Z алфавитов, x_i и $z_j \in \{0, 1\}$, k — номер такта, ℓ — длина слова.

Особенность рассматриваемого алфавитного оператора в том, что отображение L считается автоматным [87], т.е.

- L однозначно,
- L сохраняет длину слова,
- область определения L вместе с любым принадлежащим ей входным словом содержит и все начальные отрезки этого слова,
- L переводит любой начальный отрезок входного слова из области своего определения в начальный отрезок той же длины на выходе.

В силу этих условий для заданного отображения всегда существует абстрактный автомат вида [87]: $\{X, Z, S, s_0, \eta, \zeta\}$. Здесь S — множество (не обязательно конечное) внутренних состояний $s=1, 2, \dots$; $s_0 \in S$ — начальное внутреннее состояние; η и ζ — функции переходов и выходов, заданные таблицей переходов.

В дальнейшем рассматривается исключительно случай конечного (т.е. с конечным числом внутренних состояний) автомата Мили. При этом строки таблицы переходов отмечаются символами внутренних состояний s^{k-1} , а столбцы — значениями входов x^k . В каждой клетке таблицы слева обозначается следующее состояние $s^k = \eta(x^k, s^{k-1})$, через запятую справа — значение выхода $z^k = \zeta(x^k, s^{k-1})$. Вопрос о выборе начального состояния автомата обсуждается в следующем разделе.

Заметим, что мы не накладываем никаких ограничений на язык задания, т.е. на то, каким образом задано отображение L . В таких условиях, если область определения отображения бесконечна и, следовательно, длина входной последовательности не ограничена, то проблема распознавания представимости L конечным автоматом (только этот случай представляет интерес для практики) алгоритмически неразрешима [88]. Однако это не должно нас особенно волновать, если каким-то способом такой автомат все же удастся построить. Остается найти подходящий способ. Он непременно должен включать элементы эвристики. Условия автоматности отображения определяют последовательностный алфавитный оператор. Но они не содержат идеи, которая может быть воплощена в конструктивном методе. Для разработки подхода к синтезу автомата по неформальному заданию такая идея нужна.

Абстрактный автомат и последовательностная схема — две взаимосвязанные компоненты синтеза в данном случае. Автомат — это, прежде всего, метод построения интегрированного абстрактного образа синтезируемого устройства. Последовательностная схема определяется как конструктивное триединство математических методов, логико-структурных приемов и способа реализации. Этот способ задает блок-схему и особенности управления. Он принимается за основу классификации различных схем. Математические методы охватывают адаптацию таблицы переходов автомата применительно к выбранному способу реализации (принципиальность этого момента будет ясна из дальнейшего), кодирование состояний таблицы, т.е. замену $s \Rightarrow y(s) = \langle y_1 \dots y_R \rangle$, $y_q \in \{0, 1\}$, получение и минимизацию СБФ. Известный набор логико-структурных приемов достаточно обширен (см. § 3.3).

Схема читается реализуемой, если риск сбоя в ней отсутствует. Решение проблемы реализуемости связывается с поиском логико-структурных и математических методов устранения состязаний (их влияния) при неизменном способе реализации.

Отображение L назовем асинхронным, если для любых допустимых g и k из $I_r \Rightarrow O_r$ следует

$$(x^1 - \dots -_n \{x^k\} - \dots - x^\ell)_r \Rightarrow (z^1 - \dots -_n \{z^k\} - \dots - z^\ell)_r, \quad n = 1, 2, \dots,$$

т.е. n -кратное повторение k -входа вызывает такое же повторение k -выхода с сохранением соответствия в целом. Иными словами, если неизменность входа в соседних тактах ассоциируется с продолжением такта.

Можно показать [89], что асинхронным отображениям отвечают таблицы, в которых переход в каждом такте завершается устойчивым состоянием. Такие таблицы будем называть асинхронными. Для них

$$\eta(x, \eta(x, s)) = \eta(x, s); \quad (3.1)$$

$$\zeta(x, \eta(x, s)) = \zeta(x, s). \quad (3.2)$$

Подчеркнем, что понятие асинхронной таблицы не ассоциируется со способом реализации, наличием или отсутствием синхронизации.

Если заданное отображение L допускает повторение входов в соседних тактах без сохранения значений выхода, то получаемая таблица не является асинхронной. Будем называть такую таблицу синхронной, имея в виду, что она исключает асинхронную реализацию устройства (см. рис. 3.7,6). Наконец, если заданное отображение вообще не допускает повторений входов в соседних тактах, то равно естественны оба варианта таблицы — синхронный и асинхронный, ибо неиспользуемое всегда можно доопределить произвольным образом. При наличии альтернативы и повышенных требованиях к надежности

проектируемого устройства выбор асинхронного варианта таблицы переходов может оказаться предпочтительным. Причины этого будут отмечены в следующем разделе.

Синтез по неформальному заданию [90]

Абстрактная теория автоматов в ее современном виде в основном сформировалась в 50 – 60-е годы. Достаточное представление о развитых методах синтеза конечных автоматов дает уже обзор [91]. Среди этих методов по-прежнему теоретически значим метод регулярных выражений, развитый В.М. Глушковым [87]. Его практическое использование затруднено применением правила подчинения мест. Некоторое облегчение вносит графическая интерпретация метода, показанная О.П. Кузнецовым в [88] и позднее усовершенствованная А.Н. Мелиховым [92], и ее алгебраическое развитие (М.А. Спивак [93]). Менее известны другие методы: исчисления предикатов (Б.А. Трахтенброт [94]), примитивно-рекурсивных функций (А. Черч [95]), полей Галуа (Гр. Моисил [96]).

Для всех указанных методов характерно использование узкого языка заданий: регулярных выражений, предикатного и т.д. Вместе с тем, исходное описание проектируемого устройства как гипотетического продукта реализации некоторого автомата обычно не формализовано. Оно задает отображение заданного множества входных последовательностей в выходные. Если область определения отображений бесконечна, то описание необходимо рекурсивно. Любой избранный способ рекурсивного описания отображений называется языком задания [88]. Отсутствие формализации означает, что язык задания чрезмерно широк. При этом, как было уже отмечено ранее, проблемы распознавания представимости задания конечным автоматом и самого синтеза такого автомата алгоритмически неразрешимы. Сужение языка заданий снимает указанные проблемы. Однако практическое применение таких языков нередко связано с переносом затруднений “с того, кто синтезирует автомат, на того, кто выдает задание на синтез” [88].

Принципиальная возможность развития универсальных подходов к синтезу конечных автоматов по неформальному заданию связывается с введением в процедуру синтеза элементов эвристики. В работах [69,81,97] дано множество примеров использования одного из таких подходов для синтеза асинхронных автоматов. Подход в целом недетерминирован, что вызывает определенные трудности его практического применения. Известный анкетный подход [98] этих трудностей не снимает. Рассматриваемый подход не только сужает область эвристики, но и достаточно проявляет ее в объяснительном

плане. Подход ориентирован на построение универсальных диалоговых систем абстрактного синтеза.

Исходные предпосылки. Часть необходимых определений была дана ранее при рассмотрении триады проектирования. Там же было отмечено, что решение задачи синтеза будет искоматься в виде автомата Мили, заданного таблицей переходов определенного вида.

Утверждение 3.1. Если автомат Мили синтезирован таким образом, что переход в любое его состояние s^k происходит только при одном значении выхода z^k , то каждое состояние автомата может быть специфицировано некоторой группой элементов события, отмеченного соответствующим значением выхода.

Для доказательства введем ряд обозначений. Пусть $z^k = z$ — некоторое значение выхода. Выделим множество Q^z определенных полных состояний α_p^z , $p = 1 \dots t$, такое, что для любого из них функция выхода $\zeta(\alpha_p^z) = z$. Будем говорить, что множество Q^z отмечено значением выхода z . Выполнение условия $\{s^{k-1}, x^k\} \in Q^z$ означает наступления события $[87] R_z$, отмеченного тем же значением. В таком смысле Q^z представляет в автомате R_z . При этом для разных значений выхода $z \in \{a, \sigma\}$ пересечение $Q^a \cap Q^\sigma = 0$, $a \neq \sigma$.

Обозначим через $S^z = \{s_U\}$, $U = 1 \dots W \leq t$, множество различных следующих состояний $s^k = s_U$ на множестве полных состояний Q^z . Разобьем Q^z на подмножества q_U^z такие, что $\eta(\alpha_p^z) = s_U$, $\alpha_p^z \in q_U^z$. По условию и $S^a \cap S^\sigma = 0$, $a \neq \sigma$, т.е. переход автомата в любое состояние $s_U \in S^z$ также означает наступление события R_z . В этом смысле и S^z представляет R_z , но уже транзитивно: $R_z \rightarrow Q^z \rightarrow S^z$. В силу $q_U^z \rightarrow s_U$ каждое $s_U \in S^z$ может быть специфицировано некоторой группой элементов события R_z . Утверждение доказано.

Состав группы ограничим требованием, чтобы переход в любое s_U происходил только при одном изменении входа $x = \langle x_1 \dots x_M \rangle$. Например, $x_1 x_2 = 01-10$. Но каждый переход в автомате выполняется при некотором изменении входа. Неизменность входа в соседних тактах можно рассматривать как константное изменение. Поэтому указанное требование означает не более того, что полное состояние, в котором автомат оказывается после перехода в любое внутреннее состояние, всегда единственно. В данном случае фиксируется не только x^k , но и x^{k-1} . Это никак не сужает класс рассматриваемых

отображений и отвечает так называемым первичным таблицам переходов [69].

Пусть синтез автомата выполнен именно таким образом, т.е. переход в каждое его состояние происходит лишь при одном значении выхода и одном изменении входа. Тогда, если удастся каким-то способом выразить в терминах параметров задания множество состояний s^{k-1} , из которых выполняется переход в данное состояние, т.е. как-то проиндексировать изменение входа, то условия перехода будут полностью определены исходным описанием. Тем самым любое состояние выделяется (специфицируется) среди множества состояний автомата. Это анализ. Но аналогичным путем можно решить и обратную задачу, т.е. задачу синтеза. Сначала – специфицировать все состояния синтезируемого автомата согласно неформальному заданию. Затем – организовать переходы между выделенными состояниями. В дальнейшем процесс такой спецификации называется разметкой состояний, а второй этап – испытанием состояний.

В соответствии с предыдущим определим внутреннее состояние, или просто состояние автомата как объект, специфицированный кортежем $\langle var\ x, z, ИНДЕКС \rangle$. Суть разметки состоит в определении перечня спецификаций. Разметка называется полной, если этот перечень учитывает все условия задания. Атрибуты кортежей называются факторами полноты разметки групп 1, 2, 3 соответственно. Кортеж в целом не только специфицирует состояние автомата, но и определяет полное состояние, в котором автомат оказывается при переходе в данное внутреннее состояние. Это полное состояние называется состоянием разметки.

Как было отмечено ранее, атрибут ИНДЕКС параметрически учитывает множество состояний s^{k-1} , из которых выполняется переход в специфицируемое состояние. В общем случае этот атрибут – многокомпонентный вектор. Его определение как раз и вносит элементы эвристики в рассматриваемый подход. По своей сути индекс – это значение некоторых параметров (признаков), задаваемых исходным описанием непосредственно либо получаемых из него дедуктивно. Такими признаками могут быть, например, четность номера такта, кратность изменения некоторой входной переменной, проявление каких-то числовых, синтаксических и других свойств входного кода в процессе последовательных переходов на множестве букв входного алфавита. Основная трудность в данном случае – не только в определении состава индекса, но и в установлении правил изменения специфицирующих кортежей (правил следования) на этапе испытаний.

Исходное описание полагается корректным. Это означает, что получаемая из него полная разметка должна быть правильной. Разметка называется правильной, если вместе с правилами следования она обеспечивает замкнутость покрытия [81]. Иными словами, если при испытании не возникает неопределенности следующего состояния или значения выхода. В противном случае разметка по заведомо корректному заданию ошибочна и ее необходимо откорректировать.

Способ получения полной разметки перечислением всевозможных значений специфицирующих кортежей называется каноническим способом полной разметки. Получаемая при этом разметка чаще всего является избыточной. Полная разметка называется компактной, если число состояний автомата близко к минимальному.

Дальнейшей задачей этого параграфа является иллюстрация сформулированных положений на конкретных примерах и раскрытие на этой основе универсального подхода к синтезу автоматов, синхронных и асинхронных, по неформальному заданию. Считается, что оно заведомо удовлетворяет условиям автоматности и корректности. Основное внимание уделяется получению полной компактной разметки. Правила следования как таковые не формируются. Однако подразумевается, что они всегда могут быть найдены по исходному описанию. Часть примеров адаптирована из [69]. В отдельный класс выделены задания, которым отвечают автоматы с лабиринтами. Определение лабиринта несколько отличается от принятого в [88] и будет дано в соответствующем разделе. Для краткости такие задания названы заданиями с лабиринтами.

Условимся о некоторых обозначениях. Изменение x_i из 0 в 1 показывается как $x_i \uparrow$, а из 1 в 0 – как $x_i \downarrow$. Запись $x_i \updownarrow$ говорит о произвольном изменении x_i . Под $x_i \updownarrow$ подразумевается двукратное изменение x_i в соседних тактах. Если значение x_i безразлично, то в позиции x_i ставится прочерк. Условие $x_1 x_2 = -0$ означает действие входного слова длины 1 (статическая разметка). Но иногда по контексту та же запись допускает любое изменение x_1 , включая константное. Запись $x_1 x_2 = \uparrow 0$ говорит о действии входного слова 00 - 10 длины 2 (динамическая разметка). Состояния разметки, т.е. полные состояния перехода в специфицируемые состояния, в заполненных асинхронных таблицах выделяются круглыми скобками.

Рассматриваемый подход к синтезу автоматов по неформальному заданию формулируется следующим образом.

1. Выполняется полная разметка состояний автомата. При этом для каждого состояния справа от синтезируемой таблицы переходов

указывается специфицирующий его кортеж согласно исходному описанию. Одновременно в асинхронном варианте определяются значения функций переходов и выходов для состояний разметки (в данном случае эти состояния устойчивы). В синхронном варианте указанные значения изначально не определены. Поэтому в соответствующие клетки таблицы ставятся прочерки. Они доопределяются при испытании состояний.

2. Проводятся испытания состояний разметки на допустимые изменения входов. Получаемые при этом переходы определяются введенной разметкой и правилами следования согласно заданию. Одновременно проверяется правильность разметки. При необходимости разметка корректируется. Испытания повторяются.

3. Осуществляется переход к полной компактной разметке. При этом могут быть использованы как развитые способы минимизации [81], так и специальные приемы, рассматриваемые далее.

В случае так называемых определенных событий [83, 91, 99] выход зависит только от заключительного отрезка входного слова длины не более q . Каждое значение выхода z отмечает некоторую конечную совокупность A_z таких отрезков. Поэтому множество $\{A_z\}$, где z принимает всевозможные значения, является решением задачи полной разметки каноническим способом. В данном случае специфицирующий кортеж представляет собой совокупность значений двух атрибутов – выхода z и элемента A_z . Однако этот кортеж можно привести к установленному формату, если в качестве индекса использовать идентификатор начальных участков указанных отрезков.

Возвращаясь к вопросу о выборе начальных состояний автоматов (см. предыдущий раздел), заметим, что задание определенных событий не фиксирует значений выхода в тактах $k = 1 \dots q-1$. Поэтому, чтобы сохранить автоматность отображения в целом, надо либо специально оговорить в исходном задании реакцию выхода в этих тактах, либо условно связать тот или иной выбор начального состояния среди множества состояний автомата с той или иной “предысторией” процесса. Неоднозначность выбора в последнем случае влияет на начальные участки выходных слов. Аналогичная ситуация имеет место и для произвольных отображений. Далеко не всегда рекурсивное задание однозначно определяет выбор начального состояния.

Канонический способ полной разметки поясним на таком примере. Пусть $\langle z_1 z_2 \rangle^k = \langle x_1 x_2 \rangle^{k-3}$ и при переходе к очередному такту всегда меняется значение одного (и только одного) входа. В данном случае любое из 4 состояний входа достигается 2 входными переходами. Например, к $x_1 x_2 = 01$ ведут $x_1 x_2 = \downarrow 1$ либо $0 \uparrow$. Любому

допустимому входному изменению отвечают 2 состояния выхода. Так, для $x_1x_2 = \downarrow 1$ выход $z_1z_2 = 00$ или 11 . К любому из этих состояний ведут два пути длины 4: $x_1x_2 = 00 \vee 11 - \underline{01} - 11 - 01$ либо $00 \vee 11 - \underline{10} - 11 - 01$ (подчеркнуты значения индекса пути). Разметка с учетом всех указанных факторов дает $4 \times 2 \times 2 \times 2 = 32$ состояний и является полной.

Действительно, тот же результат можно получить простым перечислением всех разрешенных входных слов длины 4, которые образуют в данном случае множество $\{A_z\}$. Пусть разметка выполнена именно таким способом. В рассматриваемом фрагменте разметки испытания размеченных состояний для первого из найденных путей дают $z_1z_2 = 01$ и для второго – 10 , что отвечает действию входных слов $01 - \underline{11} - 01 - 00 \vee 11$ и $10 - \underline{11} - 01 - 00 \vee 11$ соответственно. Но для любого из них по условию выделены свои состояния разметки.

Процесс построения компактной разметки связывается с выполнением следующих операций.

1. Исключение из условий разметки некоторых факторов или их отдельных проявлений. Если при этом разметка остается полной, то исключаемый фактор (его проявление) считается несущественным. Исключение существенного фактора (проявления) может привести к потере не только полноты, но и правильности разметки. В синхронном варианте рассмотренного задания фактор группы 2 несущественен. Поэтому для полной разметки достаточно перечислить все допустимые входные слова длины 3 (а не 4, как ранее). Таких слов всего 16, т.е. число состояний таблицы сокращается вдвое.

2. Объединение нескольких проявлений данного фактора или группы факторов. Например, изменения $x_i \uparrow$ и $x_i = 1$ (константное) могут быть объединены, если задание это допускает, общим конечным значением $x_i = 1$. Изменения $x_i \uparrow$ и $x_i \downarrow$ – в одно двустороннее $x_i \updownarrow$. Всевозможные изменения x_i , включая константные, – в одно глобальное x_i . Объединение над группой факторов выполняется как дизъюнкция проявлений группы в целом.

Поиск компактной разметки путем исключений и объединений требует разработки специальной процедуры. Но всегда можно применить канонический способ полной разметки с дальнейшей минимизацией полученной таблицы. Для уяснения сути вопроса рассмотрим ряд примеров.

Пример 3.1 (рис 3.14). Устройство с 2 входами и 2 выходами такое, что:

- 1) $x_1 \uparrow$ либо $x_2 \uparrow$ дают $z_1z_2 = 10$ или 01 соответственно;
- 2) $x_i \downarrow$ ($i = 1, 2$) либо неизменность входа сохраняют выход;

3) в каждом такте допустимо изменение лишь одного входа.

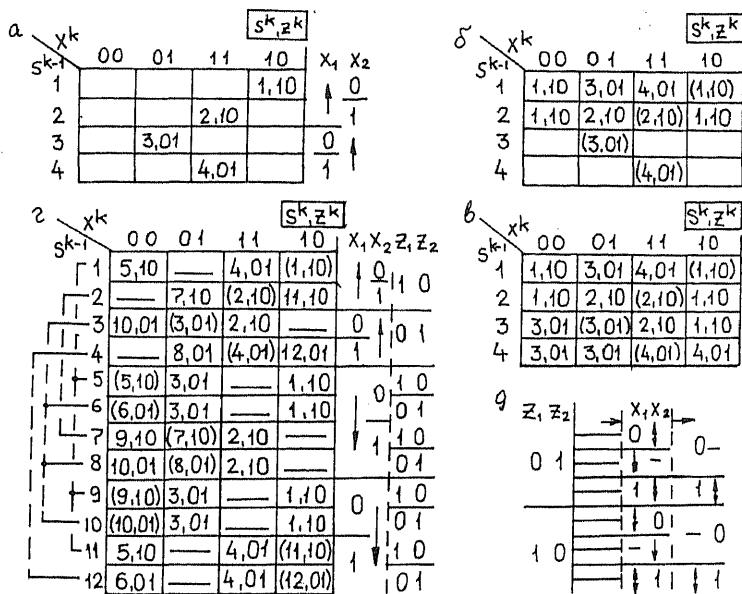


Рис. 3.14

Правило 2 в этом примере разрешает только асинхронный вариант таблицы. Факторы группы 3 отсутствуют. Согласно правилу 3 имеем всего 12 проявлений фактора группы 1. Из них 4 однозначно определяют выход по правилу 1. Поэтому, если исключить из разметки 8 других проявлений, то исключается и фактор группы 2 (рис. 3.14,а). На рис. 3.14,б представлен фрагмент процесса испытаний. Полное состояние $\{2, 11\}$ является устойчивым. Полное состояние $\{2, 01\}$ также выбирается устойчивым с $z_1 z_2 = 10$. При этом изменение входа $x_1 x_2 = 01 \leftrightarrow 11$ при $s^{k-1} = 2$ сохраняет значение выхода, как и требуется. Следующим состоянием для полных состояний $\{2, 00\}$ и $\{2, 10\}$ должно быть обязательно 1. Иначе будет нарушено правило перехода по $x_2 \uparrow$.

Показанное усложнение анализа обусловлено неполнотой компактной разметки рис. 3.14,а. Она не учитывает правило сохранения выхода по $x_1 \downarrow$ и самих значений выхода, что в данном случае существенно, хотя и остается правильной. Использование полной разметки рис. 3.14,г делает процесс испытаний вполне

рутинным. После минимизации таблицы (рис. 3.14,г; объединение состояний показано пунктиром) получаем прежний результат (рис. 3.14,в). К нему ведут объединения рис.3.14,д, сохраняющие свойство полноты разметки. Характерно, что семантика такой разметки совершенно иная при неизменном результате.

Пример 3.2 (рис. 3.15). В этом примере правила перекодировки заданы таблицами на рис. 3.15,а-в. Здесь уже возможен только синхронный вариант таблицы переходов, так как повторение входа в соседних тактах не всегда сохраняет выход. Начальное состояние единственно. Появляется фактор группы 3 – значение четности номера такта. Факторы групп 1 и 3 однозначно определяют выход. Поэтому фактор группы 2 несущественен. Объединение изменений входа с одинаковым конечным значением дает статическую разметку рис. 3.15,г. Построенная таблица (рис. 3.15,д) допускает минимизацию (рис. 3.15,е).

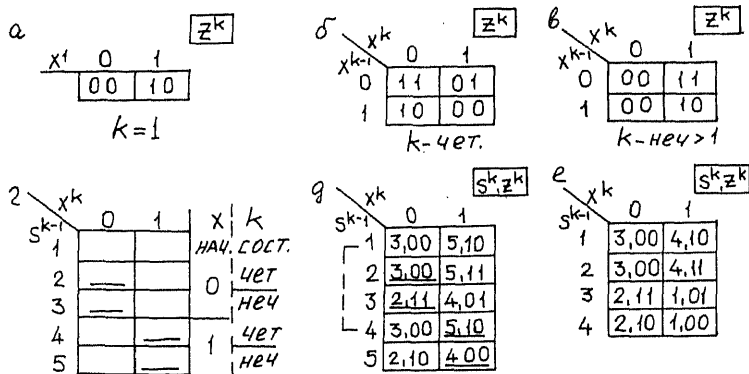


Рис. 3.15

Пример 3.3 (рис. 3.16). Устройство на 2 входа и 1 выход такое, что:

- 1) выход $z \uparrow$ при $x_1 \uparrow$ либо $x_2 \uparrow$. Иначе z неизменен;
- 2) в каждом такте допустимо изменение только одного входа;
- 3) значения входов в соседних тактах различны.

В этом примере вновь появляется фактор группы 3 – кратность изменения входа x_1 . Но теперь он несущественен, так как автоматически учитывается при испытании состояний. Напротив, фактор группы 2 оказывается существенным. Согласно правилам 2 и 3 имеем всего 8 проявлений фактора группы 1. Попытка компактной разметки синхронной таблицы на рис. 3.16,а увенчалась успехом. Путь к такой разметке в асинхронном варианте нет, если

ограничиться объединениями по фактору группы 1. Однако полученная асинхронная таблица на рис. 3.16,б минимизируется до размеров синхронной.

а

$s^{k-1} \backslash x^k$	00	01	11	10	x_1, x_2, z
1	2,1	6,1	8,1	2,1	$\downarrow 0$
2	1,0	5,0	7,0	1,0	$\downarrow 1$
3	6,1	4,1	4,1	8,1	$\downarrow 1$
4	5,0	3,0	3,0	7,0	$\downarrow 1$
5	6,1	6,1	3,0	1,0	$\downarrow 0$
6	5,0	5,0	4,1	2,1	$\downarrow 1$
7	1,0	3,0	8,1	8,1	$\downarrow 0$
8	2,1	4,1	7,0	7,0	$\downarrow 1$

б

$s^{k-1} \backslash x^k$	00	01	11	10	x_1, x_2, z
1	(1,0)	12,1	—	4,1	$\downarrow 1$
2	(2,1)	11,0	—	3,0	$\downarrow 0$
3	2,1	—	16,1	(3,0)	$\downarrow 0$
4	1,0	—	15,0	(4,1)	$\downarrow 1$
5	10,1	(5,0)	8,1	—	$\downarrow 1$
6	9,0	(6,1)	7,0	—	$\downarrow 1$
7	—	6,1	(7,0)	14,1	$\downarrow 1$
8	—	5,0	(8,1)	13,0	$\downarrow 1$
9	(9,0)	12,1	—	3,0	$\downarrow 1$
10	(10,1)	11,0	—	4,1	$\downarrow 1$
11	10,1	(11,0)	7,0	—	$\downarrow 1$
12	9,0	(12,1)	8,1	—	$\downarrow 1$
13	1,0	—	16,1	(13,0)	$\downarrow 1$
14	2,1	—	15,0	(14,1)	$\downarrow 1$
15	—	5,0	(15,0)	14,1	$\downarrow 1$
16	—	6,1	(16,1)	13,0	$\downarrow 1$

Рис. 3.16

Пример 3.4 (рис. 3.17). Устройство на 2 входа и 1 выход запоминает число поступивших импульсов X_1 , но не более 3. Каждый последующий импульс X_2 вычитает из этого числа единицу и формирует на выходе Z ответный импульс, если результат неотрицателен. По условию $X_1 X_2 \neq 11$, оба входа не могут меняться одновременно. При отсутствии входных импульсов устройство сохраняет свое состояние, выход $Z = 0$. В синхронном варианте устройства каждый импульс занимает один такт, в асинхронном может длиться несколько тактов.

Согласно заданию можно исключить из рассмотрения в процессе разметки все отрезки входных слов 00 - 00 - ... При этом остаются всевозможные итеративные цепочки вида

$$\dots \overbrace{-j_1 - \dots - j_1}^n - \overbrace{-j_2 - \dots - j_2}^m - \dots; \quad n, m \in \{0, 1, \dots\}.$$

Здесь \dot{I}_1 и \dot{I}_2 - неделимые элементы цепочек, $\dot{I}_1 = 00 - 10 - 00$ и $\dot{I}_2 = 00 - 01 - 00$. Любая цепочка может начинаться и заканчиваться как элементом \dot{I}_1 , так и элементом \dot{I}_2 .

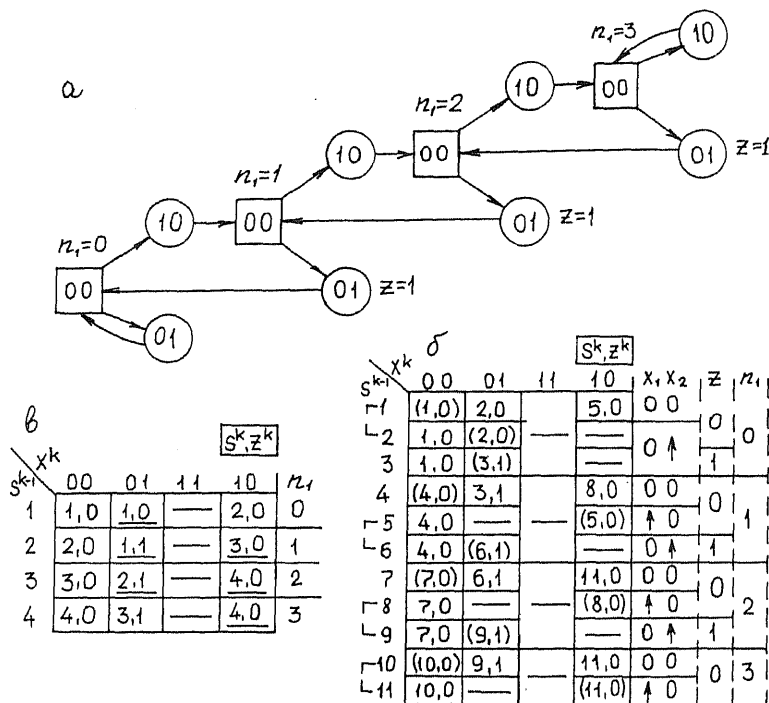


Рис. 3.17

Введем фактор накопления, индекс которого $0 \leq n_1 \leq 3$ равен числу импульсов x_1 , запоминаемому устройством. Динамику изменения n_1 и влияние n_1 на функционирование автомата поясняет граф рис. 3.17,а. При полной разметке для каждого допустимого значения n_1 следует зафиксировать 3 изменения входа. Два из них ($\uparrow 0$ и $0 \uparrow$) отвечают первым входным переходам в \dot{I}_1 и \dot{I}_2 , третье (00) - конечному состоянию входа в этих элементах. Надо учесть, что значение $n_1 = 0$ недостижимо при $x_1 x_2 = \uparrow 0$, а $n_1 = 3$ - при $x_1 x_2 = 0 \uparrow$. Кроме того, если $n_1 = 0$, то возможны 2 значения выхода при $x_1 x_2 = 0 \uparrow$: $Z = 0$ и $Z = 1$. Построенная по такой разметке асинхронная

таблица минимизируется до 7 строк (рис. 3.17,б). В синхронном варианте получаем 4 строки (рис. 3.17, в).

Проведенное рассмотрение позволяет сформулировать достаточно общий подход к построению полной компактной разметки для любой таблицы – синхронной или асинхронной:

1. Из анализа задания выявляются все факторы полноты разметки.
2. Исключаются несущественные факторы.
3. Строится дерево разметки. При этом вблизи корня ранжируются вершины со значениями факторов группы 3. Затем следуют вершины со значениями выходов. Листьям дерева отвечают изменения входов. Любой путь в дереве от корня до некоторого листа выделяет определенное состояние разметки.
4. Из построенного таким образом дерева исключают нереализуемые пути, связанные с недостижимыми вершинами (листьями).
5. Выполняются объединения на множестве листьев и ветвей, исходящих из каждой вершины, продвигаясь в порядке ранжировки вершин к корню дерева.

Существует принципиальная возможность автоматизации такой процедуры в режиме диалога. При этом по п.5 достаточно ограничиться объединением на множестве листьев, если все устойчивые состояния в любой строке асинхронной таблицы должны иметь одинаковые значения выхода. Это важный для С-асинхронных схем (см. §3.5) случай.

Задания с лабиринтами [90]

Для заданий с лабиринтами обязательно наличие фактора режима, ибо задается поведение автомата как в лабиринте, так и вне его. Эти задания характерны для так называемых устройств триггерного типа. Они интересны тем, что допускают сравнительно быстрое и однозначное построение компактной разметки для режима лабиринта.

Определим лабиринт как множество состояний с неизменным значением выхода, в котором автомат пребывает до тех пор, пока не наступит одно из определенных событий. Как только это случится, автомат выводится из лабиринта. Состояние входа в лабиринт принадлежит лабиринту. Состояние выхода из лабиринта находится вне его. И то, и другое не обязательно единственно.

Используя терминологию [69], будем называть правильными все события, которые выводят автомат из лабиринта. Назовем индексом места k_j^i порядковый номер k -места, занимаемого конечным состоянием данного входного изменения в i -отрезке правильного

j -события. Заметим, что введенное понятие отличается от известного [87] с тем же названием. В случае, когда некоторый индекс может проявиться только вместе с рядом других, в условии разметки будем учитывать наряду с основным индексом и все сопутствующие. При этом индекс места заменяется неформатированным вектором индекса $\langle k_j^i \rangle$.

Пусть, например, заданы 2 правильных события:

$\{(00-01-11), (10-11-01-11)\}; \quad \{(00-10-00-01), (00-01-10)\}.$

Первому из этих событий припишем значение $j=1$, второму — $j=2$. Аналогично определим значения i для элементов событий. Тогда для входного изменения $0 \uparrow$ имеем векторы индексов $\langle 2_1^1 \ 2_2^2 \rangle$ и $\langle 2_1^1 \ 2_2^2 \ 4_2^1 \rangle$, ибо индексы 2_1^1 и 2_2^2 взаимосвязаны, а индекс 4_2^1 проявляется только вместе с двумя предыдущими. Такой зависимости не наблюдается при изменении $1 \uparrow$. Здесь надо по отдельности учесть в процессе разметки 2 индекса места — 3_1^1 и 4_1^1 .

Достаточно очевидны следующие правила компактной разметки состояний лабиринта.

1. Множество индексов для любого константного изменения входа, помимо учета константных переходов в элементах правильных событий, включает индексы всех соответствующих I -мест, а при отсутствии таковых — нулевой индекс, который приписывается состоянию блуждания в лабиринте, если оно имеет место. Нулевая индексация характерна и для состояний входа в лабиринт, если они не отмечены никаким I -местом. Так, в прежнем примере для 00 имеем $\langle 1_1^1 \ 1_1^1 \ 1_2^2 \rangle$, для 01 — 0_j^j , 11 — 0_j^j , 10 — 1_1^1 .

2. Блуждание в лабиринте есть не что иное как потеря правильного пути, которая будет зафиксирована на этапе испытаний переходом к некоторому состоянию с нулевым индексом. Блуждание завершается с началом одного из правильных событий. Поскольку по условию ни одно из состояний с нулевым индексом не отмечено никаким I -местом, все такие состояния могут быть объединены. В рассматриваемом примере это состояния с отметками входов 01 и 11.

3. Объединению подлежат только состояния с одинаковыми векторами индексов. Как исключение могут быть объединены состояния с одинаковыми (q_i-k) -местами на совпадающих конечных участках i -отрезков длиной q_i при данном j . В том же примере объединяются состояния $\{1 \uparrow, 3_1^1\}$ и $\{1 \uparrow, 4_1^1\}$. Объединение $\{0 \uparrow, 2_1^1\}$ и $\{1 \downarrow, 3_1^1\}$ могло бы состояться только в отсутствие события 2. В действительности индекс 2_1^1 фигурирует при разметке в составе

вектора $\langle 2_1^1, 2_2^2 \rangle$, и объединить $\{0\uparrow, \langle 2_1^1, 2_2^2 \rangle\}$ с $\{\downarrow 1, 3_1^3\}$ было бы ошибкой.

а

$x_1 x_2$	$\langle k_1^1 \rangle$	z	s
0 0	$\langle 1_1^1, 1_2^2 \rangle$	0	3
0 \downarrow	3_1^1	0	5
0 1	0 \downarrow	0	1 (Bx)
0 \uparrow	2_1^1	0	4
$\downarrow \uparrow$	3_1^2	0	7
1 1	0 \downarrow	0	1 (Bx)
$\uparrow 1$	4_1^2	1	2 (Bых)
1 0	0 \downarrow	0	1
$\uparrow 0$	$\langle 4_1^1, 2_2^2 \rangle$	1	2 (Bых)
	2_1^2	0	6

б

$x_1 x_2$	$\langle k_0^1 \rangle$	z	s
0 0	$\langle 1_0^3, 1_0^4 \rangle$	1	8
0 1	0 \downarrow	1	2
$\downarrow \uparrow$	4_0^3	0	1 (Bых)
	3_0^4	1	12
1 1	0 \downarrow	1	2 (Bx)
$\uparrow 1$	4_0^4	0	1 (Bых)
$\uparrow \uparrow$	2_0^3	1	9
1 0	0 \downarrow	1	2 (Bx)
$\uparrow 0$	2_0^4	1	11
1 \downarrow	3_0^3	1	10

в

		s^k, z^k						s^k, z^k			
s^{k-1}	x^k	$\langle k_d^1 \rangle$				s^{k-1}	x^k	$\langle k_d^1 \rangle$			
		0 0	0 1	1 1	1 0			0 0	0 1	1 1	1 0
1		3, 0	1, 0	1, 0	1, 0	1		3, 0	(1, 0)	(1, 0)	(1, 0)
2		8, 1	2, 1	2, 1	2, 1	2		8, 1	(2, 1)	(2, 1)	(2, 1)
3		3, 0	4, 0	1, 0	6, 0	3		(3, 0)	4, 0	1, 0	6, 0
4		5, 0	1, 0	1, 0	1, 0	4		5, 0	(4, 0)	1, 0	1, 0
5		3, 0	4, 0	1, 0	2, 1	5		(5, 0)	4, 0	1, 0	2, 1
6		3, 0	7, 0	1, 0	1, 0	6		3, 0	7, 0	1, 0	(6, 0)
7		3, 0	1, 0	2, 1	1, 0	7		3, 0	(7, 0)	2, 1	1, 0
8		8, 1	2, 1	9, 1	11, 1	8		(8, 1)	2, 1	9, 1	11, 1
9		8, 1	2, 1	2, 1	10, 1	9		8, 1	2, 1	(9, 1)	10, 1
10		8, 1	1, 0	2, 1	2, 1	10		8, 1	1, 0	2, 1	(10, 1)
11		8, 1	12, 1	2, 1	2, 1	11		8, 1	12, 1	2, 1	(11, 1)
12		8, 1	2, 1	1, 0	2, 1	12		8, 1	(12, 1)	1, 0	2, 1

Рис. 3.18

В процессе испытаний переходы в таблице фиксируются с учетом изменений индексов мест. При этом отклонение от выбранного пути не обязательно означает начало блужданий. Оно может дать переход к некоторому I-месту, вновь проявить начальный участок уже

пройденного пути, что будет означать возврат к одному из предыдущих состояний, либо продолжить другой путь, который имеет с первым общий начальный участок.

Перейдем к рассмотрению примеров. Каждый вектор индекса, за исключением нулевого, будем показывать в процессе разметки только один раз при первом его появлении. Тем самым автоматически исключаются из условий разметки все другие изменения входов с тем же вектором индекса.

Пример 3.5 (рис. 3.18). Устройство на 2 входа и 1 выход с двумя лабиринтами такое, что:

- 1) выход из одного лабиринта является входом в другой;
- 2) для лабиринта 1 значение $z = 0$. Выход из лабиринта 1 происходит по наступлении события $\{i_1, i_2\}$, где

$$i_1 = 00 - 01 - 00 - 10, \quad i_2 = 00 - 10 - 01 - 11;$$

- 3) для лабиринта 2 значение $z = 1$. Выход из лабиринта 2 происходит по наступлении события $\{i_3, i_4\}$, где

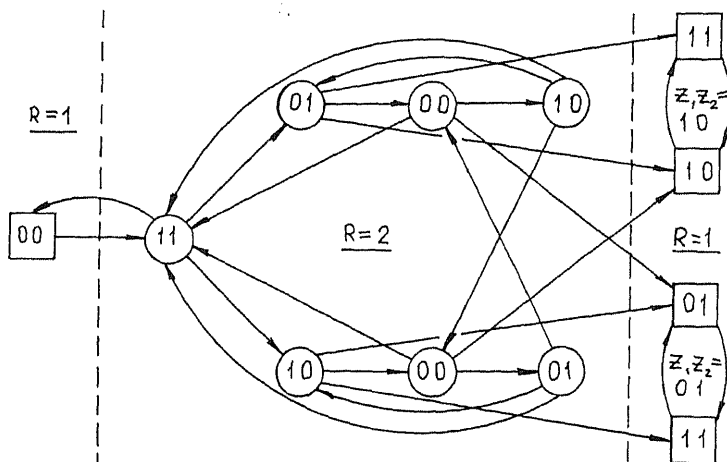
$$i_3 = 00 - 11 - 10 - 01, \quad i_4 = i_2.$$

Разметка состояний лабиринтов 1 и 2 показана на рис. 3.18,а,б соответственно. Событию $\{i_1, i_2\}$ присвоено значение $j = 1$, для $\{i_3, i_4\}$ принято $j = 0$. Номера состояний s отвечают построенным таблицам переходов рис. 3.18,в,г для синхронного и асинхронного вариантов. Все состояния входов в любой лабиринт имеют нулевой индекс и потому объединяются. Но тогда по условию 1 должны быть объединены и все состояния выходов из каждого лабиринта. В процессе испытаний переход из полного состояния $\{5, 01\}$ должен рассматриваться как результат действия второй буквы отрезка i_1 , т.е. идти в состояние 4, а не в 1. Число состояний синхронной и асинхронной таблиц одинаково.

Пример 3.6 (рис. 3.19). Устройство на 2 входа и 2 выхода такое, что:

- 1) выход $\langle z_1, z_2 \rangle$ повторяет вход $\langle x_1, x_2 \rangle$, если $x_1, x_2 \neq 11$ и найден путь из лабиринта после входного изменения $\uparrow\uparrow$;
- 2) вне лабиринта, если $x_1, x_2 = 11$, то сохраняется предыдущее значение выхода;
- 3) если $x_1, x_2 = \uparrow\uparrow$, то $z_1, z_2 = 00$. Это состояние выхода сохраняется, пока на одном из входов не проявится изменение $x_v = 1-0-1$, $v \in \{1, 2\}$, дающее установку $z_v \uparrow$. Дальнейшее функционирование устройства определяется правилами 1 и 2;
- 4) состояния входов в соседних тактах различны.

a



б

x_1, x_2	$\langle k_j \rangle$	z_1, z_2	R	s
0 0	2 ₁	0 0	2	5
0 0	2 ₂			6
0 1	1 ₂		1	1
0 1	2 ₂		2	7
1 0	3 ₂	0 1	1	2
1 0	2 ₂	0 0	2	4
1 1	1 ₂	1 0	1	3
1 1	3 ₂	0 1	2	1
1 0	1 ₁	0 0	2	10
1 0	3 ₁	1 0	1	3
1 1	1 ₁	0 0	2	9
1 1	3 ₁	1 0	1	3

б

s^{k-1}	x^k	s^k, z^k	x_1, x_2
1	0 0	1, 00	0 0
2	0 1	2, 01	-1
3	1 1	3, 10	1 -
4	1 0	4, 00	1 1
5	0 0	5, 00	0 0
6	0 1	6, 01	0 1
7	1 1	7, 10	1 1
8	1 0	8, 00	0 1
9	0 0	9, 00	1 0
10	0 1	10, 01	1 0

Рис. 3.19

Разметка состояний вне лабиринта (индекс режима $R = 1$) не вызывает трудностей. Для лабиринта ($R = 2$) имеем 2 правильных события, отмеченных значениями $z_1, z_2 = 10$ ($j=1$) и 01 ($j=2$):

$\{(1-) - (0-) - (1-)\}$ и $\{(-1) - (-0) - (-1)\}$.

Фактическое значение i несущественно. По условию 4 состояние блуждания как таковое отсутствует. Пути в лабиринте иллюстрирует рис. 3.19,а. Компактная разметка состояний лабиринта представлена на рис. 3.19,б. Согласно заданию путь 11 – 00 выводит из лабиринта. Показанное объединение других выходов обусловлено особенностями режима 1. Скобками на рис. 3.19,в выделены полные состояния асинхронной таблицы, которые остаются незаполненными в синхронном варианте. Размеры обеих таблиц одинаковы.

Таким образом, фактором группы 3 для лабиринта является вектор индекса. Значения только этого вектора определяют разметку. Факторы групп 2 и 1 в данном случае несущественны.

Обсуждение. Принципиальная особенность рассмотренного подхода состоит в том, что уже на этапе начальной спецификации внутренних состояний автомата условия перехода в каждое из них определяются полностью и одновременно для всех состояний. Это позволяет не только сразу учесть факт синхронности или асинхронности таблицы, но и сделать ее дальнейшее построение достаточно рутинным. Тем самым создаются необходимые предпосылки к созданию универсальных диалоговых систем абстрактного синтеза. Более того, для отдельных типов заданий может быть достигнута полная алгоритмизация процедуры получения компактной разметки. Пример тому – задания с лабиринтами.

В общем случае разница в размерах синхронных и асинхронных таблиц может быть значительной. Однако это не следует связывать со сравнительной оценкой сложности реализации, если требования к надежности устройства достаточно высоки. Тем более что, как установлено, асинхронность не всегда ведет к ухудшению минимизации.

Минимизация таблиц переходов [81]

Излагаемый подход к минимизации таблиц переходов применим как к синхронным, так и к асинхронным таблицам. Рассмотрение проведем сначала для синхронного случая, ибо это оказывается проще. Затем отметим особенности асинхронного.

Нахождение совместимых множеств. Метод в целом будем иллюстрировать на примере синхронной таблицы (рис. 3.20,а; прочерк означает неопределенное состояние). Для данного входа I и начального состояния s , образующих полное состояние $s - I$, через $N(s, I)$ и $z(s, I)$ обозначим соответственно следующее состояние и вырабатываемый выход.

Введем ряд определений.

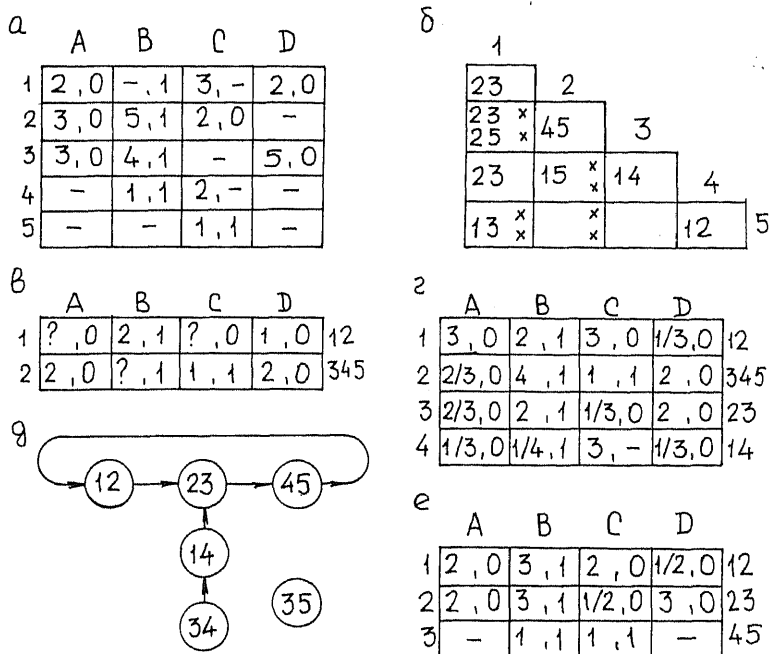


Рис. 3.20

Определение 3.1. Состояние s_A таблицы A покрывает состояние s_B таблицы B, если для всякой конечной входной последовательности выходная последовательность, получаемая по A из s_A , совпадает с выходной последовательностью, получаемой по B из s_B , всюду, где она определена.

Определение 3.2. Таблица A покрывает таблицу B, если каждое состояние в B покрывается хотя бы одним состоянием из A. В случае, когда и B покрывает A, обе таблицы эквивалентны.

Определение 3.3. Совместимыми называются состояния, которые покрываются одной и той же строкой некоторой таблицы. Множество таких состояний называется совместным множеством.

Задача минимизации таблицы переходов состоит в нахождении другой таблицы с минимальным числом строк, покрывающей исходную. Ключевым моментом в процессе минимизации является определение множеств совместимых состояний. Необходимое условие совместимости двух строк состоит в том, чтобы в тех столбцах, где оба выходных сигнала определены, они были одинаковы. Но это условие не

является достаточным. Так, в таблице (рис. 3.20,а) пара строк 1 и 3 совместимы по выходам. Однако в целом они несовместимы, поскольку несовместимы по выходам порождаемые этой парой состояния $N(1, D) = 2$ и $N(3, D) = 5$.

Процедура 3.1. Нахождение несовместимых пар состояний в таблице переходов.

1. Выписать все пары, несовместимые по выходам.
2. Приписать к ним все пары, их порождающие.
3. Повторять пункт 2, пока не перестанут появляться новые пары.

В нашем примере на шаге 1 проявляется пара 25. Повторяя операции шага 2, добавляем к списку несовместимых пар сначала пару 13, затем 15 и 24. Все другие пары состояний (12,14,23,34,35,45) совместимы.

Для облегчения процедуры строят карты пар. Столбцы и строки карты отмечены символами состояний. Каждой паре состояний однозначно отвечает определенная клетка карты. Если данная пара состояний несовместима по выходам, то в соответствующую клетку заносится символ “х”. Иначе в ij -клетку заносятся все пары, порождаемые парой ij . Два состояния, которые совместимы по выходам и не порождают других пар, совместимы. Определенная ими клетка остается незаполненной.

Процедура начинается с “х”-клеток. Все клетки, содержащие их координаты, также отмечаются знаком “х”. Исходные клетки исключаются из дальнейшего рассмотрения путем их вторичной отметки. Аналогично поступают с вновь отмеченными клетками. Процесс повторяется, пока не перестанут появляться новые отметки. Полностью отмеченная карта называется картой финальных пар. Все неотмеченные клетки в ней отвечают совместимым парам. В нашем примере процедура начинается с 25-клетки (рис. 3.20,б). Как и следовало ожидать, множество совместимых пар в данном случае – {12, 14, 23, 34, 35, 45}.

Перейдем к определению всех множеств совместимых состояний. Заметим, что если множество S совместимо, то совместимо и любое подмножество из S . Верно и обратное. Определим максимальное совместимое множество (МС-множество) для данной таблицы переходов как такое совместимое множество, которое не является подмножеством никакого другого совместимого множества.

Процедура 3.2. Нахождение МС-множеств по совокупности совместимых пар.

1. Включаем в список совместимых множеств (с-список) пары, расположенные в первом справа столбце карты финальных пар, в котором имеется по крайней мере одна клетка без “х”.

2. Движемся влево, столбец за столбцом. Пусть S_i – множество состояний, которым отвечают клетка без “х” в i -столбце. “Пересекаем” S_i с каждым членом текущего s -списка, добавляя всякий раз к этому списку множество, которое является объединением состояния i и состояний пересечения. Затем удаляем из s -списка повторяющиеся члены и те, которые содержатся в других членах. Наконец, включаем в s -список пары, образованные состоянием i и состояниями из S_i , не вошедшими ранее в список. И так для всех столбцов.

3. Окончательный s -список и I -элементные множества состояний, не содержащихся в списке, образуют искомую совокупность МС-множеств.

Для нашего примера имеем (рис. 3.20,б):

1-й шаг; $s = \{45\}$.

$S_1 = 45$; $s = \{345\}$.

$S_2 = 3$; $s = \{345, 23\}$.

$S_3 = 24$; $s = \{345, 23, 12, 14\}$.

Возникает вопрос: можно ли по любой совокупности МС-множеств, выбранной так, что она покрывает все множества состояний исходной таблицы, построить минимизированную таблицу переходов? Оказывается, что в общем случае нельзя. Так, если в рассматриваемом примере выбрать в качестве покрывающих множества 12 и 345, то придем к таблице (рис. 3.20,в), где следующие состояния в клетках 1 – А, 2 – В, 1 – С не могут быть определены, поскольку пары 23 и 14 исходной таблицы не покрываются никакой строкой новой. В данном случае необходимо использовать полную совокупность МС-множеств. В итоге получаем таблицу (рис. 3.20,г), где следующие состояния не всегда определены однозначно.

Построение минимальной таблицы. Покрывающая таблица может быть построена лишь по такой совокупности совместимых множеств, в которой 1) каждая строка исходной таблицы покрывается хотя бы одним из них; 2) совокупность “замкнута” в том смысле, что любое множество строк, порожаемое всяким множеством из этой совокупности, является подмножеством хотя бы одного множества из этой совокупности. Поскольку этим требованиям удовлетворяет совокупность всех МС-множеств, то их число является верхней границей для числа строк минимальной покрывающей таблицы. Однако часто оно превышает число строк исходной.

Задача минимизации таблиц переходов сводится теперь к нахождению замкнутой совокупности совместимых множеств (не обязательно максимальных), покрывающей все состояния и имеющей минимальное число множеств. Такую совокупность называют минимальным замкнутым покрытием.

Не существует простого и эффективного алгоритма нахождения такого покрытия в общем случае. За основу при эвристическом поиске может быть взят граф порождений одних 2-элементных совместимых множеств другими, который строится по карте финальных пар. В нем каждая совместимая пара представляется вершиной, от которой направлена дуга к порождаемой ею паре. Так, для нашего примера граф имеет вид (рис. 3.20,д). Совокупность {12,23,45} покрывает все строки исходной таблицы и является замкнутой (образует замкнутый путь на графе). Поэтому она может быть взята за основу при минимизации. В итоге получаем минимальную 3-строчную таблицу (рис. 3.20,е).

Рассмотрим еще один пример (рис. 3.21,а). Используя процедуры 3.1 и 3.2, находим совокупность МС-множеств $s = \{45789, 25789, 1258, 23789, 1238, 4569, 2569, 1256, 2369, 1236\}$. При построении графа порождений учтено: 1) если на графе имеется замкнутый цикл, q и r – вход и выход из цикла, то информация о совместимых парах, порождаемых парой q , не зависит от того, с какими вершинами цикла связаны вход и выход, и от порядка следования этих вершин; 2) если данная пара порождает другую косвенно (через другие пары) и непосредственно, то прямую связь между соответствующими вершинами в графе можно убрать, так как она не несет никакой дополнительной информации о порождениях.

Начнем поиск с множества 25, поскольку с ним связаны два цикла на графе и это множество не имеет порождений. Присоединим к нему петлю {18, 13, 38}. Объединим ее в совместимое множество 138, которое не порождает иных пар, кроме 25. Осталось покрыть состояния 4, 6, 7, 9. Поэтому шаг, связанный с выбором множества 49, не порождающего новых пар, является удачным. В итоге получаем решение из пяти строк {138, 25, 49, 6, 7}, которое удовлетворяет условиям полноты и замкнутости.

Допустимы такие попытки дальнейших объединений: {25,6} → 256, {25,7} → 257, {49, 6} → 469, {49, 7} → 479. Из них наиболее удачна последняя, ибо она связана с порождением всего лишь двух новых множеств: 126 (петля {12, 26, 16}) и 23. Но множество 126 покрывает строку 6. Так что выполненное объединение вновь дает 5-элементное покрытие {138, 25, 479, 126, 23}.

Попытаемся теперь объединить {138,23} → 1238. При этом порождается множество 56. Новое покрытие {1238, 25, 479, 126, 56} минимизируется до {126,479,1238,256}, поскольку {25, 56} объединяются в 256 без последствий. Полученное решение из четырех строк является минимальным. Во всяком случае 2-строчной таблицы (единственная возможность – {1236, 45789}) не существует. Итоговая минимизированная таблица переходов имеет вид (рис. 3.21,в).

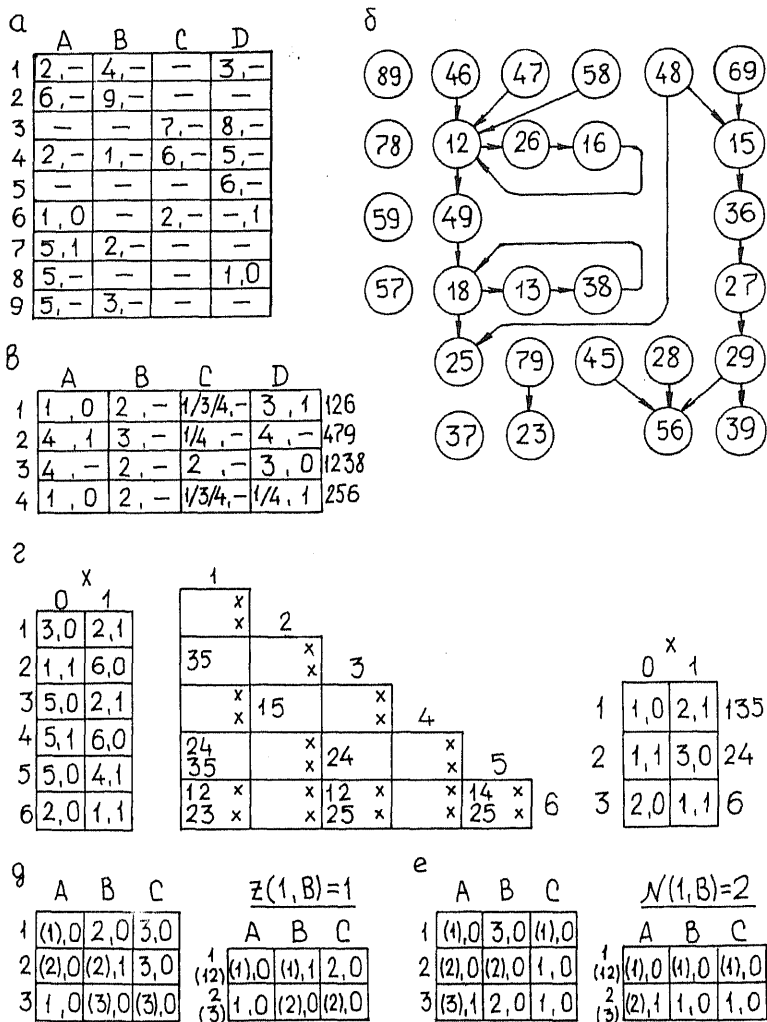


Рис. 3.21

Создание эффективного алгоритма минимизации оказывается возможным для полностью определенных таблиц. Здесь отношения покрываемости и совместимости состояний становятся отношениями эквивалентности. Это означает, что множество состояний такой

таблицы можно разбить на взаимонепересекающиеся подмножества, все состояния каждого из которых эквивалентны. Такие подмножества являются МС-множествами. Их совокупность образует единственное минимальное замкнутое покрытие. Оно дает решение с минимальным числом строк, которое единственно с точностью до переобозначения строк.

Процедура 3.3. Минимизация полностью определенных таблиц.

1. Найти 2-элементные совместимые множества, как и в процедуре 3.1.

2. Найти совокупность МС-множеств.

2.1. В качестве первого МС-множества выписать множество, содержащее строку 1 и все совместимые с ней состояния, отмечающие клетки без "х" столбца 1 карты финальных пар.

2.2. Повторяем пункт 2.1 для столбцов 2, 3 и так далее, пока все состояния не будут входить в какое-либо из МС-множеств.

3. По замкнутому покрытию, содержащему полученные МС-множества, построить минимизированную таблицу переходов обычным образом.

Эту процедуру иллюстрирует пример (рис. 3.21,г).

Особенности асинхронного случая. При рассмотрении асинхронных таблиц учитывается лишь смена состояний выходов безотносительно к какой-либо шкале времени. Ограничимся наиболее простым и важным для практики случаем ОИВ-функции (с однократным изменением выходных сигналов на любом переходе).

Процедура 3.4. Преобразование ОИВ-таблиц в стандартную форму.

Пусть u – неустойчивое состояние в столбце I , а s – устойчивое состояние, достижимое из u при неизменном входе I . Тогда

1) положить $N(u, I) = s$;

2) положить $z(u, I) = z(s, I)$.

Использование этой процедуры при фактически неизменном функционировании автомата создает дополнительные возможности минимизации (рис. 3.21,д,е), которая проводится с применением описанных ранее процедур к стандартной форме исходной таблицы. Заметим, что в рассмотренном подходе к синтезу автомата получается именно такая форма.

Кодирование состояний [81]

Противогоночное кодирование состояний автомата возможно только для асинхронных таблиц. Среди известного многообразия методов [69, 70, 80, 81, 86] выделяются основные.

Некоторые подходы. В общем случае задача кодирования из условия отсутствия критических состязаний не может быть решена, если каждой строке приписывается единственное у-состояние и любой переход между строками выполняется непосредственно (минуя другие строки). В связи с этим можно выделить следующие два подхода.

1. Кодирование со связанными строчными множествами.

2. Кодирование с совместным использованием строк.

Определим связанное строчное множество R_i как множество у-состояний, приписанных строке i таблицы переходов, такое что

- никакое у-состояние не входит более чем в одно множество;
- когда схема находится в у-состоянии из R_i и входом является I_j , выходом будет $z(i, I_j)$;
- если s и t – у-состояния данного R_i , то между ними существует “путь” через ряд попарно соседних состояний в R_i ;
- если в таблице имеется обязательный переход от строки i к строке k , то множества R_i и R_k – соседние в том смысле, что некоторое состояние из R_i является соседним некоторому состоянию из R_k .

Так, в примере (рис. 3.22,а) задача кодирования тремя у-переменными решается введением 2-элементных множеств R_1 и R_4 , что дает кодированную таблицу (рис. 3.22,б). В общем случае метод требует введения чрезмерного числа внутренних переменных.

Кодирование с совместным использованием строк в этом смысле более эффективно. С каждой строкой будем связывать теперь единственное у-состояние. Введем промежуточные состояния, которые используем для организации переходов между строками, у-состояния которых не являются соседними. При этом одно и то же промежуточное состояние может “развязывать” переходы между разными парами строк. По определению каждому устойчивому состоянию q – I отвечает множество предшественников, содержащее все те строки, которые в столбце I имеют q в качестве следующего состояния.

Иллюстрацию метода дадим на конкретном примере (рис. 3.22,в). Можно показать, что в данном случае не существует варианта кодирования тремя переменными, основанного на строчных множествах. Для этого достаточно рассмотреть совокупность переходов 1 – 2, 1 – 4, 1 – 5, 2 – 5 и 4 – 5, полагая $R_i = \{I, Ia\}$. При совместном же использовании строк такое решение найти можно.

Выпишем множества предшественников по столбцам (одноэлементные множества опущены).

A: (2, 1), (3, 4, 6) → (4, 6), если принять $N(3, A) = 4$.

B: (3, 4), (5, 1), (6, 7).

C: (1, 4), (2, 5), (7, 3).

D: (1, 6), (4, 5), (7, 2).

По условию (три у-переменных) можно ввести лишь одну дополнительную строку α . Поскольку строка I принадлежит четырём множествам предшественников, ее состояние должно быть соседним с α (рис. 3.22,в). Кодированная таблица имеет вид (рис. 3.22,г).

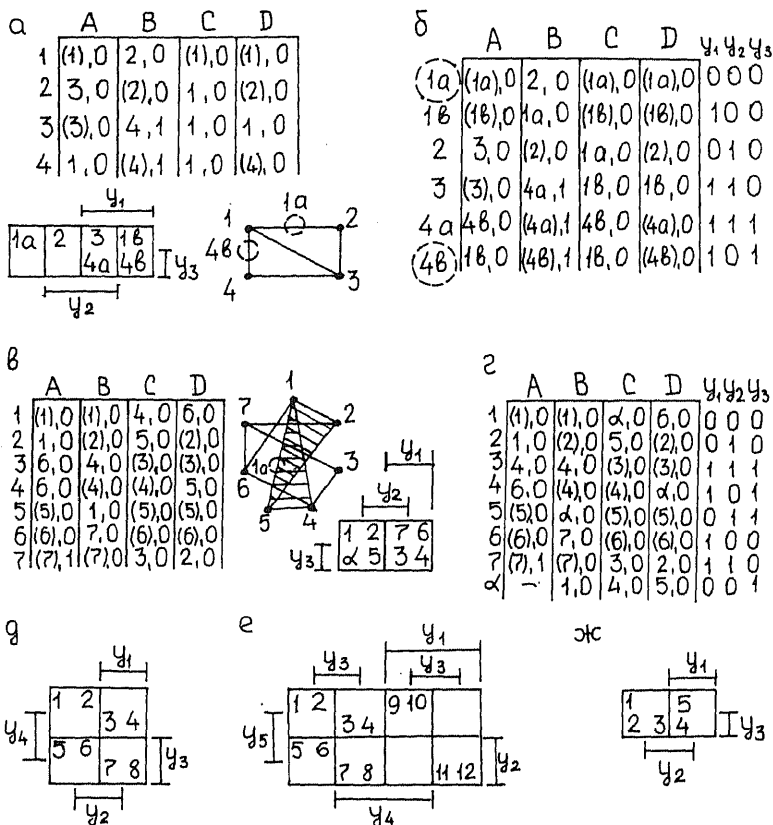


Рис. 3.22

Доказано, что таблица (рис. 3.22,д) отвечает универсальному кодированию с совместным использованием строк четырьмя переменными, пригодному для всех ОИВ-таблиц с 8 состояниями. Для каждого столбца такой таблицы можно использовать непротиворечивым образом 8 “неприписанных” состояний в качестве

совместно используемых строк и построить с их помощью переходы между всеми несоседними состояниями. При кодировании с использованием строчных множеств в данном случае требуется 5 переменных. Эвристическим путем найдено универсальное кодирование для всех ОИВ-таблиц с 12 сроками, использующее 5 переменных (рис. 3.22,е). Для 5-строчных таблиц возможно компактное кодирование с помощью трех переменных (рис. 3.22,ж).

Кодирование с однократными переходами. Если кодирование выполнено таким образом, что любой переход реализуется за один такт (возможно, через некоторые "неадресуемые" промежуточные состояния), оно называется ОТП-кодированием. Далее рассматривается случай однозначного ОТП (ООТП)-кодирования (каждой строке приписывается единственное u -состояние), при котором допускаются переходы с изменением значений нескольких внутренних переменных, но без критических состязаний.

Пусть в некотором столбце таблицы имеется переход $i \rightarrow j$. Если наборы u' и u'' отличаются более чем одной переменной, так что покрывающий их интервал $T(u', u'') = T(i, j)$ содержит не менее двух прочерков, то в течение перехода схема может пройти через любое состояние переходного множества $T(i, j)$. Поэтому во избежание критических состязаний при наличии в том же столбце другого перехода $k \rightarrow m \neq j$ множества $T(i, j)$ и $T(k, m)$ пересекаться не должны. Сформулированное требование лежит в основе рассматриваемого метода Трейси.

Пусть U и V – непересекающиеся подмножества строк таблицы переходов. Определим дихотомию (от *dichotomy* – деление класса на два противопоставляемых друг другу подкласса) как неупорядоченную пару (U, V) . Для данной пары переходов $i \rightarrow j$ и $k \rightarrow m$ ($i \neq k, j \neq m$) связанной дихотомией назовем пару (U, V) , где $U = \{i, j\}$ и $V = \{k, m\}$. Будем записывать ее как (ij, km) . В вырожденных случаях получаем дихотомии (i, km) при $i = j$, (ij, k) для $k = m$ либо (i, k) , когда $i = j$ и $k = m$. Будем говорить, что внутренняя переменная u_i покрывает дихотомию (U, V) , если $u_i = 0$ для каждого состояния из U и $u_i = 1$ для каждого состояния из V (или наоборот).

Теорема 3.4. Кодирование ОИВ-таблицы является пригодным ООТП-кодированием тогда и только тогда, когда для каждой пары переходов $i \rightarrow j$ и $k \rightarrow m$, имеющих место в одном и том же столбце, и таких что $j \neq m$, связанная дихотомия (ij, km) покрывается по крайней мере одной u -переменной в этом кодировании.

Из теоремы следует, что после получения множества дихотомий для данной ОИВ-таблицы задача состоит в таком приписывании

значений у-переменных, чтобы покрыть каждый элемент этого множества при условии минимальности числа переменных.

Принципиальная возможность минимизации вытекает, например, из того факта, что если $U \subseteq U^*$ и $V \subseteq V^*$ (при этом будем говорить, что дихотомия (U^*, V^*) покрывает дихотомию (U, V)), то (U, V) можно не включать в список дихотомий, поскольку всякая переменная, покрывающая (U^*, V^*) , должна покрывать и (U, V) . Так, если $i \rightarrow j$ есть переход в некотором столбце, то не надо рассматривать переход $j \rightarrow j$ в том же столбце. Далее, из списка может быть удалена дихотомия (i, km) , порождаемая в некотором столбце, если в другом столбце порождается дихотомия (ij, km) .

Для иллюстрации введенных понятий и наметки последующей процедуры кодирования рассмотрим таблицу (рис. 3.23, а). Все пары переходов столбца А дают непокрываемые дихотомии (1, 23), (1, 45) и (23, 45). Столбец В порождает 10 дихотомий вида (i, j) , покрываемых дихотомиями из других столбцов. Столбец С добавляет дихотомии (14, 25) и (34, 25), столбец D — дихотомию (15, 34). Так что вполне очевиден вариант ООП-кодирования 6-ю переменными.

а

	А	В	С	Д
1	(1),0	(1),0	4,0	5,0
2	3,0	(2),0	(2),0	5,0
3	(3),0	(3),0	4,0	(3),0
4	5,1	(4),0	(4),0	3,0
5	(5),1	(5),0	2,0	(5),0

б

	а	в	с	д	е	ф
ef					1	1
de				1	1	
bc		1	1			
ab	1					
ad	1			1		
ac	1		1			
af	1					1

в

	а	б	с	д	е	ф
[1,23]	x					
[23,1]		x				
[45,1]			x			
[45,23]				x		
[25,14]					x	
[25,34]						x
[15,34]						

г

	А	В	С	Д	у ₁	у ₂	у ₃
1	(1),0	(1),0	4,0	5,0	0	1	1
2	3,0	(2),0	(2),0	5,0	0	1	0
3	(3),0	(3),0	4,0	(3),0	1	1	0
4	5,1	(4),0	(4),0	3,0	1	0	1
5	(5),1	(5),0	2,0	(5),0	0	0	0
α ₁	—	—	4,0	3,0	1	1	1
α ₂	5,1	—	4,0	5,0	0	0	1
α ₃	5,1	—	4,0	3,0	1	0	0

Рис. 3.23

Однако возможна дальнейшая минимизация, поскольку в найденном списке имеются совместимые пары дихотомий, которые могут быть покрыты одной у-переменной. Например, пары (1, 45) и (23, 45), (14, 25) и (34, 25). Для каждой такой пары можно построить

покрывающую их дихотомию (дихотомия (134, 25) для пары (14, 25) и (34, 25)). Задача сводится к определению минимальной совокупности дихотомий, такой что, каждая дихотомия из исходного списка покрывается по крайней мере одной дихотомией из этой совокупности. Здесь можно увидеть некоторую аналогию с задачей нахождения МС-множеств. Однако эта аналогия неполная. Так, три дихотомии (1, 23), (1, 45) и (23, 45) попарно совместимы. Но не существует дихотомии, их покрывающей.

Использование приведенных ранее результатов возможно, если рассматривать упорядоченные дихотомии $[U, V]$ или $[V, U]$ с фиксированными левыми и правыми множествами. Две такие дихотомии считаются совместимыми, если никакое состояние (строка) не содержится в левом множестве одной дихотомии и правом множестве другой. Множество упорядоченных дихотомий покрывается некоторой упорядоченной дихотомией лишь в случае, если элементы этого множества попарно совместимы. Теперь можно найти МС-множества рассмотренным ранее методом и выбрать из них минимальную покрывающую совокупность для исходного списка. Последнее сводится к задаче минимального покрытия, поскольку дихотомии не имеют порождений.

Объем необходимых вычислений позволяет сократить

Теорема 3.5. Пусть Q – полное множество упорядоченных дихотомий (включающее все пары $\{[U, V], [V, U]\}$). Для некоторого состояния s пометим в Q дихотомии, имеющие s в своих левых множествах либо не содержащие s ни в каком из своих множеств. Тогда минимальную покрывающую совокупность МС-множеств можно найти, рассматривая лишь помеченные дихотомии.

В нашем примере удачным оказывается выбор $s = 5$, поскольку состояние 5 входит в наибольшее число дихотомий. Согласно теореме 3.5 достаточно проанализировать множество дихотомий $\{[45, 1], [45, 23], [25, 14], [25, 34], [15, 34]; [1, 23], [23, 1]\}$. Строим для него карту пар (рис. 3.23,б; клетки, отвечающие несовместимым парам, помечены знаком “х”). Известным образом находим МС-множества: ef, de, bc, $\bar{a}b$, $\bar{a}d$, ac, af. Строим таблицу покрытий (рис. 3.23,в). Из нее находим две минимальные совокупности $\{ef, bc, \bar{a}d\}$ и $\{de, bc, af\}$. Первое решение дает покрывающие дихотомии $[125, 34]$, $[45, 123]$ и $[235, 14]$. По ним строим таблицу переходов (рис. 3.23,г), где переходы в состоянии α_1 , α_2 и α_3 могут иметь место только из-за состязаний. В столбце A, например, α_2 и α_3 принадлежат множеству $T(4, 5) = -0 -$.

Итогом проведенного рассмотрения является

Процедура 3.5. Нахождение ООТП-кодирования с минимальным числом у-переменных для ОИВ-таблиц (процедура Трейси).

1. Для каждого столбца найти дихотомии (ij, km) , $j \neq m$. Из полученного списка исключить покрываемые дихотомии.

2. Выбрать состояние s , встречающееся наиболее часто в найденной совокупности дихотомий. Образовать список упорядоченных дихотомий: для дихотомий без s в список включить соответствующие им пары упорядоченных дихотомий; для остальных дихотомий выбрать по одному элементу пары, содержащему s в левом множестве.

3. По карте пар найти МС-множества, соответствующие упорядоченным дихотомиям.

4. По таблице найти минимальную покрывающую совокупность МС-множеств.

5. Беря поочередно объединения всех левых и всех правых множеств для каждого МС-множества этой совокупности, найти список покрывающих дихотомий.

6. Построить матрицу переходов, приписав покрывающую у-переменную каждой из найденных дихотомий. В каждом столбце I для каждого перехода $i \rightarrow j$ найти множество $T(i, j)$ и ввести в матрицу дополнительные строки для каждого из переходных состояний $\alpha_k \in T(i, j)$, положив $N(\alpha_k, I) = N(i, I)$ и $z(\alpha_k, I) = z(i, I)$.

Если в дихотомии отсутствуют некоторые строки (например, дихотомия $[12, 456]$ для 6-строчной таблицы), то значение покрывающей переменной в этих строках (строка 3 в нашем примере) произвольно ($[12, 456]$ покрывается дихотомиями $[123, 456]$ и $[12, 3456]$).

§ 3.5. ПСЕВДОАСИНХРОННЫЕ СХЕМЫ [89, 100]

Наибольшее применение в настоящее время находят синхронные технологии с использованием однофазной синхронизации в пределах блока. Классическая схема проектирования цифрового устройства использует прямой подход к реализации исходной таблицы переходов автомата с выделением синхронного регистра состояний. При этом в случае синхронной таблицы, если память состояний имеет статическое управление, то возникает опасность состязаний неустойчивых состояний на переходах. Асинхронность таблицы делает реализацию менее критичной к временным параметрам синхросигналов.

Если управление динамическое, то в случае синхронной таблицы все же остается риск сбоя, обязанный локальной расфазировке синхросигналов (см. далее) на переходах с критическими состязаниями. Развитые методы противогоночного кодирования

применимы только к асинхронным таблицам. Как показано в этом параграфе, использование таких таблиц при условии правильного кодирования с устранением статических состязаний полностью решает проблему состязаний для прямой реализации синхронных схем. Но синтезировать автомат асинхронным удастся далеко не всегда.

Далее речь идет исключительно о синхронных устройствах. Решение задачи построения высоконадежных устройств с однофазной синхронизацией, некритичных к разбросу задержек элементов и к расфазировке синхросигналов, ищется на стыке асинхронной и синхронной технологий в классе так называемых псевдоасинхронных последовательных схем. Их принципиальной особенностью является отсутствие явно выраженного синхронного регистра состояний. Это может потребовать соответствующей адаптации исходной таблицы переходов и влияет на процесс логико-структурного синтеза.

В данном параграфе приводится классификация псевдоасинхронных схем. Анализируются их свойства. При этом особое внимание обращается на С-асинхронные схемы. Формулируется метод построения для них специальных таблиц переходов. На основе анализа реализуемости и оценок сложности получаемых схем выделяется подкласс С-асинхронных регистровых схем как наиболее перспективных среди рассматриваемых псевдоасинхронных схем. Проводится его сопоставление с прямым способом на предмет выявления определенных преимуществ одного перед другим. Анализ проводится с учетом так называемых ассоциированных задержек.

Способы реализации синхронных схем

За основу развития принимается прямой способ реализации синхронной последовательностной схемы в случае однофазной синхронизации (рис. 3.24, а). Как было отмечено ранее, этот способ может обеспечить надежное функционирование устройства, если исходная таблица переходов асинхронна. Для синхронных таблиц таких гарантий дать уже нельзя. На рисунке: RG X, Y, Z – регистры входной, внутренней памяти и выходной; KC – комбинационная схема. Регистр RG X имеет прямое потенциальное управление. Регистры RG Y, Z – динамическое управление по срезу синхросигнала S.

Необходимость динамического управления в данном случае обусловлена двумя причинами. Во-первых, при невыполнении условий (3.1), (3.2) и потенциальном управлении схема в принципе неработоспособна. Во-вторых, состязания статического типа и критические могут сохраняться и в случае асинхронной таблицы, если не приняты меры к их устранению. При этом динамическое управление

уменьшает вероятность проявления, но не исключает присущий схеме риск сбоя.

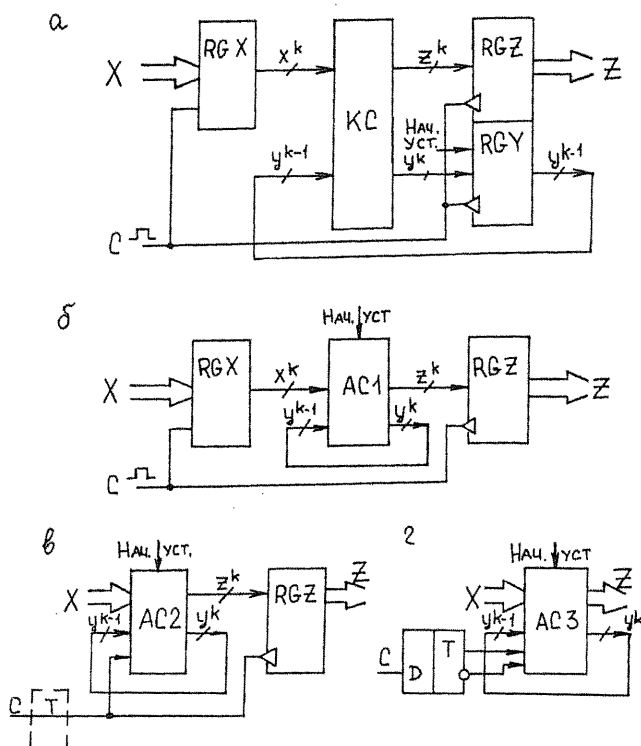


Рис. 3.24

По условию изменение входа X завершается до поступления синхросигнала. Поэтому качество реализации зависимостей

$$y^k = \eta(x^k, y^{k-1}); \quad z^k = \zeta(x^k, y^{k-1})$$

в схеме рис. 1,а может быть вполне удовлетворительным, если риск сбоя не проявляется и параметры синхросигналов

$$t_c < t_{RGX} + t_{KC} + t_{\Pi}; \quad T_c - t_c > t_{RGZ} + \Delta t_x \geq t_{RGY} \quad (3.3)$$

Здесь T_c и t_c — период следования и длительность синхриимпульсов; $t_{RGX,Y,Z}$ — задержка соответствующего регистра; t_{KC} — задержка КС; t_{Π} — время подготовки регистров RG Z,Y; Δt_x — временной интервал

изменений компонент входного вектора при переходе к следующему такту.

Критерием качества реализации считается реализуемость схемы заданного быстродействия при минимальной сложности, оцениваемой определенным образом. Это подразумевает наличие какой-то альтернативы прямому способу реализации. В качестве такой альтернативы рассматривается класс псевдоасинхронных схем.

Псевдоасинхронными называются синхронные последовательностные схемы рис. 3.24,б-г с однофазной синхронизацией и динамическим управлением, в которых синхронный регистр состояний отсутствует, а функции переходов и выходов реализуются асинхронной схемой АС (рассматриваемой вместе с цепью обратной связи). В классе таких схем:

- схема рис. 3.24,б с явно выраженными регистрами RG X и RG Z называется асинхронной регистровой;

- схема рис. 3.24,в с явно выраженным регистром RG Z и включением сигнала синхронизации в число входов АС (совмещением в АС функций RG X) называется С-асинхронной регистровой;

- схема рис. 3.24,г с совмещением в АС функций RG X и RG Z называется С-асинхронной безрегистровой и рассматривается как обобщение понятия триггерных схем с динамическим управлением.

В дальнейшем понятие автомата ассоциируется с таблицей переходов. Соответственно будем говорить о синхронных и асинхронных автоматах. Нетрудно заметить, что асинхронная регистровая реализация возможна только для асинхронного автомата. Как будет показано далее, С-асинхронные реализации возможны не только для асинхронных, но и для синхронных автоматов. В этом параграфе излагаются методы синтеза псевдоасинхронных схем и дается их сравнительный анализ.

Асинхронная регистровая схема

Вход синхронизации в таблице переходов для асинхронной регистровой схемы рис. 3.24,б учитываться не может. До кодирования эта таблица совпадает с исходной автоматной таблицей, которая непременно должна быть асинхронной. Обратно, для такой таблицы всегда можно построить названную схему. Но тогда асинхронность автомата является необходимым и достаточным условием существования этой схемы (не обязательно реализуемой). Введем для нее ряд ограничений.

Ограничение 3.1. Инерционность элементов схемы учитывается задержкой изменения их выходов. Разброс задержек:

$$\tau_{\max} < 2\tau_{\min}, \quad (3.4)$$

где τ_{\max} и τ_{\min} – максимальная и минимальная задержки элементов. Задержки в соединениях отсутствуют. Эффект конечной длительности фронта не учитывается. Во время действия синхросигнала входы схем полагаются неизменными. Параметры синхросигналов

$$t_c > t_{RG} + mt_{AC} + t_{\Pi}; \quad T_c - t_c > t_{RG} + \Delta T_x. \quad (3.5)$$

Здесь $m = 1, 2, \dots$ – число внутренних тактов схемы. Для кодирований с однотоковыми переходами (см. §3.4) значение $m=1$. При использовании многотоковых кодирований (в частности, с совместным использованием строк) $m>1$.

Ограничение 3.2. Комбинационная часть схемы представляет собой 2-уровневую реализацию ДНФ. Перегрузка по входам элементов первого уровня отсутствует. Перегрузка по выходам устраняется дублированием элементов.

Ограничение 3.3. Кодирование внутренних состояний схемы выполнено из условия отсутствия критических состязаний.

Ограничение 3.4. Регистр RGX строится на основе D-триггеров рис. 3.25,а. Для формирования сигналов состояний используются асинхронные RS-триггеры рис. 3.25,б в составе AC (рисунок дополнительно отражает специфику формирования функций возбуждения и установки начального состояния схемы).

Заметим, что сформулированные ограничения являются достаточно общими для всего класса псевдоасинхронных схем, за исключением условий (3.4), (3.5) и некоторых частных моментов, которые в дальнейшем всякий раз оговариваются. В своей совокупности эти ограничения позволяют свести задачу построения асинхронной регистровой схемы без состязаний к известной задаче 2-уровневой реализации асинхронной схемы с использованием структурных методов устранения состязаний (см. §3.3).

Принятый в ограничении 3.1 способ учета инерционности элементов и соединений аналитически удобен для целей моделирования [84]. Выполнение условия (3.4) может вызвать наибольшие затруднения, связанные, в частности, с необходимостью выравнивания нагрузок по выходам RGX. Требование отсутствия перегрузок по входам элементов первого уровня (ограничение 3.2) взаимосвязано с условием (3.4). В противном случае пришлось бы заменить это условие еще более жестким. Поэтому практическое использование рассматриваемого подхода при ориентире на серийные микросхемы ограничивается случаем сравнительно несложных устройств [39].

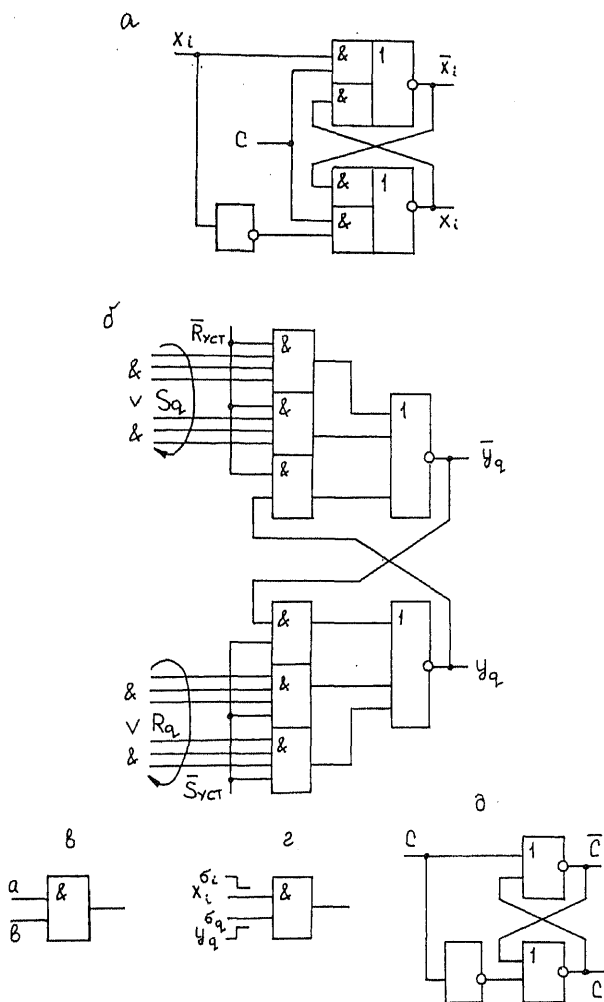


Рис. 3.25

Выполнение условия (3.5) исключает риск сбоя при переключении выходного регистра. Поэтому RGZ может иметь потенциальное управление ($t_n = 0$) и все внимание следует уделить исключению опасных состязаний в управляющей части схемы.

В соответствии с классификацией §3.3 будем различать 4 типа таких состязаний. Среди них состязания по входам и существенные состязания принципиально присущи последовательностной функции [81]. Риск сбоя статического типа и критические состязания устанавливаются по итогам кодирования. Но все они проявляются как следствие состязаний в комбинационной схеме с полным входным состоянием $\langle x, y \rangle$ и выходом y , получаемой из АС обрывом цепей обратной связи. В этой схеме опасный для АС кратковременный сбой должен быть исключен на любом переходе

$$\langle x^{k-1}, y^{k-1} \rangle \rightarrow \langle x^k, y^k \rangle = \langle x^k, \eta(x^k, y^{k-1}) \rangle.$$

Специфика АС сужает область анализа:

1. На любом указанном переходе состязания между сигналами внутренних переменных учитываться не должны. В силу ограничения 3 эти состязания для АС не критичны.

2. Не представляют опасности и состязания между входом x и состоянием y , если изменение x проявляется в АС раньше, чем изменение y . Такие состязания не существенны для АС.

Применительно к полученной комбинационной схеме следует говорить уже о динамических и статических 0- или 1-состязаниях. При выполнении ограничений 1-3 использование D-триггеров рис. 3.25,а для формирования входов полностью исключают опасные динамические и 0-состязания. Эти состязания являются следствием сбоя на первом уровне – условном уровне И. Проявление 1-состязаний обязано только второму уровню – условному уровню ИЛИ. Применение RS-триггеров рис. 3.25,б для формирования сигналов состояний исключает 1-состязания. Дублирование выходов триггеров рис. 3.25,а,б и разгрузка по входам элементов второго уровня не вызывают риска сбоя. Поэтому справедливо

Утверждение 3.2. Если отображение L асинхронно и выполнены ограничения 3.1-3.4, то асинхронная регистровая схема реализуема.

Покажем, что в данном случае сбой на первом уровне действительно исключен. Такой сбой возможен на переходах

$av = 01 \xrightarrow{11} 10$, когда изменение в 0 одного из входов задерживается (рис. 3.25, в). В качестве сигналов a и v могут выступать входы x_i и x_j , их инверсии либо одна из внутренних переменных y_q или ее инверсия. Риск сбоя исключен, если изменение одного из входов конъюнктора в 0 происходит всегда раньше, чем изменение другого входа в 1.

По условию входные изменения завершаются до поступления синхроимпульса. Временно положим, что задержки всех элементов

схемы одинаковы и равны τ . Тогда при наличии на входах D-триггеров вида рис. 3.25,а для входного перепада в 0 получаем

$$x_i = 1 \xrightarrow{\tau} 0, \quad \overline{x_i} = 0 \xrightarrow{2\tau} 1$$

(считается, что синхримпульс поступает при $t=0$). Для перепада в 1

$$\overline{x_i} = 1 \xrightarrow{\tau} 0, \quad x_i = 0 \xrightarrow{2\tau} 1.$$

Поэтому при выполнении условия (3.4) сбой на первом уровне, обусловленный состязаниями входов, исключен.

По той же причине на этом уровне отсутствуют и функциональные состязания между входами и внутренними переменными. Опасность могла бы возникнуть только в случае, когда изменение $y_q^{\sigma_q}$ в 1, $\sigma_q \in \{0, 1\}$, вызвано новым значением $x_i^{1-\sigma_i}$, либо другой входной переменной (или ее инверсии), и задержка на пути изменения $y_q^{\sigma_q}$ в 1 меньше, чем задержка установки в 0 сигнала $x_i^{\sigma_i}$ (рис. 3.25, г). Для формирования $y_q^{\sigma_q}$ требуется как минимум один дополнительный элемент. В наихудшей ситуации, когда изменение $y_q^{\sigma_q}$ вызвано переключением входа $x_j^{\sigma_j}$, $j \neq i$, минимальная задержка изменения внутренней переменной равна $2\tau_{\min}$, тогда как максимальная задержка изменения $x_i^{\sigma_i}$ в 0 равна τ_{\max} . Отсюда вытекает справедливость сказанного.

Построение таблиц переходов С-асинхронных схем

Исходной для построения С-асинхронных таблиц является минимизированная таблица переходов автомата – синхронного или асинхронного. Предлагаемый метод алгоритмичен. Он сохраняет свойство минимальности таблицы в процессе ее преобразования. Метод основан на том, что для С-асинхронных схем характерно использование сигнала синхронизации как дополнительного входа асинхронной схемы, реализующей исходную автоматную таблицу. Тем самым каждый такт разделяется на два полутакта. Первому полутакту отвечает изменение синхросигнала из 0 в 1; второму – из 1 в 0. При этом каждый переход исходной таблицы преобразуется в два перехода С-асинхронной. Сформулированный метод исключает появление лишних состояний при преобразовании.

Асинхронный автомат. В случае, когда все устойчивые состояния любой строки исходной таблицы имеют одинаковые значения

выхода, С-асинхронная таблица регистровой схемы получается простым добавлением к исходной таблице (рис. 3.26, а) левой устойчивой части для $C = 0$ (рис. 3.26, б). Правая часть ($C = 1$) повторяет исходную таблицу. Переходы с изменением внутреннего состояния происходят только в правой части С-асинхронной таблицы.

а

		s^k, z^k			
$s^{k-1} \backslash x^k$		00	01	11	10
1		2,0	1,0	1,0	1,0
2		2,0	1,0	1,0	3,0
3		2,0	1,0	4,1	3,0
4		2,0	1,0	4,1	1,0

б

		$C=0$				$C=1$				s^k, z^k	
$s^{k-1} \backslash x^k$		00	01	11	10	00	01	11	10		
1		1,0	1,0	1,0	1,0	2,0	1,0	1,0	1,0		
2		2,0	2,0	2,0	2,0	2,0	1,0	1,0	3,0		
3		3,0	3,0	3,0	3,0	2,0	1,0	4,1	3,0		
4		4,1	4,1	4,1	4,1	2,0	1,0	4,1	1,0		

в

		$C=0$				$C=1$				s^k, z^k	
$s^{k-1} \backslash x^k$		00	01	11	10	00	01	11	10		
1		1,0	1,0	1,0	1,0	2,0	1,0	1,0	1,0		
2		2,0	2,0	2,0	2,0	2,0	1,0	1,0	3,0		
3		3,0	3,0	3,0	3,0	2,0	1,0	5,0	3,0		
4		4,1	4,1	4,1	4,1	5,1	5,1	4,1	5,1		
5		2,0	1,0	4,1	1,0	5,1	5,1	5,0	5,1		

Рис. 3.26

При наличии в некоторой строке исходной таблицы устойчивых состояний с разными значениями выхода (рис. 3.27,а) такую строку необходимо сначала продублировать по числу значений выхода в указанных состояниях, организовав нужные переходы между дублями и соответственно откорректировав таблицу в целом (рис. 3.27,б; дубли связаны соединительными линиями). При этом в каждом дубле сохраняются все неустойчивые состояния исходной строки. Затем построение С-асинхронной таблицы выполняется, как и ранее (рис. 3.27,в).

а

$s^{k-1} \backslash x^k$	A	B	D	s^k, z^k
1	1,0	1,0	4,0	
2	1,0	2,1	—	
3	3,0	2,1	6,0	
4	3,0	4,1	4,0	
5	5,0	4,1	7,0	
6	5,0	6,1	6,0	
7	7,0	6,1	7,0	

б

$s^{k-1} \backslash x^k$	C=0			C=1			s^k, z^k
	A	B	D	A	B	D	
1	1,0	1,0	1,0	1,0	1,0	4,0	
2	2,1	2,1	—	1,0	2,1	—	
3	3,0	3,0	3,0	3,0	2,1	6,0	
4	4,0	4,0	4,0	3,0	8,1	4,0	
5	5,0	5,0	5,0	5,0	8,1	7,0	
6	6,0	6,0	6,0	5,0	9,1	6,0	
7	7,0	7,0	7,0	7,0	9,1	7,0	
8	8,1	8,1	8,1	3,0	8,1	4,0	
9	9,1	9,1	9,1	5,0	9,1	6,0	

в

$s^{k-1} \backslash x^k$	A	B	D	s^k, z^k
1	1,0	1,0	4,0	
2	1,0	2,1	—	
3	3,0	2,1	6,0	
4	3,0	8,1	4,0	
5	5,0	8,1	7,0	
6	5,0	9,1	6,0	
7	7,0	9,1	7,0	
8	3,0	8,1	4,0	
9	5,0	9,1	6,0	

г

$s^{k-1} \backslash x^k$	C=0			C=1			s^k, z^k
	A	B	D	A	B	D	
1	1,0	1,0	1,0	1,0	1,0	4,0	
2	2,1	2,1	—	10,1	2,1	—	
3	3,0	3,0	3,0	3,0	10,0	6,0	
4	4,0	4,0	4,0	3,0	11,0	4,0	
5	5,0	5,0	5,0	5,0	11,0	7,0	
6	6,0	6,0	6,0	5,0	12,0	6,0	
7	7,0	7,0	7,0	7,0	12,0	7,0	
8	8,1	8,1	8,1	11,1	8,1	11,1	
9	9,1	9,1	9,1	12,1	9,1	12,1	
10	1,0	2,1	—	10,1	10,0	—	
11	3,0	8,1	4,0	11,1	11,0	11,1	
12	5,0	9,1	6,0	12,1	12,0	12,1	

Рис. 3.27

Построение таблиц переходов С-асинхронных безрегистровых схем имеет дополнительную специфику. Она обусловлена требованием изменения выхода по срезу синхросигнала.

1. Выделяются внутренние состояния, переходы из которых не сопровождаются изменением выхода. Для таких состояний строки С-асинхронной таблицы заполняются обычным образом (строки 1, 2 рис. 3.26,б и строка 1 рис.3.27,в).

2. Для реализации переходов с изменением выхода вводятся новые состояния. Каждый такой переход выполняется в два этапа. В правой части таблицы – в одно из новых состояний, без изменения выхода. В левой части – в предписанное исходной таблицей состояние, с изменением выхода. При этом очередное новое состояние вводится только при невозможности повторного использования уже введенных ранее. В рассмотренных примерах изменения коснутся строк 3 и 4

рис. 3.26,б, строк 2-9 рис. 3.27,в. Полученные таблицы переходов показаны на рис. 3.26,в и 3.27,г соответственно.

Синхронный автомат. Таблица переходов С-асинхронной регистровой схемы получается с учетом следующих соображений.

1. Переходы в неустойчивые состояния всегда реализуются через дополнительные состояния аналогично предыдущему. Но факт изменения выхода теперь уже не играет роли.

2. Если переход в некоторое неустойчивое состояние для данного входа происходит при разных значениях выхода, то строку с этим состоянием необходимо сначала продублировать по числу указанных значений. Но в данном случае организовывать переходы между дублями не нужно.

3. Переход в устойчивое состояние, когда выход совпадает с устойчивым значением, выполняется непосредственно в правой части таблицы.

4. Если на переходе в устойчивое состояние выход отличается от устойчивого значения, то конечное внутреннее состояние перехода дублируется аналогично п.2. При этом левая устойчивая полустрока дубликата имеет то же значение выхода, что и на переходе. Правая полустрока повторяет оригинал. Организация самого перехода такова. Сначала в правой части таблицы выполняется переход в дополнительное состояние. Затем в левой части осуществляется переход из этого состояния в устойчивую полустроку дубликата.

Подход в целом иллюстрируют рис.3.28 (правила пп.1,2) и рис. 3.29 (правила пп.3,4), на которых показаны исходные (рис.3.28,а и рис. 3.29,а) таблицы и соответствующие им С-асинхронные (рис.3.28,б и рис. 3.29,б) для регистровой схемы. Дубликаты связаны с оригиналами соединительными линиями.

Как и ранее, в безрегистровом варианте появляются дополнительные состояния на переходах с изменением выхода. Преобразованные таблицы для этого случая показаны на рис. 3.28,в и 3.29,в соответственно. Правило дублирования многоустойчивых строк с разными значениями выхода является общим и не зависит ни от вида автомата (синхронный или асинхронный), ни от варианта реализации (регистровая или безрегистровая).

Сопоставление размеров таблиц. Сравнительная оценка размеров различных таблиц переходов, которые могут быть получены для одного и того же задания, проведена на множестве примеров исходных заданий разных типов, допускающих альтернативу выбора автомата – синхронного или асинхронного. Соответственно для каждого примера было построено по два варианта С-асинхронных таблиц переходов регистровых схем. Размеры этих таблиц

сопоставлены между собой и с размерами исходных таблиц переходов в табл. 3.2.

а

$s^{k-1} \backslash x^k$	s^k, z^k	
	0	1
1	2,00	3,10
2	4,11	1,01
3	4,10	1,00
4	2,00	3,11

б

$s^{k-1} \backslash x^k$	C=0		C=1		s^k, z^k
	0	1	0	1	
1	1,00	1,00	8,00	8,10	
2	2,00	2,00	9,11	9,01	
3	3,10	3,10	10,10	10,00	
4	4,10	4,10	8,00	11,11	
5	5,01	5,01	8,00	8,10	
6	6,11	6,11	10,10	10,00	
7	7,11	7,11	8,00	11,11	
8	2,00	3,10	8,00	8,10	
9	7,11	5,01	9,11	9,01	
10	4,10	1,00	10,10	10,00	
11	—	6,11	—	11,11	

в

$s^{k-1} \backslash x^k$	C=0		C=1		s^k, z^k
	0	1	0	1	
1	1,00	1,00	8,00	8,00	
2	2,00	2,00	9,00	9,00	
3	3,10	3,10	10,10	10,10	
4	4,10	4,10	11,10	11,10	
5	5,01	5,01	12,01	12,01	
6	6,11	6,11	13,11	13,11	
7	7,11	7,11	14,11	14,11	
8	2,00	3,10	8,00	8,00	
9	7,11	5,01	9,00	9,00	
10	4,10	1,00	10,10	10,10	
11	2,00	6,11	11,10	11,10	
12	2,00	3,10	12,01	12,01	
13	4,10	1,00	13,11	13,11	
14	2,00	6,11	14,11	14,11	

Рис. 3.28

Нетрудно видеть, что при наличии указанной альтернативы размеры исходных асинхронных таблиц всегда не меньше размеров синхронных. При этом разница в размерах может быть довольно значительной (задания № 12-15). Но для С-асинхронных таблиц, за редким исключением (задания №3,15), картина обратная. В этом смысле асинхронный выбор предпочтителен.

С-асинхронные схемы

Переход к С-асинхронным схемам связан с преобразованием исходной автоматной таблицы. Как было показано, алгоритм преобразования зависит от типа автомата (синхронный или асинхронный) и от вида самой схемы (регистровая или безрегистровая). Это оказывает влияние и на реализуемость получаемой схемы.

а

$s^{k-1} \backslash x^k$		s^k, z^k			
		00	01	11	10
1		2,0	1,0	1,0	1,0
2		2,0	1,0	1,0	3,0
3		2,0	1,0	1,1	1,0

б

$s^{k-1} \backslash x^k$		C=0				C=1				s^k, z^k	
		00	01	11	10	00	01	11	10		
1		1,0	1,0	1,0	1,0	2,0	1,0	1,0	1,0		
2		2,0	2,0	2,0	2,0	2,0	1,0	1,0	5,0		
3		3,0	3,0	3,0	3,0	2,0	1,0	5,1	1,0		
4		4,1	4,1	4,1	4,1	2,0	1,0	1,0	1,0		
5		—	—	4,1	3,0	—	—	5,1	5,0		

в

$s^{k-1} \backslash x^k$		C=0				C=1				s^k, z^k	
		00	01	11	10	00	01	11	10		
1		1,0	1,0	1,0	1,0	2,0	1,0	1,0	1,0		
2		2,0	2,0	2,0	2,0	2,0	1,0	1,0	5,0		
3		3,0	3,0	3,0	3,0	2,0	1,0	5,0	1,0		
4		4,1	4,1	4,1	4,1	6,1	6,1	6,1	6,1		
5		—	—	4,1	3,0	—	—	5,0	5,0		
6		2,0	1,0	1,0	1,0	6,1	6,1	6,1	6,1		

Рис. 3.29

Асинхронный автомат. В данном случае исходная таблица переходов для С-асинхронной регистровой схемы (см. рис. 3.24,в) является асинхронной таблицей. Но эта таблица имеет существенную особенность: все устойчивые полные состояния в любой строке таблицы должны иметь одно и то же значение выхода. Если указанное условие не выполняется, необходимо сначала преобразовать таблицу к нужному виду (см. предыдущий раздел). Это несколько ограничивает возможности минимизации исходной таблицы и вместе с тем облегчает сам процесс минимизации, о чем уже говорилось в § 3.4.

Как было показано ранее, таблица переходов для С-асинхронных регистровых схем (см. рис. 3.24,в) отличается от исходной асинхронной таблицы, удовлетворяющей сформулированному требованию, наличием левой устойчивой части при $C = 0$. Правая часть ($C=1$) повторяет исходную таблицу. По условию входные информационные сигналы во время действия синхриимпульса неизменны. На каждом переходе меняется только значение входа синхронизации. Поэтому состязания по входам отсутствуют. Согласно правилу Ангера (см. § 3.3) в схеме нет и существенных состязаний

(см. рис.3.26,б и 3.27,в). При использовании триггеров рис. 3.25,б для формирования сигналов состояний состязания статического типа в схеме не проявляются.

Таблица 3.2

Сравнительная оценка размеров таблиц переходов

Номер задания	Число состояний минимизированной таблицы			
	С-синхронной		Исходной	
	Асинхронный автомат	Синхронный автомат	Асинхронный автомат	Синхронный автомат
1	4	4	4	4
2	7	9	7	7
3	16	12	8	8
4	10	10	10	10
5	12	15	12	12
6	4	7	3	2
7	4	5	4	3
8	6	8	6	4
9	9	10	7	4
10	10	12	10	7
11	11	13	11	8
12	12	12	12	4
13	16	16	12	4
14	12	14	12	4
15	16	13	16	6

Таким образом, в случае правильного кодирования с управляющей частью схемы все заведомо благополучно. Однако в отличие от асинхронного регистрового варианта переключение выходов схемы может происходить в условиях протекания переходного процесса по выходам регистра RGZ (второй полутакт). От такого риска можно избавиться выполнением всех склеек по путям второго полутакта на карте Карно для выходов. Кроме того, при использовании RGZ с потенциальным управлением необходимо провести все склейки по выходам для каждого устойчивого состояния левой части таблицы (рис. 3.26,б; 3.27,в).

Приведенные доводы позволяют сформулировать

Утверждение 3.3. Если отображение L асинхронно, удовлетворено условие (3.5) и кодирование правильно, используются триггеры рис. 3.25,б для формирования y_i и выполнены все указанные склейки в таблице выходов, то С-асинхронная регистровая схема реализуема.

Уточним понятие правильного кодирования в данном случае. Это уточнение касается промежуточных неустойчивых состояний,

появляющихся в процессе кодирования. Рис. 3.30 иллюстрирует кодирование с совместным использованием строк на примере рис. 3.18,г. Здесь $\alpha, \beta, \gamma, \delta$ – промежуточные состояния, введенные для организации переходов без критических состязаний. Заметим, что переход $10 \rightarrow 1$ в столбце 01 таблицы рис. 3.18,г выполняется теперь как $10 \rightarrow \alpha \rightarrow \beta \rightarrow 1$, то есть за 3 внутренних такта. Ряд переходов – двухтактные. Часть из них выполняется через “штатные” состояния таблицы. Например, переход $12 \rightarrow 8$ в столбце 00 рис. 3.18,г преобразуется в $12 \rightarrow 11 \rightarrow 8$. В данном случае число внутренних тактов $m = 3$. Сопоставление условий (3.3) и (3.5) говорит о снижении быстродействия схемы, использующей такое кодирование, в сравнении с прямым подходом к реализации автомата.

S

y_1, y_2		y_1, y_2			
	y_2, y_1	00	01	11	10
00		2	5	7	11
01		α	β	1	12
11		10	4	3	9
10		γ	δ	6	8

Рис. 3.30

Суть уточнения заключается в следующем. В случае кодирования с совместным использованием строк левая часть С-асинхронной таблицы переходов для промежуточных неустойчивых состояний, появляющихся в процессе кодирования, должна быть также неустойчивой и соответственно (по входам) повторять правую. В случае кодирования с одноктактными переходами сделанное уточнение справедливо для неадресуемых промежуточных состояний.

Заметим, что реализация комбинационной части схемы остается по-прежнему 2-уровневой (типа И-ИЛИ), но теперь – с возможной цепочечной разгрузкой по входам элементов первого уровня. Ограничение 3.1, за исключением условия (3.4), сохраняется. Но в отличие от утверждения 3.2 выполнение всех условий утверждения 3.3 не вызывает трудностей. Вместе с тем, отмеченные ранее ограничения минимизации и необходимость выявления дополнительных простых импликант для функции выходов могут привести к некоторому усложнению схемы в сравнении с асинхронным регистровым вариантом. Но это вполне приемлемая плата за повышение надежности устройства.

В С-асинхронных безрегистровых схемах рис. 3.24,г нет явно выраженного выходного регистра. Требование изменения выхода по срезу синхроимпульса учитывается самой таблицей переходов. Это приводит к появлению в таблице новых состояний и переходов в ее левой части (рис. 3.26,в и 3.27,г). В итоге вновь возникает опасность существенных состязаний, которая исключается введением триггера Т (рис. 3.24,г), выполненного по схеме рис. 3.25,д. При этом ограничения 3.1 – 3.4 сохраняются с той разницей, что изменяются требования к параметрам синхросигнала:

$$\min(T_c - t_c, t_c) > t_T + mt_{AC}, \quad (3.5^1)$$

где t_T – задержка триггера Т, и регистр RG X не выделен. Кроме того, остаются в силе все сделанные для предыдущей схемы замечания относительно выявления простых импликант в таблице выходов.

Утверждение 3.4. С-асинхронная безрегистровая схема реализуема, если выполнены с учетом сделанных корректив ограничения 3.1 – 3.4 и учтены замечания по выявлению простых импликант в таблице выходов. При этом, если отсутствует необходимость разгрузки выходов триггера Т, то условие (3.4) в ограничении 3.1 снимается.

Подчеркнем, что в этом утверждении тип автомата (синхронный или асинхронный) не оговаривается. Кроме того, указывается условие, при выполнении которого получаемая схема не критична к разбросу задержек элементов. Но надо иметь в виду, что требование отсутствия перегрузок по входам элементов первого уровня сохраняется в любом случае. Это является достаточно серьезным ограничением реализации.

Синхронный автомат. В данном случае асинхронной регистровой реализации не существует. Во введенном классе схем свойством общности обладают только С-асинхронные реализации. Для них всегда можно сделать так, что устойчивые внутренние состояния в каждом из двух полутактов будут различны. Тем самым снимается требование асинхронности исходной таблицы. При этом разница в динамике поведения обоих вариантов С-асинхронных схем исчезает, так как новые состояния появляются теперь и в регистровом варианте (рис. 3.28, 3.29). А потому и здесь придется ввести триггер Т (рис. 3.24,в, пунктир) и все другие ограничения, касавшиеся ранее только безрегистровых схем. Иными словами, утверждение 3.4 распространяется теперь на оба типа С-асинхронных схем.

Сравнительная оценка сложности. Оценка проводится на множестве примеров рис.3.18, 3.26, 3.28, 3.29. Заметим, что примеры рис. 3.26, 3.29 представляют одно задание, допускающее альтернативу выбора варианта автомата. Сложность схемы оценивается по суммарному числу входов составляющих ее элементов (удвоенное число эквивалентных 2-входовых вентилей ЭВ на кристалле). Такой

критерий ориентирован на использование заказных БИС. Оценка сложности псевдоасинхронных схем дается для случая применения компактного метода кодирования с совместным использованием строк. Свойственное ему увеличение числа внутренних тактов схемы считается допустимым. В варианте прямой реализации противогоночное кодирование и устранение статических состязаний не выполняются.

Во всех примерах используется 2-уровневая реализация ДНФ без разгрузок элементов. Для построения регистров RGZ и RGY схемы рис. 3.24,а применяются компактные D-триггеры аналогичные 1/2 TM2 (см. §2.3) с включением инвертора на входе синхронизации. Регистры RGZ асинхронных и С-асинхронных регистровых схем строятся на основе триггеров рис.3.25,а с дополнительным инвертором на выходе С. Все сформулированные ранее ограничения удовлетворяются. При этом учитывается необходимость обеспечения единичной нагрузки со стороны входов схемы. Полученные в таких предположениях значения показателя ЭВ для различных исследованных вариантов указаны в табл. 3.3.

Таблица 3.3

Показатели сложности различных схем

Автомат	Пример	2 ЭВ			
		Прямая реализация	Асинхронная регистровая	С-асинхронная регистровая	С-асинхронная безрегистровая
Асинхронный	Рис. 3.26	91	63	65	129
	Рис. 3.18	298	268	282	271
Синхронный	Рис. 3.29	81	-	109	111
	Рис. 3.28	77	-	226	225

Для асинхронных автоматов в обоих рассмотренных примерах при переходе к псевдоасинхронным реализациям без увеличения числа внутренних переменных (такое увеличение имеет место в примере рис. 3.26; безрегистровый вариант) получено уменьшение сложности схемы. Этот факт допускает приемлемое объяснение. В двух других рассмотренных примерах (случай синхронного автомата) переход к С-асинхронным схемам связан с увеличением числа внутренних переменных и потому — с ростом сложности в сравнении с прямой реализацией. Особенно резко это проявляется при нескольких выходах (рис. 3.28), ибо каждое состояние исходной таблицы приходится дублировать по числу возможных значений выхода, и вводятся дополнительные состояния, необходимые для реализации С-асинхронных принципов. В примере рис. 3.28 показатель сложности

ухудшается примерно в 3 раза. Разница между регистровой и безрегистровой реализациями практически исчезает как по динамике процессов, так и по сложности схемы.

Таким образом, для асинхронных отображений достоинства С-асинхронной регистровой реализации несомненны. В случае синхронных автоматов оба варианта С-асинхронных схем могут быть использованы примерно с одинаковой эффективностью. Однако довольно серьезное требование отсутствия перегрузок по входам элементов первого уровня, желаемая не критичность к задержкам элементов и повышенная сложность при двух и более выходах затрудняют их практическое использование.

Сопоставление с прямой реализацией

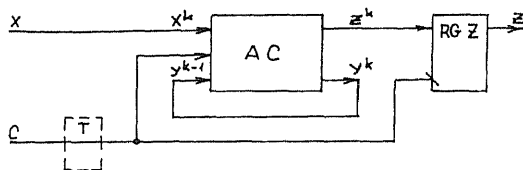
Как установлено ранее, асинхронность автоматного отображения позволяет выделить реализуемый подкласс сравнительно несложных (при умеренных требованиях к быстродействию и ограничении числа выходов) псевдоасинхронных последовательных схем, названных С-асинхронными регистровыми, некритичных к задержкам элементов. Полное исключение риска сбоя достигается в них едиными и достаточно простыми логико-структурными приемами независимо от сложности устройства. В этом смысле асинхронные регистровые схемы практически неконкурентоспособны. Они представляют, в основном, методологический интерес, хотя и могут применяться в отдельных случаях, когда определяющим является требование минимальной сложности.

Безрегистровые реализации оказываются единственно приемлемыми для современных триггеров. Однако в общем случае по всем параметрам регистровый вариант не хуже безрегистрового. Поэтому далее рассматриваются исключительно С-асинхронные регистровые схемы рис. 3.31,а. Именно они сопоставляются с прямым подходом рис.3.31,б. Так что множество типов, на котором ищется наилучшее решение, сужается до двух представителей.

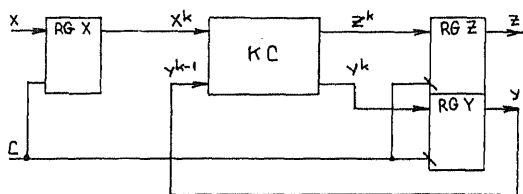
Основной характеристикой того или иного подхода является реализуемость получаемой схемы, т.е. отсутствие в ней рисков сбоя либо достижимость реализуемости (риск сбоя есть, но не проявляется) в условиях практики. Анализ реализуемости в последнем смысле неполон без учета задержек в соединениях. Для прямого подхода такой анализ вообще невозможен, если не учитывать влияние расфазировки синхросигналов, подаваемых на различные триггеры регистра состояний. До сих пор задержки в соединениях нами не учитывались. Они проявляются либо в эквивалентном росте задержек элементов, либо аналогично включению повторителей на их входах.

Сопоставление различных способов реализации проводится по отдельности для случаев синхронного и асинхронного автоматов. Сделанные выводы подтверждены моделированием на конкретных примерах.

а



б



в

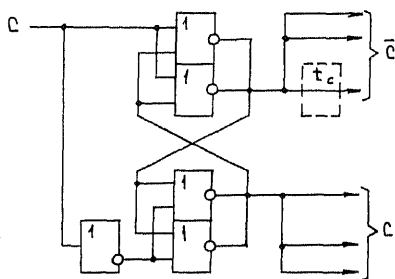


Рис. 3.31

Асинхронный автомат. Пусть кодирование правильно и риск сбоя статического типа устранен. При правильном кодировании этого всегда можно добиться логическим путем, выявив все простые импликанты внутри переходных множеств (см. §3.4). Тогда локальная расфазировка синхросигналов для прямой реализации не опасна. Иных причин сбоев здесь быть не может. С-асинхронная регистровая схема в данном случае заведомо свободна от существенных состязаний и потому не критична к задержкам в соединениях.

Таким образом, если исходная таблица переходов асинхронна, то обе схемы реализуемы в одинаковой степени. Однако прямая реализация допускает только кодирования с одноктактными переходами. Для С-асинхронных схем применимы и многотактные кодирования, которые дают более простые схемы. Поэтому при умеренных требованиях к быстродействию выбор С-асинхронной реализации в данном случае предпочтителен, если кодирование оказывается более компактным. Сделанная оговорка учитывает возможное дублирование строк исходной таблицы переходов. Максимальный выигрыш в сложности схемы обеспечивает кодирование с совместным использованием строк. Его применение затруднено отсутствием единого алгоритма для любого числа внутренних состояний.

Синхронный автомат. Прямой подход в данном случае нереализуем (в строгом смысле) из-за наличия состязаний неустойчивых состояний, критических и статического типа. Противогоночное кодирование здесь неприменимо. В условиях расфазировки синхросигналов исключение нежелательных проявлений этих состязаний требует тщательной корректировки схемы в процессе ее индивидуальной отладки. При ориентации на технологию заказных БИС возможности такой отладки ограничены.

С-асинхронным схемам в данном случае свойственны существенные состязания. Поэтому, даже без учета задержек в соединениях, реализуемость таких схем достигается при довольно жестких ограничениях (см. предыдущий подраздел). Среди них следует особо выделить два условия, выполнение которых практически наиболее затруднено. Первое из них касается допустимого разброса задержек элементов; второе – отсутствия перегрузок по входам элементов первого уровня комбинационной схемы в составе АС. Но выход из указанного затруднения имеется.

Первое условие может быть снято некоторым изменением схемы размножения синхросигналов на основе триггера Т (рис. 3.31,а,в). Ранее проблема разгрузки по входам решалась путем дублирования элементов. При этом предполагалось, что выходы дублей не объединены. Однако такое объединение допустимо, если дубли расположены в одном корпусе (см. § 2.2). Тогда снимается ограничение (3.4) на разброс задержек элементов. Если необходима разгрузка по входам, то сигналы синхронизации (С или \bar{C}) и внутренних переменных следует подавать на входы одного конъюнктора (аналогия с ИЛИ-НЕ/И-парной факторизацией (см. §3.3)). Это снимает второе условие.

Таким образом, при отсутствии влияния задержек в соединениях реализуемость С-асинхронных схем достижима и в случае синхронного

автомата. Но перед окончательным выбором того или иного способа реализации уместно проанализировать, какой из них менее критичен к задержкам в соединениях (расфазировке синхросигналов) в условиях конкретной технологии. Причина в том, что прямая реализация дает, как правило, значительно более простую схему. Ограничим анализ схемами ТТЛ.

Ассоциированные задержки. Анализ проводится для маломощных ИС ТТЛ среднего быстродействия. Задержка повторителей на входах элементов ассоциируется с конечной длительностью среза t_{cp} (фронта t_{ϕ}) синхросигналов (C или \bar{C}), действующих в схеме. Эта задержка принимается равной $t_{cp}(t_{\phi})$ в предположении, что пороги переключения U_{Π} различных элементов схемы произвольно распределены по всему логическому перепаду сигнальных потенциалов. Такое допущение заведомо избыточно. Но это лишь усилит достоверность полученных выводов, если результат анализа влияния ассоциированных задержек будет отрицательным.

Значения t_{cp} и t_{ϕ} можно найти с учетом допустимой емкости нагрузки и выходных сопротивлений элементов. Для рассматриваемой технологии при максимальной нагрузке на элемент типовые значения $C_n = 20$ пФ, $R_{вых}^0 = 10$ Ом, $R_{вых}^1 = 150$ Ом, средняя задержка элемента $\tau = 10$ нс [39]. Поэтому $t_{cp} = 0,5$ нс, $t_{\phi} = 7$ нс, т.е. $t_{cp} \ll \tau$ и $t_{\phi} < \tau$. Заметим, что в общем случае задержки в соединениях СБИС могут превышать задержки элементов [101].

При С-асинхронной реализации синхронного автомата опасность проявления существенных состязаний может возникнуть, только если $t_{cp} > 2\tau$. К такому выводу можно прийти с учетом реальной задержки формирования единичных значений сигналов внутренних переменных в схеме рис. 3.31,а (см. предыдущий раздел). Так, моделирование перехода $3 \rightarrow 5$ в таблице на рис. 3.24,б при $x_1x_2 = 11$, $C = 0 \rightarrow 1$ и наличии ассоциированной задержки t_{cp} в цепи \bar{C} (рис. 3.31, в) показывает ошибку, если $t_{cp} > 4\tau$. Но для ТТЛ-технологии согласно предыдущему $t_{cp} \ll \tau$. Поэтому ассоциированные задержки в соединениях не влияют на реализуемость С-асинхронных схем ТТЛ.

В связи с прямым подходом рассмотрим организацию регистра состояний с общим инвертором по входу C (рис. 3.32, а), принятую, например, в микросхеме регистра К155ИР1 (см. § 4.3). Учтем влияние конечной длительности фронта t_{ϕ} сигнала \bar{C} после инвертора. Пусть триггеры T_i и T_j имеют разные пороги переключения и $U_{nj} > U_{ni}$. Тогда

изменение Y_i может вызвать формирование нового значения Y_j прежде, чем переключится триггер T_j , при неизменном входе X , если t_ϕ достаточно велико. В итоге будет зафиксировано неверное состояние (пример перехода $2 \rightarrow 3$ в таблице на рис. 3.29, а при $X_1 X_2 = 10$). Однако для схем ТТЛ $t_\phi < \tau$, т.е. t_ϕ всегда значительно меньше суммарного времени переключения T_i и формирования Y_j . Поэтому ассоциированная задержка в цепи синхронизации как таковая также не опасна.

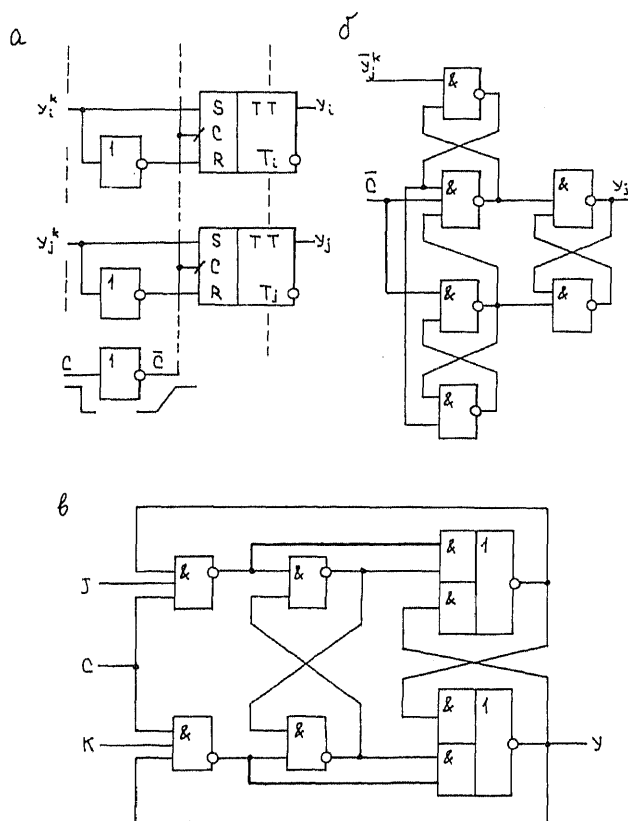


Рис. 3.32

Учет процессов в триггерных схемах. Помимо ассоциированных задержек в соединениях, с локальной расфазировкой синхросигналов

будем связывать множество причин, которые имеют те же следствия, что и факт неодновременности восприятия синхросигнала различными триггерами регистра состояний. В основном, эти причины скрыты в самих триггерных схемах. Рассмотрим те схемы ТТЛ-триггеров, которые в настоящее время применяются наиболее широко.

Пусть в регистре рис. 3.32,а использованы триггеры типа K155TM2 рис. 3.32,б. Они свободны от рисков сбоя, имеют минимальную задержку изменения выхода 2τ [64]. При прежних условиях расфазировка синхросигналов в регистре ассоциирована теперь с задержкой $t_{\phi} + \tau$ блокировки информационной чувствительности триггера T_j относительно начала переключения триггера T_i . Задержка формирования в КС сигнала \bar{y}_j элементом И-ИЛИ-НЕ равна τ . Поэтому при разбросе задержек элементов схемы в целом от τ_{\min} до τ_{\max} опасность захвата ложного состояния реально существует, если

$$t_{\phi} + \tau_{\max} > 3\tau_{\min} \quad (3.6)$$

Трактовка причин расфазировки в регистрах на основе триггеров рис. 3.32,в без инверсии по входу С несколько иная. Сам по себе такой триггер представляет одну из возможных С-асинхронных безрегистровых реализаций синхронного автомата (исходной таблицы переходов JK-триггера) на 2 внутренних состояния [64]. При построении схемы триггера использован специальный логико-структурный прием устранения существенных состязаний. Поэтому, как и ранее, переключение самого триггера происходит заведомо правильно. Локальная расфазировка синхросигналов в данном случае ассоциируется с возможным проявлением динамических состязаний в комбинационной схеме при изменении С из 0 в 1 вследствие неодновременности переключения выходов регистра RG X (рис. 3.31,б) и наличия инверторов на входах КС.

Пусть, например, первоначально в схеме рис. 3.32,в JK = 00, у = 0 и с поступлением синхросигнала на входе J имеет место переходный процесс: J = 0-1-0-1. Длительности импульса и паузы в этом процессе зависят от разброса задержек элементов RG X и КС. И если указанные длительности не менее 2τ , то при действии импульса произойдет переключение первой ступени триггера, а во время паузы успеет измениться значение его выхода \bar{y} из 1 в 0. В итоге могут проявиться любые из упомянутых ранее состязаний – критические, неустойчивых состояний, статические.

Вместо использования запрещающих связей блокировку второй ступени триггера рис. 3.32,в часто реализуют сигналом \bar{C} . При этом влияние локальной расфазировки связывается с проявлением

существенных состязаний в самом триггере, когда задержка инвертора по С сравнительно велика. Если, как и при использовании триггера рис. 3.32,б, для схемы в целом выполнено (3.6), то изменение выхода любого триггера регистра состояний может произойти при $C = 1$. Последствия прежние. Неприятности могут случиться и по срезу синхросигнала, если применена обычная разгрузка на двух инверторах по общесхемному входу С. Тогда первым в схеме изменится сигнал \bar{C} . Но условие ошибки то же.

Таким образом, для синхронного варианта ни один из рассмотренных триггеров практически не обеспечивает реализуемость последовательностной схемы, получаемой прямым способом. При этом опасность расфазировки в схемах ТТЛ вполне реальна. Чтобы исправить положение, необходимо регистр RGX рис. 3.31,б расширить до общего входного регистра RGI с динамическим управлением по фронту синхросигнала, с подачей на него сигналов x и y (от RGY) и со съемом не только x^k , но и y^{k-1} . Тогда в любой момент времени обратная связь в схеме разомкнута и риск сбоя отсутствует. Вопрос – в приемлемости такого усложнения схемы.

Результаты проведенного анализа сохраняют силу и в случае, когда задержки в соединениях значительны, если под τ_ϕ и τ_{cp} понимать задержки передач фронта и среза синхросигнала. При этом обе реализации не свободны от риска сбоя. Но прямой подход более критичен без введения второго регистра состояний.

Обсуждение. Согласно проведенному анализу, если исходное задание допускает альтернативу выбора автомата (синхронного или асинхронного) и требования к надежности устройства высоки, то предпочтение следует отдать асинхронному варианту. При этом С-асинхронный способ может обеспечить более простую реализацию устройства с умеренным быстродействием благодаря экономному кодированию. Прямая реализация с противогоночным кодированием и устранением состязаний статического типа может оказаться проще для быстродействующих устройств, когда приемлемо только одноктактное кодирование. Но действительная картина зависит от особенностей конкретного задания. Поэтому, выполняя проектирование, надо всякий раз сопоставлять результаты обоих подходов.

В случае синхронных автоматов реализуемость схем ТТЛ обычно достижима только для С-асинхронного способа. Прямая реализация в данном случае, как правило, намного проще. Однако она критична к локальной расфазировке синхросигналов, опасность которой вполне реальна. Поэтому предпочтение следует отдать С-асинхронному способу. Выбор метода кодирования будет зависеть от требований к быстродействию. Сделанный вывод допускает исключение, если используются два регистра состояний.

Глава 4

СТРУКТУРНЫЕ МОДУЛИ

Модульность структуры цифрового устройства – необходимое условие повышения степени интеграции. Разделение модулей на СИС и собственно БИС или СБИС (сверхБИС) не учитывает возможную при этом качественную трансформацию понятия элемента: от элемента (фрагмента) структуры к элементу системы, т.е. к организованной совокупности фрагментарных структур. Чтобы подчеркнуть принципиальные отличия в соответствующих подходах к модульному проектированию, будем различать модули структурные и системные.

Системный подход ассоциируется с широким применением микропроцессорных комплектов БИС и означает коренное изменение во взглядах на проектирование. Но это относится уже к системотехнике, которая нами не рассматривается.

При использовании структурного подхода перевод на БИС устройств, разработанных ранее в базе малых ИС, выполняется путем разбиения исходной структуры на множество взаимосвязанных блоков (модулей) [82,102-105]. При этом минимизируется число типов, суммарное количество модулей и связей между ними с удовлетворением ограничений на степень интеграции, топологию модуля и число его внешних выводов. Наиболее просто это сделать в регулярных структурах с повторяющимися фрагментами и связями.

В общем случае решение проблемы разбиений является лишь первым этапом модульного проектирования, который приводит к появлению ряда спец.БИС. Их число сокращается путем накрытия нескольких типов БИС одним многофункциональным модулем, перестраиваемым на выполнение определенной функции. Это достигается ценой введения дополнительной избыточности. Если устройство не очень сложно, то его можно реализовать на нескольких кристаллах БИС (в пределе – на одном) без перестройки. Для достаточно сложных устройств сформулированный подход применим только к относительно регулярным их частям.

В настоящее время более распространена изначальная ориентация на применение серийных микросхем с повышенной степенью интеграции: микросхем памяти, счетчиков, регистров, арифметико-логических блоков, дешифраторов, мультиплексоров и др. Оставшаяся

часть схемы (обычно это некоторая управляющая часть) реализуется на малых ИС либо с применением полужаказных модулей БИС. Использование многофункциональных спец.БИС необходимо ограничено из-за сложностей проектирования и изготовления.

Элементы теории модульных структур рассматриваются в § 4.1. Они находят отражение в разработках серийных микросхем и принципов их использования. Регуляризация схемы целесообразна и при ее отображении на кристалл БИС с применением систем автоматизированного проектирования. Не все излагаемые методы нашли пока практическое применение. Но они важны в исторической ретроспективе и как составная часть схемотехнической культуры. Другие параграфы главы (§4.2-4.5) посвящены изучению серийных операционных микросхем с позиций пользователя и микросхем памяти. Вопросы построения блоков памяти достаточных объемов с необходимым интерфейсом [106,107] относятся к числу системных и здесь не обсуждаются.

Рассмотрение в целом строится на материале работ [39, 40, 64, 106]. При этом, как и ранее, сохранены ссылки на основные первоисточники.

§4.1. ЭЛЕМЕНТЫ ТЕОРИИ МОДУЛЬНЫХ СТРУКТУР

В этом параграфе дается знакомство с принципами построения многофункциональных логических модулей (МФМ). Излагаются вопросы модульного синтеза последовательностных схем, синхронных и асинхронных. Изучаются возможности регуляризации комбинационных схем и операционных структур.

Многофункциональные логические модули

МФМ можно классифицировать [108-112]:

- 1) по функциональным возможностям – на модули универсальные, для реализации определенного класса булевых функций, специализированные;
- 2) по виду настройки – настройка технологическая, монтажная, логическая;
- 3) по способу кодирования настроечной информации – с простым, сложным или последовательным кодами настройки.

Управление модулем выполняется путем фиксации некоторых входов постоянными потенциалами, перестановкой переменных на входах, объединением некоторых входов, занесением информации в настроечную память и др. Возможно использование различных комбинаций этих методов.

Далее рассматривается случай универсальных модулей с одним выходом. Наибольший практический интерес представляют МФМ со многими выходами. Один из подходов к их синтезу подразумевает объединение в одном корпусе нескольких одновыходных МФМ с общими информационными и отдельными настроечными входами. При других подходах модули строятся по принципу триггерного ОЗУ [111], программируемого ПЗУ или программируемой логической матрицы ПЛМ (полузаказные БИС). Микросхемы ПЗУ и ПЛМ относятся к числу модулей с технологической настройкой. Они будут рассмотрены в § 4.5.

Универсальные модули. Известны различные подходы к проектированию универсальных МФМ. В одном предлагаются различные структуры, реализующие некоторый (или полный) набор конъюнкций от m переменных. Из них с помощью настройки выбираются требуемые [108, 111]. Другой метод заключается в поиске “наиболее эффективных” функций от числа переменных, большего m [109]. К этой функции применяются все допустимые виды настройки. В итоге получается множество функций m переменных. Используя такой подход, удалось синтезировать “полные” модули с $m \leq 5$ [108, 109]. Еще один подход связан с поиском оптимальных разбиений всех конъюнкций m переменных на группы и выработкой некоторых вспомогательных функций на дополнительных выходах, подключаемых ко входам [82]. Разработан систематический метод синтеза таких модулей для любого m .

Далее рассмотрение ведется по [82, 108]. Пусть A, B, C, \dots (либо a_1, a_2, \dots, a_m) – входы МФМ; Z_1, Z_2, \dots, Z_N – его выходы; x_1, x_2, \dots, x_m ($m \leq M$) – входные информационные сигналы; y_1, y_2, \dots, y_q ($q = M - m$) – сигналы настройки. Структура модуля задана совокупностью определяющих функций входов $Z_k = f_k(A, B, C, \dots)$, $k = 1, 2, \dots, N$. Конкретная функция, им реализуемая, зависит от значений сигналов настройки и порядка подключения сигналов x_i, y_j ко входам модуля.

Если $y_j \in \{0, 1, x_1, \dots, x_m\}$, такую настройку называют нормальной. В случае $y_j \in \{0, 1\}$ говорят о простой настройке. Входы настройки произвольны, когда для настройки могут быть использованы любые q из M входов, либо фиксированы. Обычно фиксированная настройка является одновременно и простой. Настройка по произвольным входам может быть как простой, так и нормальной. Наибольшими функциональными возможностями обладает нормальная настройка по произвольным входам.

Код фиксированной настройки может быть комбинирующим (многопозиционным) или выделяющим (однопозиционным). В первом

случае $Z_k = \bigvee_{j=1}^q f_j y_j$, где $\{f_j\}$ – множество базовых функций. Такой код

предпочтителен, когда необходимо получить много функций, состоящих из небольшого числа одинаковых конъюнкций. Пример: $Z = \bar{A}\bar{B}C \vee \bar{A}BD \vee A\bar{B}E \vee ABF$. Здесь A, B – информационные входы; C, D, E, F – входы настройки; $\bar{A}\bar{B}, \bar{A}B, A\bar{B}, AB$ – базовые функции.

При использовании однопозиционного кода, т.е. если $Z_k = \bigvee_{i=1}^v f_i y_i^1 \dots y_i^q$, каждую базовую функцию f_i выделяет $q = \lceil \log_2 v \rceil$ – разрядный код. Обычно его применяют, когда модуль реализует сравнительно небольшой список функций. Пример:

$$Z = ABC\bar{D}\bar{E} \vee (A \vee B \vee C)\bar{D}E \vee (\bar{A}BC \vee A\bar{B}C \vee ABC\bar{D})\bar{E} \vee \bar{A}\bar{B}CDE.$$

Здесь D, E – входы настройки.

Использование фиксированной настройки совершенно необходимо, если один и тот же модуль должен менять свое функционирование в процессе работы структуры. Произвольная настройка этого не допускает.

Модуль, который реализует все 2^m функций от m переменных, называется предельно универсальным. Его синтез при использовании комбинирующего кода фиксированной настройки сводится к образованию 2^m полных конъюнкций, каждой из которых приписывается свой сигнал настройки. Поэтому здесь $M = 2^m + m$. Переход к произвольным входам настройки при $m > 2$ позволяет сократить M более чем вдвое. Формальные методы синтеза таких модулей пока неизвестны. Но для сравнительно небольших m их схемы найдены эвристически.

Так, при $m = 2$ элемент может быть задан функцией

$$Z = \bar{A}\bar{B}C \vee \bar{A}B\bar{C} \vee B\bar{C}D \vee \bar{B}C\bar{D} \vee A\bar{C}D \vee AC\bar{D}.$$

В таблице (рис. 4.1,а) указаны настройки этого модуля лишь для одного представителя каждого класса реализуемых функций. Все другие функции могут быть получены соответствующим отождествлением входов и информационных сигналов. Наличие строки

таблицы позволяет реализовать любую функцию с $m > 2$, используя максимум $2^{m-1} - 1$ таких элементов.

Пусть, для примера,

$$Z = x_1 x_2 x_3 x_4 \vee \bar{x}_1 \bar{x}_2 x_3 x_4 \vee \bar{x}_1 x_2 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 x_3 \bar{x}_4 \vee x_1 x_2 \bar{x}_3 \bar{x}_4 \vee x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 x_3 \bar{x}_4.$$

Последовательно записываем

$$Z = \bar{x}_4 x_5 \vee x_4 x_6; \quad x_5 = x_1 \bar{x}_2 x_3 \vee x_1 x_2 \bar{x}_3 \vee x_1 \bar{x}_2 \bar{x}_3 \vee \bar{x}_1 \bar{x}_2 x_3;$$

$$x_6 = \bar{x}_1 x_7 \vee x_3 x_8; \quad x_7 = \bar{x}_1 x_2; \quad x_8 = x_1 x_2 \vee \bar{x}_1 \bar{x}_2.$$

Соответствующие этим функциям настройки указаны в таблице на рис. 4.1,б. Искомая структура (рис. 4.1,в) содержит 5 элементов.

а

N	Настройка				Класс функций	N	Настройка				Класс функций
	A	B	C	D			A	B	C	D	
1			B		$A\bar{B}D \vee AB\bar{D}$	11		0	0		AD
2			C		$A\bar{B}C \vee \bar{A}B\bar{C}$	12			0	0	$\bar{A}B$
3		A			$A\bar{C}D \vee AC\bar{D} \vee \bar{A}C\bar{D}$	13	0		1		$\bar{B}\bar{D}$
4	0				$B\bar{C}D \vee B\bar{C}\bar{D} \vee \bar{B}C\bar{D}$	14		1		0	$AC \vee \bar{A}\bar{C}$
5			0		$ABD \vee \bar{A}B\bar{D} \vee AB\bar{D} \vee \bar{A}B\bar{D} = AD \vee \bar{A}B$	15	0			0	$\bar{B}C \vee B\bar{C}$
6				1	$\bar{A}\bar{B}C \vee AB\bar{C} \vee \bar{A}B\bar{C} \vee AB\bar{C}$	16	1	0			$CD \vee \bar{C}D \vee \bar{C}\bar{D}$
7		1			$A\bar{C}D \vee AC\bar{D} \vee \bar{A}\bar{C}\bar{D} \vee \bar{A}\bar{C}\bar{D}$	17		1	0		$AD \vee \bar{A}D \vee \bar{A}\bar{D}$
8			1		$A\bar{B}D \vee AB\bar{D} \vee AB\bar{D} \vee \bar{A}B\bar{D}$	18	1		1		$\bar{B}D \vee B\bar{D} \vee \bar{B}\bar{D}$
9	1				$\bar{B}C\bar{D} \vee B\bar{C}\bar{D} \vee B\bar{C}\bar{D} \vee \bar{B}C\bar{D} \vee \bar{B}C\bar{D}$	19		0		1	A
10				A	$A\bar{B}C \vee AB\bar{C} \vee \bar{A}\bar{B}C \vee \bar{A}B\bar{C} \vee AB\bar{C}$	20		1		1	\bar{C}

б

Элементы	Настройка				Функция
	A _i	B _i	C _i	D _i	
1	x ₄	x ₅	0	x ₆	z
2	x ₁	x ₂	1	x ₃	x ₅
3	x ₃	x ₇	0	x ₈	x ₆
4	x ₁	x ₂	0	0	x ₇
5	x ₁	1	x ₂	0	x ₈

в

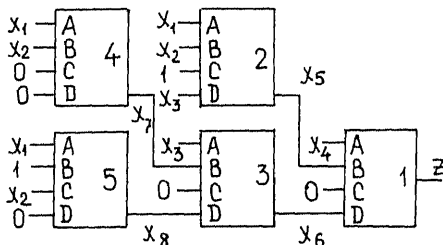
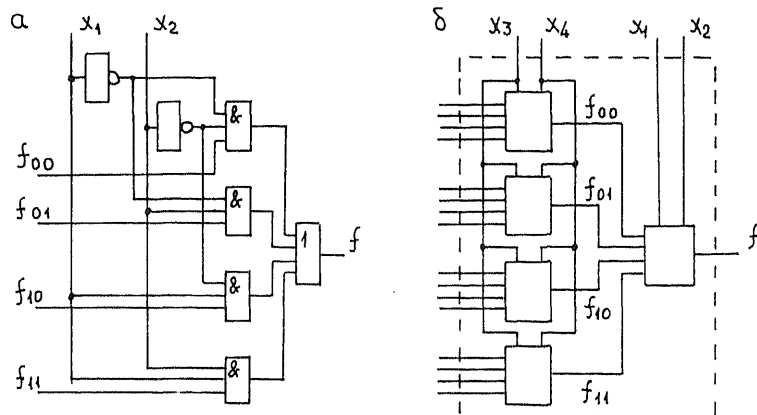


Рис. 4.1

Естественным требованием при модульном выполнении универсальных структур, предназначенных для реализации произвольных функций заданного числа переменных, является минимизация суммарного количества выводов. Это касается как отдельно взятого базового модуля, так и структуры в целом. Один из подходов связан с использованием декомпозиции Шеннона. Так предельно универсальный модуль на три переменные (рис. 4.2,а) получается из разложения

$$f(x_1, x_2, x_3) = \bar{x}_1 \bar{x}_2 f_{00}(x_3) \vee \bar{x}_1 x_2 f_{01}(x_3) \vee x_1 \bar{x}_2 f_{10}(x_3) \vee x_1 x_2 f_{11}(x_3).$$

Здесь остаточная функция $f_{\sigma_1 \sigma_2}(x_3) \in \{0, 1, x_3, \bar{x}_3\}$ есть результат подстановки в $\{(x_1, x_2, x_3)\}$ значений $x_1 = \sigma_1, x_2 = \sigma_2$ ($\sigma_i \in \{0, 1\}$).



i	Настройка									Функция
	A	B	C	D	E	F	G	H	I	
0	0	1								$CDEF GHI$
1		0	1							$\bar{A}DEF GHI$
2			0	1						$\bar{A}\bar{B}EF GHI$
3				0	1					$\bar{A}\bar{B}\bar{C}F GHI$
4					0	1				$\bar{A}\bar{B}\bar{C}\bar{D}GHI$
5						0	1			$\bar{A}\bar{B}\bar{C}\bar{D}\bar{E}HI$
6							0	1		$\bar{A}\bar{B}\bar{C}\bar{D}\bar{E}\bar{F}I$
7								0	1	$\bar{A}\bar{B}\bar{C}\bar{D}\bar{E}\bar{F}\bar{G}$

N	Настройка									Функция
	A	B	C	D	E	F	G	H	I	
1	x_5	x_7	0	0	0	0	1	x_3	x_8	$x_3 \bar{x}_5 \bar{x}_7 x_8$
2	x_1	x_4	x_6	x_{12}	x_{14}	0	0	1	x_{15}	$\bar{x}_1 \bar{x}_4 \bar{x}_6 \bar{x}_{12} \bar{x}_{14} x_{15}$
3	x_6	x_8	x_9	x_{10}	0	1	x_1	x_2	x_4	$x_1 x_2 x_4 \bar{x}_6 \bar{x}_8 \bar{x}_9 \bar{x}_{10}$

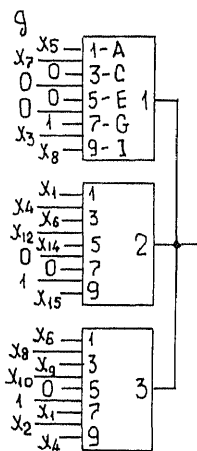


Рис. 4.2

Подобный модуль включен, например, в состав интегральной серии K155 в качестве мультиплексора 4→1. Аналогичная техника декомпозиции может быть использована для реализации модуля на любое число переменных m . При этом требуется всего $2^{m-1} + m - 1$ выводов M , в то время как в случае использования комбинирующего кода фиксированной настройки значение $M = 2^m + m$, т.е. существенно выше.

Если n — число переменных универсальной структуры, то возможна ее древовидная реализация с $2^{n-1} + n - 1$ входами на основе модулей, у которых $m < n$. Например, для нечетных n и $m = 3$ искомая структура получается из разложения

$$f(x_1, \dots, x_n) = \bar{x}_1 \bar{x}_2 f_{00}(x_3, \dots, x_n) \vee \dots \vee x_1 x_2 f_{11}(x_3, \dots, x_n).$$

Каждая функция $f_{i_1 i_2}(x_3, \dots, x_n)$ затем “раскрывается” через x_3 и x_4 . Такой процесс повторяется до тех пор, пока не останется единственная переменная x_n . На рис. 4.2,б дан пример реализации для случая $n = 5$.

Предельно универсальные элементы трудно выполнимы при больших значениях m . Выходом из положения является построение универсальных модулей, реализующих дизъюнкции любых r полных конъюнкций от m переменных. Требуемая функция синтезируется путем простого объединения выходов нескольких элементов.

Рассмотрим случай $r = 1$. Общее число полных конъюнкций от m переменных с различным числом отрицаний составляет $v = m + 1$. Поэтому при использовании выделяющего кода настройки элемент определен функцией $Z = \bigvee_{i=0}^m a_i^1 \dots a_m^i a_{m+1}^1 \dots a_{m+q}^i$. Здесь $a_i^1 \dots a_m^i$ — конъюнкция, имеющая i отрицаний; $a_{m+1}^1 \dots a_{m+q}^i$ — конъюнкция, определяемая двоичным эквивалентом числа i ; значение $q = \lceil \log_2 v \rceil$. Например, для $m = 7$ имеем

$$\begin{aligned} Z = & ABCDEFG\bar{H}\bar{I}\bar{K} \vee \bar{A}BCDEFG\bar{H}\bar{I}\bar{K} \vee \bar{A}\bar{B}CDEFG\bar{H}\bar{I}\bar{K} \vee \\ & \vee \bar{A}\bar{B}\bar{C}DEFG\bar{H}\bar{I}\bar{K} \vee \bar{A}\bar{B}\bar{C}\bar{D}EFG\bar{H}\bar{I}\bar{K} \vee \bar{A}\bar{B}\bar{C}\bar{D}\bar{E}FG\bar{H}\bar{I}\bar{K} \vee \\ & \vee \bar{A}\bar{B}\bar{C}\bar{D}\bar{E}\bar{F}G\bar{H}\bar{I}\bar{K} \vee \bar{A}\bar{B}\bar{C}\bar{D}\bar{E}\bar{F}\bar{G}\bar{H}\bar{I}\bar{K}. \end{aligned}$$

Упрощение структуры и уменьшение числа выводов модуля достигаются произвольным выбором входов настройки. Определяющая

функция такого элемента $Z = \bigvee_{j=1}^{\lceil \frac{m+1}{2} \rceil} a_{1+j-1} a_{2+j-1} a_{3+j-1} \dots a_{m+2}$. Настройка на

реализацию конъюнкции с i отрицаниями осуществляется подачей сигналов $a_{1+i} = 0, a_{1+i+2} = 1$. Так, в случае $m = 7$

$$Z = \bar{A}CDEFG\bar{H}\bar{I} \vee \bar{A}\bar{B}\bar{C}EFG\bar{H}\bar{I} \vee \bar{A}\bar{B}\bar{C}\bar{D}\bar{E}G\bar{H}\bar{I} \vee \bar{A}\bar{B}\bar{C}\bar{D}\bar{E}\bar{F}\bar{G}\bar{I}.$$

Множество настроек указано в таблице (рис. 4.2,в).

В качестве примера реализуем функцию

$$Z = x_3 \bar{x}_5 \bar{x}_7 x_8 \vee \bar{x}_1 \bar{x}_4 \bar{x}_6 \bar{x}_{12} \bar{x}_{14} x_{15} \vee x_1 x_2 x_4 \bar{x}_6 \bar{x}_8 \bar{x}_9 \bar{x}_{10} = Z_1 \vee Z_2 \vee Z_3.$$

Записываем каждую конъюнкцию в общем виде

$$Z_1 = \bar{A} \bar{B} \bar{C} \bar{D} \bar{E} I \quad (C = D = E = 0); \quad Z_2 = \bar{A} \bar{B} \bar{C} \bar{D} \bar{E} \bar{F} I \quad (F=0);$$

$$Z_3 = \bar{A} \bar{B} \bar{C} \bar{D} G H I.$$

Это определяет необходимые настройки (рис. 4.2,г) и схему (рис. 4.2,д).

Модульные реализации последовательностных схем

Исходной для реализации является таблица переходов автомата. При этом в зависимости от вида таблицы (синхронная или асинхронная) используются разные подходы.

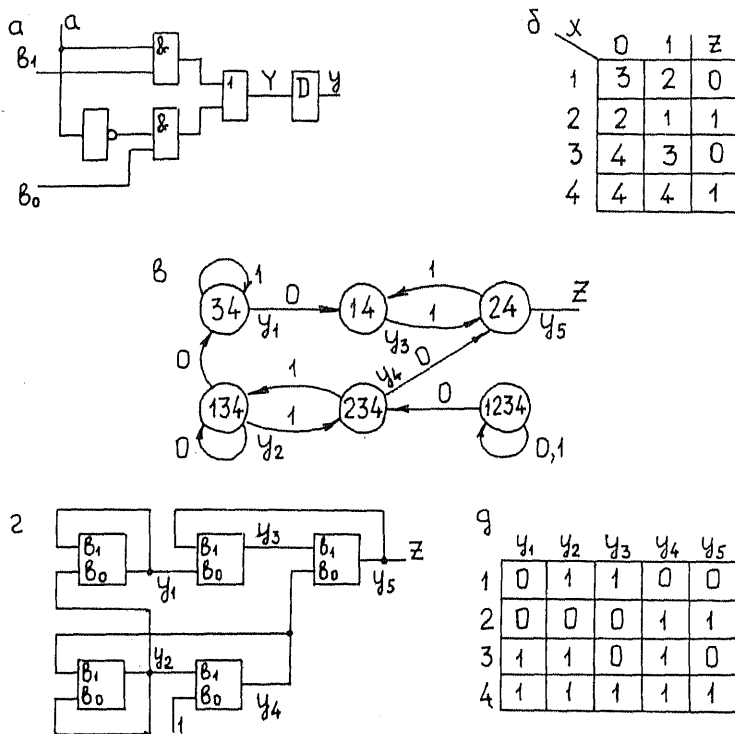


Рис. 4.3

Синхронные схемы [82]. Любой синхронный автомат Мура с одним двоичным входом может быть реализован на основе 3-входового модуля (рис. 4.3,а; D – элемент задержки на такт). Выходной сигнал

модуля в такте $(k+1)$ определен входными сигналами в k -такте как $y = ab_1 \vee \bar{a}b_0$ и представляет одну из внутренних переменных. Входы a всех модулей структуры соединяются с внешним входом x . Входы b_0 и b_1 каждого модуля m_i соединяются с выходом некоторого модуля (возможно, самого m_i) либо с константой 0 или 1.

Пусть выход модуля m_i задает внутреннюю переменную $y_i = Z$ (выход схемы), а его входы b_0 и b_1 подсоединены к выходам модулей m_2 и m_3 , определяющим соответственно внутренние переменные y_2 и y_3 . Тогда $y_2(y_3) = 1$ для всех состояний, следующему состоянию которых в столбце $x = 0$ (1) отвечает значение $y_1 = 1$. Входы m_2 и m_3 определяются аналогично. И так далее, пока не исчезнет необходимость во введении новых модулей.

Определим понятие I_j -предшественника $N^{-1}(q_i, I_j)$ состояния q_i как множество состояний, для которых следующим состоянием в столбце I_j является q_i . Аналогично I_j -предшественником $N^{-1}(Q_i, I_j)$ множества состояний Q_i является множество состояний, следующие состояния которых в столбце I_j принадлежат Q_i .

Процедура 4.1. Реализация синхронных схем Мура M с одним двоичным входом и выходом.

1. Строим направленный граф, вершинами которого являются подмножества состояний M , а ребра отвечают связям предшествования между ними.

1.1. Начальной назовем вершину, которая соответствует состояниям M со значением выхода $Z=1$ (кодом вершины является перечень состояний).

1.2. Определяем вершины для множеств 0 (1) –предшественников начальной вершины и соединяем их с нею ребрами, обозначенными цифрой 0 (1).

1.3. Аналогично поступаем с каждой вновь введенной вершиной. Построение графа заканчивается, когда предшественниками оказываются уже имеющиеся вершины.

2. Выполняем переход от построенного графа к реализации M на основе модулей (рис. 4.3,а).

2.1. Каждая вершина графа заменяется модулем.

2.2. Ребра, помеченные цифрой 0 (1), заменяются соединением с выводами b_0 (b_1) модуля, соответствующего вершине, в которую эти ребра направлены.

2.3. Вершина, отвечающая множеству всех состояний, (если она есть на графе) заменяется константой 1, а пустое множество – 0.

2.4. Входной сигнал x подается на выводы a всех модулей.

Так, для синхронной таблицы переходов (рис.4.3,б) первый шаг процедуры дает граф (рис.4.3,в), который затем преобразуется в модульную реализацию (рис.4.3,г). Ей отвечает кодирование состояний (рис.4.3,д).

При использовании рассмотренной процедуры верхней границей числа модулей, требуемых для реализации автомата с n состояниями, является $2^n - 2$. В случае многовыходной структуры шаг 1.1 процедуры повторяется для каждого выхода.

Модуль (рис. 4.3,а) можно использовать и при реализации схем Мили. Это связано с незначительной модификацией процедуры. Выходная вершина графа помечается буквой Z . Соответствующие ей входы b_0 (b_1) соединяются с выходами модулей, отвечающих подмножествам состояний, которые дают $Z = 1$ при $x = 0$ (1). В остальном процедура остается неизменной.

С увеличением числа входов структуры схема модуля несколько изменяется (рис.4.4,а). Построение графа и модульная реализация выполняются аналогично предыдущему. Только вместо 0 (1)-предшественника используется более общее понятие I_j -предшественника ($0 \leq j \leq 2^k - 1$).

Число модулей, необходимых для реализации структуры, можно снизить путем усложнения схемы модуля (рис.4.4,б). Многовыходный вариант модуля строится, как и ранее. Рассмотрим случай автомата с одним входом и выходом. Выводы a всех модулей соединяются со входом x . Сигнал на выходе модуля равен 1 тогда и только тогда, когда $x = 0$ и $b_{0i} = 1$ либо $x = 1$ и $b_{1i} = 1$ ($i = 1, 2, \dots, r$). В данном случае процедура модифицируется следующим образом.

Пусть Q – множество всех состояний автомата. Разделим Q на r блоков Q_1, Q_2, \dots, Q_r , каждый из которых имеет максимум $\lfloor n/r \rfloor$ состояний (n – число состояний схемы в целом). Выходной модуль m_i отвечает подмножеству состояний со значением $Z = 1$. Для него находятся пересечения 0- и 1-предшественников с Q_1, Q_2, \dots, Q_r . Это определяет модули, которые должны соединяться с выводами b_{0i} и b_{1i} модуля m_i . Процедура повторяется для каждого вновь найденного модуля до тех пор, пока не исчезнет необходимость во введении каких-либо новых подмножеств состояний. Верхней границей числа модулей при такой реализации является $1 + r(2^{\lfloor n/r \rfloor} - 1)$. Эта граница не зависит от числа входов.

Пусть требуется реализовать синхронную таблицу (рис. 4.4,в) с использованием модулей на 5 входов ($r = 2$). За основу возьмем разбиение (123, 456). Поскольку состояния 3,4 и 6 определяют значение $Z=1$, отмечаем выходной модуль номером 346. Для множества {346} 0- и 1-предшественниками являются соответственно {156} и

{2456}. Их пересечения с {123} и {456} дают {1}, {56} и {2}, {456}. Определяя 0- и 1-предшественники этих подмножеств и находя их пересечения с двумя блоками разбиения, получаем дополнительно подмножества {4}, {3} и {6}. Повторение процедуры добавляет {5}. Процесс завершается, поскольку предшественником состояния 5 является состояние 2, которое было уже введено ранее. В данном случае требуется 9 модулей (рис.4.4,г).

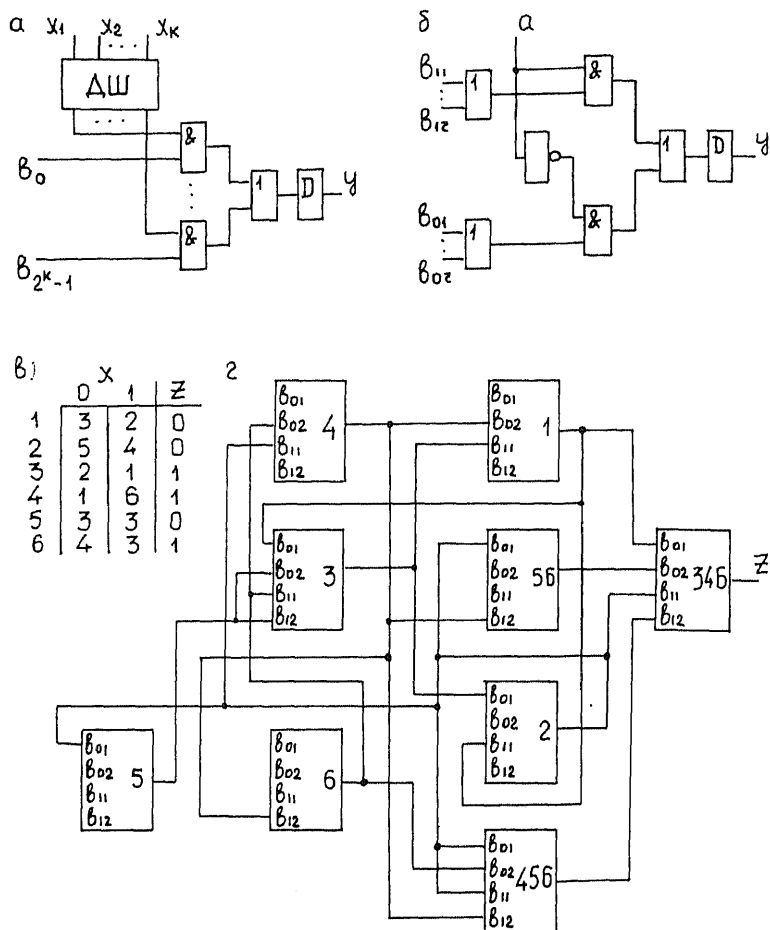


Рис. 4.4

Характерно, что при выборе разбиения (135, 246) получим структуру, содержащую 10 модулей. Таким образом, реализация здесь не является единственной. Это отличает рассмотренные модули от предыдущих.

Декомпозиция асинхронных схем [81]. Введем ряд определений.

- Разбиением на множестве состояний является группировка состояний в непересекающиеся подмножества, называемые блоками, так что каждое состояние принадлежит в точности одному блоку. Например, $\alpha = (156, 2, 38, 47)$ есть разбиение четырьмя блоками на множестве $\{1, \dots, 8\}$. Запись $a \underset{\alpha}{=} b$ (α уравнивает a и b) означает, что состояния a и b находятся в одном и том же блоке разбиения α . Разбиение на одноэлементные блоки называется 0-разбиением. Если задано однозначное кодирование таблицы переходов, то с каждой внутренней переменной y_i можно однозначно связать 2-блочное разбиение ρ_i такое, что для всех состояний одного блока $y_i = 0$, а в другом $y_i = 1$.

- Произведением $\alpha\beta$ является разбиение, которое уравнивает a и b тогда и только тогда, когда оба разбиения α и β уравнивают a и b . Так, $(1356, 24, 78) (1236, 45, 78) = (136, 78, 2, 4, 5)$. Если y_1, y_2, \dots, y_m — y -переменные однозначного кодирования для данной таблицы, то $\prod_{i=1}^m \rho_i = 0$ (в противном случае как минимум 2 строки будут закодированы одинаково).

- Разбиения α и β на состояниях некоторой таблицы переходов образуют пару разбиений $P(\alpha, \beta)$, если для каждого входа i и каждой пары состояний p и q таких что $p \underset{\alpha}{=} q$, следующие состояния $N(p, i) \underset{\beta}{=} N(q, i)$. Так, для синхронной таблицы (рис.4.5,а) разбиения $\alpha = (14, 235)$ и $\beta = (15, 234)$ образуют пару разбиений.

- Разбиение α обладает свойством подстановки, когда $P(\alpha, \alpha)$ есть пара разбиений. В приведенной таблице таким свойством обладает разбиение $(12, 3, 45)$.

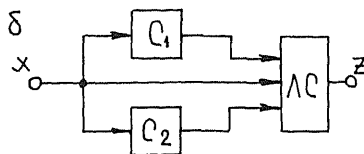
Теорема 4.1. Если для некоторой ОИВ-таблицы T пара $P(\alpha, \alpha)$ есть пара разбиений, то существует множество y -переменных σ_k такое, что $\prod_{y_i \in \sigma_k} \rho_i = \alpha$, и пригодное ООТП-кодирование для T такое, что $y_k = f_k(x, \sigma_k)$.

Рассмотрим случай параллельной декомпозиции (рис 4.5,б), когда каждая из взаимонезависимых схем C_1 и C_2 передает выходной

комбинационной схеме ЛС информацию о своем внутреннем состоянии.

а

	A	B	C
1	4	3	5
2	5	3	4
3	5	2	3
4	2	4	1
5	1	4	2



в

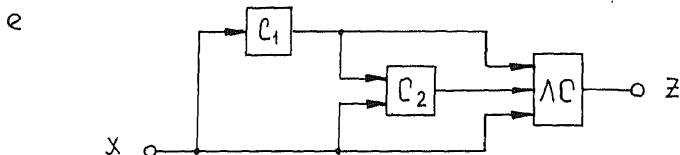
	$x_1 x_2$				$y_1 y_2 y_3 y_4$			
	00	01	11	10	y_1	y_2	y_3	y_4
1	(1),0	(1),0	4,0	2,0	0	0	0	0
2	(2),0	3,0	(2),0	(2),0	1	1	1	0
3	(3),1	(3),0	4,0	—	0	1	0	1
4	(4),0	—	(4),0	5,0	1	1	0	1
5	(5),1	1,0	—	(5),0	1	0	1	1

г

	$x_1 x_2$				y_1
	00	01	11	10	
1	(1)	(1)	2	2	0 (13)
2	(2)	1	(2)	(2)	1 (245)

д

	$y_2 y_3 y_4$				y_1
	(1)	(1)	3	4	
1	(1)	3	(2)	(2)	0 0 0 (1)
2	(2)	(3)	(2)	(2)	1 1 0 (2)
3	(3)	(3)	(3)	4	1 0 1 (34)
4	(4)	1	—	(4)	0 1 1 (5)



ж

	x		$y_1 y_2 y_3 y_4$			
	0	1	y_1	y_2	y_3	y_4
1	(1),0	5,0	0	0	0	0
2	(2),0	4,0	0	0	1	1
3	(3),1	5,0	0	0	1	0
4	7,0	(4),0	0	1	0	1
5	6,0	(5),0	0	1	1	0
6	(6),0	8,0	1	1	1	1
7	(7),0	9,0	1	1	0	0
8	2,0	(8),0	1	0	1	1
9	3,0	(9),0	1	0	1	0

з

	x		$y_1 y_2$
	0	1	
1	(1)	2	0 0 (123)
2	3	(2)	0 1 (45)
3	(3)	4	1 1 (67)
4	1	(4)	1 0 (89)

и

	$x y_1 y_2$								$y_3 y_4$
	000	001	011	010	110	111	101	100	
1	(1)	(1)	(1)	—	3	3	3	3	0 0 (17)
2	(2)	(2)	(2)	(2)	(2)	(2)	4	4	1 1 (268)
3	(3)	2	2	(3)	(3)	(3)	(3)	(3)	1 0 (359)
4	—	1	1	—	—	—	(4)	(4)	0 1 (4)

Рис. 4.5

Теорема 4.2. ОИВ-таблицу переходов можно реализовать в виде параллельной декомпозиции из двух схем, так что каждому состоянию таблицы переходов будет отвечать единственная пара состояний этих

схем, тогда и только тогда, когда существует пара разбиений α_1 и α_2 со свойством подстановки таких, что $\alpha_1 \alpha_2 = 0$.

Рассмотрим пример (рис. 4.5,в). Пара $\alpha_1 = (13,245)$ и $\alpha_2 = (1,2,34,5)$ являются разбиениями со свойством подстановки. При этом $\alpha_1 \alpha_2 = 0$, так что условия теоремы 4.2 выполнены. Согласно теореме 4.1 можно построить отдельные таблицы переходов для схем C_1 (рис. 4.5,г) и C_2 (рис. 4.5,д). Строки этих таблиц отвечают блокам разбиений α_1 и α_2 . Теперь путем построения пригодных кодирований для каждой таблицы (показан случай ООТП-кодирования) можно синтезировать требуемые схемы. Выходная логическая схема определяет полное внутреннее состояние и сигнал на выходе как функцию состояний схем C_1 и C_2 .

Так, если C_1 находится в состоянии 2, а C_2 — в состоянии 3, то полное внутреннее состояние определено пересечением блоков 245 и 34, равным 4. Фактическая кодировка исходной таблицы приведена на рис. 4.5,в. Она является пригодным ООТП-кодированием, поскольку $\alpha_1 \alpha_2 = 0$.

Последовательная декомпозиция (рис. 4.5,е), когда схема C_2 получает дополнительную информацию от C_1 , накладывает на исходную таблицу менее жесткие требования, чем параллельная.

Теорема 4.3. ОИВ-таблица переходов T может быть реализована в виде последовательной декомпозиции из двух схем таким образом, что каждому состоянию из T однозначно соответствует пара состояний этих схем, тогда и только тогда, когда существует разбиение со свойством подстановки. Это разбиение выделяет схему C_1 . Схема C_2 покрывает дихотомии, которые остались непокрытыми схемой C_1 .

Рассмотрим пример (рис. 4.5,ж). Разбиение $\alpha_1 = (123,45,67,89)$ обладает свойством подстановки. Поэтому согласно теореме 4.1 получаем таблицу для C_1 (рис. 4.5,з) с пригодным ООТП-кодированием двумя переменными. Всего в исходной таблице (рис. 4.5,ж) при ООТП-кодировании следует покрыть такие дихотомии: (1,28), (1,39), (1,47), (1,56), (28,39), (28,47), (28,56), (39,47), (39,56), (47,56); (15,24), (15,68), (15,79), (24,68), (24,79), (24,35), (35,68), (35,79), (68,79). В данном случае $p_1 = (12345,6789)$, $p_2 = (12389,4567)$. Так что остаются непокрытыми дихотомии (1,28), (1,39), (28,39), (47,56), (15,24), (68,79), (24,35).

Применяя к ним процедуру Трейси, получаем минимальный набор покрывающих дихотомий $(147,235689) = p_3$ и $(13579,2468) = p_4$. Теперь можно построить таблицу для C_2 (рис. 4.5,и). Ее строки отвечают блокам разбиения $p_3 p_4 = (17,268,359,4)$, а входами являются x, y_1, y_2 . Клетки этой таблицы заполняются путем последовательного рассмотрения всех переходов в исходной таблице. При этом

учитывается, что изменения в u_1, u_2 могут происходить как до, так и после изменений в u_3, u_4 . Оконечная схема ЛС синтезируется согласно таблице (рис.4.5,ж) с учетом найденного кодирования.

Однородные сети [112]

Однородные сети содержат конечное число одинаковых (в общем случае перестраиваемых) элементов и реализуют определенную логическую функцию при данной настройке. По направленности связей различают сети одно- и двусторонние. Одномерные сети обычно называют цепочками, двумерные – решетками. Все входы и выходы элемента сети можно разделить на межэлементные (в цепочках – боковые) и внешние. Среди последних выделяют информационные и настроечные входы. Сети из ненастраиваемых элементов часто относят к итеративным. Если некоторая переменная подается в цепочке на входы нескольких элементов, такие сети называют повторными.

Одномерные реализации. Будем считать, что на внешние информационные входы каждого элемента сети подается лишь одна переменная. Его внешние выходы в данном случае несущественны. Рассмотрим случай одноканальных неповторных сетей из настраиваемых элементов (рис. 4.6,а). Если допустить подачу на входы инверсий переменных, то можно использовать элемент, который при соответствующей настройке реализует одну из трех операций: \wedge, \vee, \oplus (сумма по модулю 2). Такие сети часто называют майтровскими каскадами. Они позволяют реализовать далеко не всякую логическую функцию.

Теорема 4.4. Для того, чтобы функция $f(x_1, \dots, x_n)$ допускала декомпозицию $f(x_1, \dots, x_n) = F(x_i, g(x_1, \dots, x_{i-1}, x_{i+1}, \dots, x_n))$ относительно переменной x_i при $F \in \{ \vee, \wedge, \oplus \}$, необходимо и достаточно, чтобы одна из остаточных функций $f(x_i = 1)$ или $f(x_i = 0)$ обращалась в константу либо $f(x_i = 1) = \bar{f}(x_i = 0)$.

Доказательство теоремы вытекает из разложения Шеннона

$$f(x_1, \dots, x_n) = x_i f(x_i = 1) \vee \bar{x}_i f(x_i = 0).$$

Вид декомпозиции определен значениями остаточных функций

$$f = \begin{cases} x_i f(x_i = 1), f(x_i = 0) = 0; \\ \bar{x}_i f(x_i = 0), f(x_i = 1) = 0; \\ \bar{x}_i \vee f(x_i = 1), f(x_i = 0) = 1; \\ x_i \vee f(x_i = 0), f(x_i = 1) = 1; \\ x_i \oplus f(x_i = 0) = \bar{x}_i \oplus f(x_i = 1), f(x_i = 0) = \bar{f}(x_i = 1). \end{cases}$$

Синтез ведется от выхода схемы последовательным исключением переменных. Порядок выбора переменных безразличен.

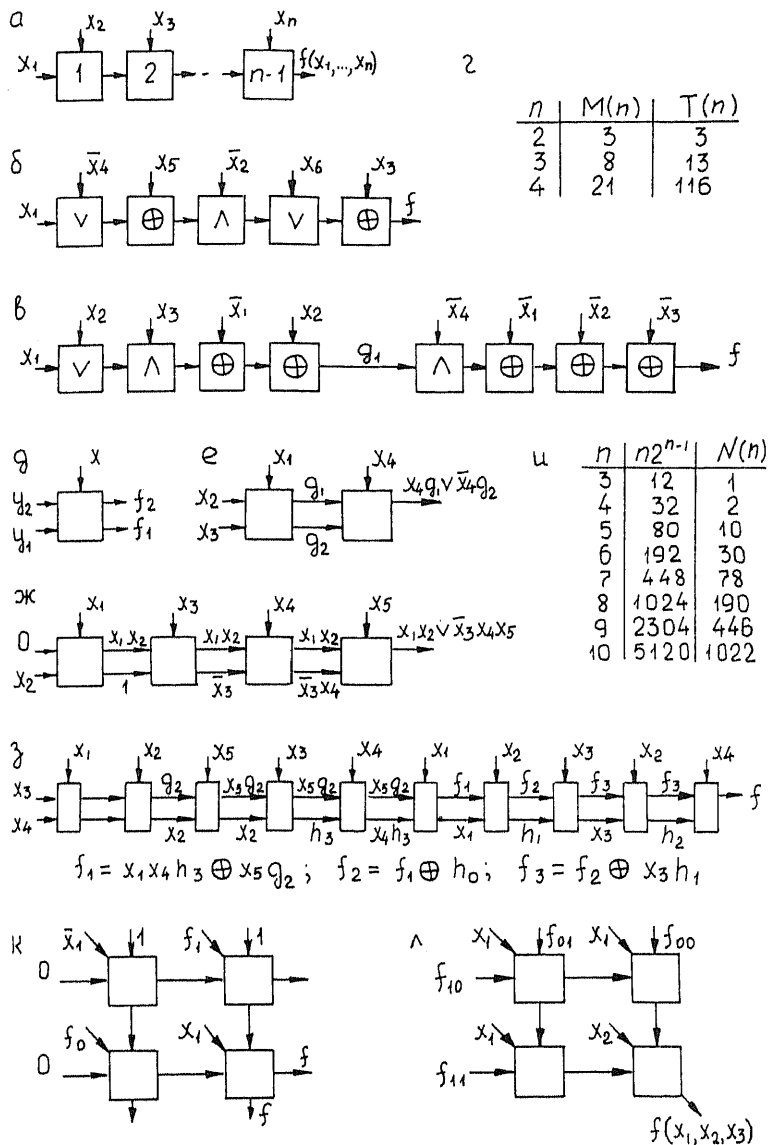


Рис. 4.6

Пример 4.1. реализовать функцию

$$f = \bar{x}_1 x_6 \vee x_2 x_3 \bar{x}_6 \vee x_1 x_3 x_5 \bar{x}_6 \vee x_3 \bar{x}_4 x_5 \bar{x}_6 \vee \bar{x}_1 x_4 \bar{x}_5 \bar{x}_6 \vee x_1 \bar{x}_2 \bar{x}_3 \bar{x}_5 \vee \\ \vee \bar{x}_2 \bar{x}_3 \bar{x}_4 \bar{x}_5 \vee \bar{x}_1 \bar{x}_2 \bar{x}_3 x_4 x_5.$$

В данном случае ни одна из остаточных функций не является постоянной величиной. Условие $f(x_i = 1) = \bar{f}(x_i = 0)$ выполняется при $i = 3$. Поэтому

$$f = x_3 \oplus f(x_3 = 0), \quad f(x_3 = 0) = x_6 \vee x_1 \bar{x}_2 \bar{x}_5 \vee \bar{x}_2 \bar{x}_4 \bar{x}_5 \vee \bar{x}_1 \bar{x}_2 x_4 x_5.$$

Поскольку $f(x_3 = 0, x_6 = 1) = 1$, то $f(x_3 = 0) = x_6 \vee f(x_3 = 0, x_6 = 0)$. И далее:

$$f(x_3 = 0, x_6 = 0) = \bar{x}_1 f(x_3 = 0, x_6 = 0, x_2 = 0); \quad f(x_3 = 0, x_6 = 0, x_2 = 0) = x_5 \oplus (x_1 \vee \bar{x}_4).$$

Искомая реализация имеет вид (рис. 4.6,б).

Если заданная функция не может быть представлена бесповторной сетью, что выясняется на некотором шаге рассмотренной процедуры, то начиная с этого шага, следует искать повторную реализацию остаточной функции, пользуясь разложением Рида

$$f(x_1, \dots, x_n) = f(x_i = 0) \oplus (x_i (f(x_i = 0) \oplus f(x_i = 1)))$$

или

$$f(x_1, \dots, x_n) = f(x_i = 1) \oplus (\bar{x}_i (f(x_i = 0) \oplus f(x_i = 1))),$$

справедливым для любой функции. Тогда переменную x_i можно исключить, если одна из остаточных функций $f(x_i = 0)$ или $f(x_i = 1)$ представима в виде суммы по модулю 2 своих переменных. В противном случае заданная функция не реализуется повторной сетью. Для факта реализуемости неважно, с какой переменной начинать процесс.

Пример 4.2. Реализовать функцию

$$f = \bar{x}_1 \bar{x}_2 x_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 \bar{x}_3 x_4 \vee x_1 x_2 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 x_3 x_4 \vee \bar{x}_1 x_2 x_1 x_4.$$

Ни одна из переменных не исключается бесповторной сетью. По Риду можно исключить x_4 :

$$f(x_4 = 1) = \bar{x}_1 \bar{x}_2 \bar{x}_3 \vee x_1 x_2 \bar{x}_3 \vee x_1 \bar{x}_2 x_3 \vee \bar{x}_1 x_2 x_3 = \bar{x}_1 \oplus \bar{x}_2 \oplus \bar{x}_3.$$

Поскольку $f(x_4 = 0) = \bar{x}_1 \bar{x}_2 x_3$, то

$$\bar{x}_4 (f(x_4 = 0) \oplus f(x_4 = 1)) = \bar{x}_4 [\bar{x}_2 \bar{x}_3 \vee \bar{x}_1 x_3 \vee \bar{x}_1 \bar{x}_2 \vee x_1 x_2 \bar{x}_3] = \bar{x}_4 g_1(x_1, x_2, x_3).$$

Далее:

$$g_1(x_3 = 0) = \bar{x}_1 \bar{x}_2 \vee x_1 x_2 = \bar{x}_1 \oplus x_2; \quad g_1(x_3 = 1) = \bar{x}_1 \vee \bar{x}_2.$$

Наконец,

$$x_3 (g_1(x_3 = 0) \oplus g_1(x_3 = 1)) = x_3 (x_1 \vee x_2),$$

что заключает искомую реализацию (рис. 4.6,в).

Бесповторная сеть для функции n переменных содержит точно $n-1$ элемент. Поэтому проблемы минимизации в данном случае не существует. Для повторных сетей она имеет место. Наименьшее число элементов в них не превышает $(n^2 + n - 4)/2$. Сравним функциональные

возможности обеих цепочек. В один класс эквивалентности объединим функции, получаемые из представителя класса всеми мыслимыми перестановками и инверсиями переменных. Число таких классов функций n переменных, реализуемых майтровскими каскадами и повторными сетями, обозначим через $M(n)$ и $T(n)$. Справедлива таблица (рис. 4.6,г).

Универсальностью обладают лишь повторные сети с числом боковых каналов более одного. Рассмотрим случай 2-канальной сети. Пусть ее элемент (рис. 4.6,д) реализует любую пару функций трех переменных $f_1(x, y_1, y_2)$ и $f_2(x, y_1, y_2)$. Тогда произвольная функция четырех переменных представима сетью из двух таких элементов (рис. 4.6,е). Двухканальная сеть оказывается универсальной и при менее жестких требованиях к элементу, когда

$$f_1 \in \{xy_1, \bar{x}y_1, 1\}, f_2 \in \{xy_1 \vee y_2, \bar{x}y_1 \vee y_2, y_2\}.$$

При этом можно последовательно формировать составляющие конъюнкции на выходе f_1 (нижний канал), а верхний канал использовать для постепенного образования ДНФ заданной функции. Так, функция $f = x_1x_2 \vee \bar{x}_1x_4x_3$ реализуется схемой (рис. 4.6, ж). Число элементов в подобных сетях не должно превышать $n2^{n-1}$. Это оценка реализации по Шеннону.

Лучшие результаты могут быть получены при использовании разложения Рида, если снять ограничения на функции f_1 и f_2 . Так, любая функция пяти переменных представима в виде

$$f(x_1, \dots, x_5) = g_1(x_1, \dots, x_4) \oplus x_5g_2(x_1, \dots, x_4) = h_0(x_1, x_2) \oplus x_3h_1(x_1, x_2) \oplus x_4h_2(x_2, x_3) \oplus x_1x_4h_3(x_2, x_3) \oplus x_5g_2(x_1, \dots, x_4),$$

где g_i и h_i — некоторые функции четырех и двух переменных. Соответствующая реализация (рис. 4.6,з) имеет минимальное число элементов. Накопление в верхнем канале ведется по модулю 2. Функция g_2 реализуется двумя элементами, как показано ранее. Верхняя оценка для числа элементов такой сети

$$N(n) \leq N(n-1) + (n-1)2^{n-1}.$$

Это оценка по Риду. Сравнение результатов обеих оценок дано в таблице (рис. 4.6,и).

Двумерный случай. Рассмотрим один из возможных подходов к синтезу решеток из 3-входовых мажоритарных элементов. Схема (рис. 4.6,к) является универсальной структурой для двух переменных, так как

$$f = ((1\# \bar{x}_1\# 0) \# 1\# f_1) \# ((1\# \bar{x}_1\# 0) \# 0\# f_0) \# x_1 = \bar{x}_1 f_0 \vee x_1 f_1.$$

Этой схеме отвечает матрица внешних входов

$$\begin{pmatrix} \bar{x}_1 & f_1 \\ f_0 & x_1 \end{pmatrix}.$$

Решетка размером 3x3 с матрицей

$$\begin{vmatrix} \bar{x}_1 & f_{11} & \bar{x}_2 \\ f_{00} & x_2 & f_{10} \\ \bar{x}_2 & f_{01} & x_1 \end{vmatrix}$$

реализует любую функцию трех переменных
 $f = \bar{x}_1 \bar{x}_2 f_{00} \vee \bar{x}_1 x_2 f_{01} \vee x_1 \bar{x}_2 f_{10} \vee x_1 x_2 f_{11}.$

Матрицу для $n = 4$ можно построить из двух матриц для $n = 3$, например, таким способом

$$k \begin{vmatrix} \bar{x}_1 & \bar{x}_1 & \bar{x}_1 & | & \bar{x}_2 & f_{111} & \bar{x}_3 \\ \bar{x}_2 & f_{011} & \bar{x}_3 & | & f_{100} & x_3 & f_{110} \\ f_{000} & x_3 & f_{010} & | & x_3 & f_{101} & x_2 \\ \bar{x}_3 & f_{001} & x_2 & | & x_1 & x_1 & x_1 \end{vmatrix}$$

При этом $f = \bigvee_{\sigma_1 \sigma_2 \sigma_3} x_1^{\sigma_1} x_2^{\sigma_2} x_3^{\sigma_3} f_{\sigma_1 \sigma_2 \sigma_3}$. Аналогично можно построить матрицу на любое $n = k$ из двух матриц для $n = k - 1$. Если h_n – число строк, ω_n – число столбцов матрицы n переменных, то $h_3 = \omega_3 = 3$ и в случае $n > 3$ величины $h_n = \omega_{n-1} + 1$, $\omega_n = 2h_{n-1}$.

Недостатком рассмотренных решеток является сравнительно большое число внешних входов (и число элементов). Его можно снизить путем увеличения логических возможностей элемента. Одной из попыток является применение универсального (для $n = 2$) 3-входового элемента, реализующего функцию $f = x_1 f_1 \vee \bar{x}_1 f_0$, где f_1 – боковой, f_0 – верхний входы. Решетка 2x2 из таких элементов (рис. 4.6,л) позволяет реализовать любую функцию трех переменных. Решетка 4x4 является универсальной для случая $n = 4$ и так далее.

Операционные среды

Операционная среда представляет собой матрицу памяти ограниченного объема с распределенной логикой, предназначенную для параллельной реализации заданного множества процедур над предварительно занесенным в нее массивом данных. Более точное название таких сред – операционные логико-запоминающие среды (ЛЗС). Истоки теории ЛЗС восходят к работам [113-116]. Частичная формализация процесса их синтеза дана в [64,117,118]. Это является предметом нашего краткого знакомства с ними. Перспективы применения ЛЗС при решении задач нечисловой обработки информации рассмотрены в работах [107,117-122].

Подход к синтезу. Определим операционную ЛЗС как итеративную двумерную структуру (рис. 4.7), которая реализует заданное множество процедур независимо от размеров среды

($i = 1, 2, \dots, m$; $j = 1, 2, \dots, n$). Элемент (j, i) среды содержит ячейку памяти для хранения 1 бита исходной информации и автоматную часть.

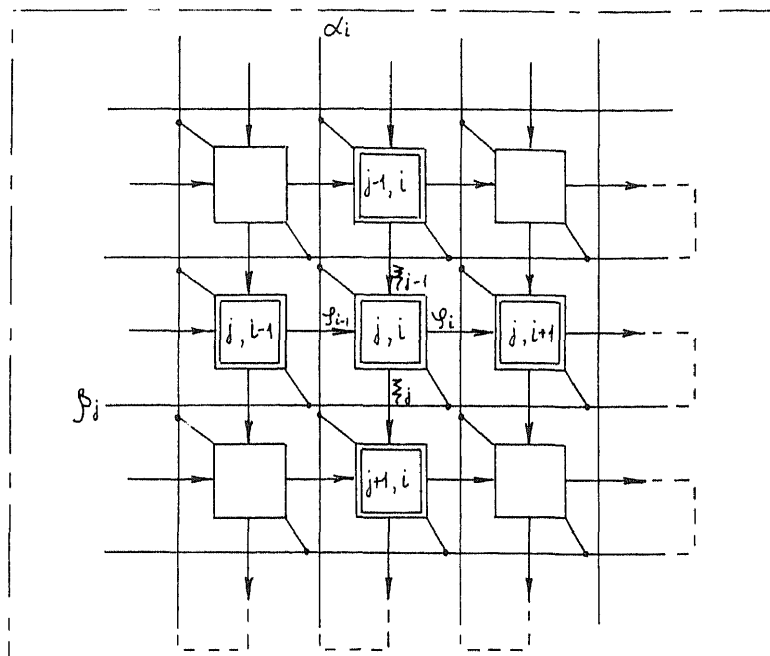


Рис. 4.7

Признаки α_i , β_j являются общими для i -столбца и j -строки. Они могут выполнять функции настройки, маскирования, разрешения считывания или записи, числовых разрядов, результатов анализа содержимого строк или столбцов и т.д. В общем случае внешние сигналы элемента суть многокомпонентные наборы. Например, $\alpha_i = (\alpha_i^1 \ \alpha_i^2 \ \dots \ \alpha_i^k)$. Выходы элемента (j, i) являются автоматными функциями входов и содержимого $a_{j,i}$ ячейки памяти. Элементы могут иметь и отдельные выходы. Допускается коммутация шин по краям среды (рис. 4.7; пунктир).

«Обрамление» среды составляют группы регистров, в которые помещаются исходные данные (признаки), маски и конечные результаты. В них может выполняться и дополнительная логическая обработка информации.

Суть излагаемого подхода к синтезу операционных логико-запоминающих сред заключается в следующем. В конечном итоге

задача синтеза ЛЗС для реализации заданного набора процедур сводится к определению структуры связей, схемы элемента и значений сигналов на границах среды. Основное затруднение связано с тем, что неизвестна стандартная рецептура формулировки алгоритмов выполнения процедур на основе ЛЗС. В этом смысле любой подход к синтезу ЛЗС в целом эвристичен. Но если алгоритм приемлемо сформулирован и связи определены, то дальнейший процесс синтеза хорошо формализуется путем использования метода модифицированных таблиц переходов, развитого первоначально применительно к одномерным итеративным системам [112].

По определению в ЛЗС выполняется последовательно-однотипная обработка элементов информации по строкам и/или столбцам. Подобную интерпретацию допускают [112, 116] операции поиска числа в однородном информационном массиве по заданному набору признаков, распознавания каких-либо свойств такого массива и преобразования кодов (суммирования, сдвигов и т.д.). Поэтому достаточным условием реализуемости произвольной процедуры на основе ЛЗС является возможность формулировки алгоритма ее выполнения в терминах выделенного класса операций.

Пусть такое условие выполнено. Тогда синтезируется своя среда для каждой из непересекающихся алгоритмических компонент (операций) путем ее интерпретации применительно к использованию ЛЗС совместно с методом модифицированных таблиц переходов. После чего организуется либо единая перестраиваемая среда объединением всех составляющих, либо создается обрабатывающий массив из нескольких специализированных сред.

Далее дается иллюстрация сформулированного подхода на примерах структур информационного поиска и минимизации булевых функций. Заметим, что метод модифицированных таблиц переходов позволяет описать поведение как комбинационных, так и последовательностных итеративных систем. В последнем случае на этапе реализации элемента по такой таблице в цепь обратной связи необходимо включать синхронные D-триггеры (элементы задержки на такт), по одному на каждую внутреннюю переменную. Тем самым достаточно просто решается и проблема начальной установки автомата. Граничный набор действует постоянно. Такты разделяются подачей синхронимпульсов на D-триггер.

Пример перестраиваемой среды поиска. При структурной обработке информационных массивов наиболее часто встречаются задачи упорядочения элементов информации (сортировка), поиска по заданному признаку или совокупности признаков (ассоциативный поиск), выделения всех элементов, больших (меньших) заданного признака или расположенных в определенных границах и т.д. [116]. Их

аппаратная реализация на основе ЛЗС может дать резкое повышение быстродействия по сравнению с программными методами.

Рассмотрим синтез перестраиваемой среды, которая реализует поиск минимальных (максимальных) чисел информационного массива; равных заданному, больших или меньших заданного, ближайшего большего (меньшего) по отношению к заданному. Поиск максимума равносильен поиску минимума среди обратных кодов чисел массива. Ближайшее большее – минимальный элемент среди всех чисел, превышающих заданное. Поэтому искомая среда является суперпозицией двух ЛЗС. Одна из них делит массив на три подмножества чисел – равных, больших и меньших заданного. Другая отыскивает минимальный элемент массива.

Деление массива на три части выполняется по следующему алгоритму. Поиск ведется слева направо (со старших разрядов). Если на предыдущей итерации строка отнесена к подмножествам “>” или “<”, то обработка i -бита не вносит изменений в результат. Если ранее строка была включена в подмножество “=”, то результат i -итерации определяется соотношением между α_i^1 и $a_{j,i}$ (между i -разрядами признака и числа в j -строке).

Боковые входы элемента (рис. 4.8, а) $\varphi_{i-1} \in \{S_0, S_1, S_2\}$. Наборы S_0, S_1, S_2 отвечают случаям, когда левая (по отношению к i -разряду) часть числа равна, больше или меньше левой части признака. Тогда правый выход элемента определен модифицированной таблицей переходов (рис. 4.8,б). Выполняя кодировку состояний (рис.4.8,в), получаем кодированную таблицу (рис.4.8,г). Из этой таблицы:

$$\varphi_i^1 = \varphi_{i-1}^1 \vee \bar{\alpha}_i^1 a_{j,i} \bar{\varphi}_{i-1}^2, \quad \varphi_i^2 = \varphi_{i-1}^2 \vee \alpha_i^1 \bar{a}_{j,i} \bar{\varphi}_{i-1}^1.$$

Граничные сигналы $\varphi_0^1 = \varphi_0^2 = 0$.

Сформулируем алгоритм поиска минимума. Как и прежде, поиск ведется со старших разрядов. При анализе i -бита j -строка остается во множестве минимальных чисел, если $a_{j,i} = 0$. В случае $a_{j,i} = 1$ эта строка исключается из рассмотрения только тогда, когда для выделенного на $(i-1)$ -итерации множестве не все $a_{k,i} = 1$ ($1 \leq k \leq n$).

Входы элемента (рис. 4.8,д) таковы. Сигнал $\varphi_{i-1}^3 = 1$, если левая часть числа принадлежит множеству минимальных левых частей массива. Иначе $\varphi_{i-1}^3 = 0$. Сигнал $\xi_{j-1} = 1$, если на подмножестве минимальных левых частей сверху от элемента (j,i) все $a_{k,i} = 1$ ($k < j$). Иначе $\xi_{j-1} = 0$. Сигнал $\alpha_i^2 = \xi_n$.

Модифицированные таблицы переходов для правого и нижнего выходов (рис. 4.8,е,ж) дают:

$$\varphi_i^3 = \bar{a}_{j,i} \varphi_{i-1}^3 \vee \alpha_i^2 \varphi_{i-1}^3; \quad \xi_j = a_{j,i} \xi_{j-1} \vee \xi_{j-1} \bar{\varphi}_{i-1}^3.$$

Граничные сигналы $\varphi_0^3 = \xi_0 = 1$.

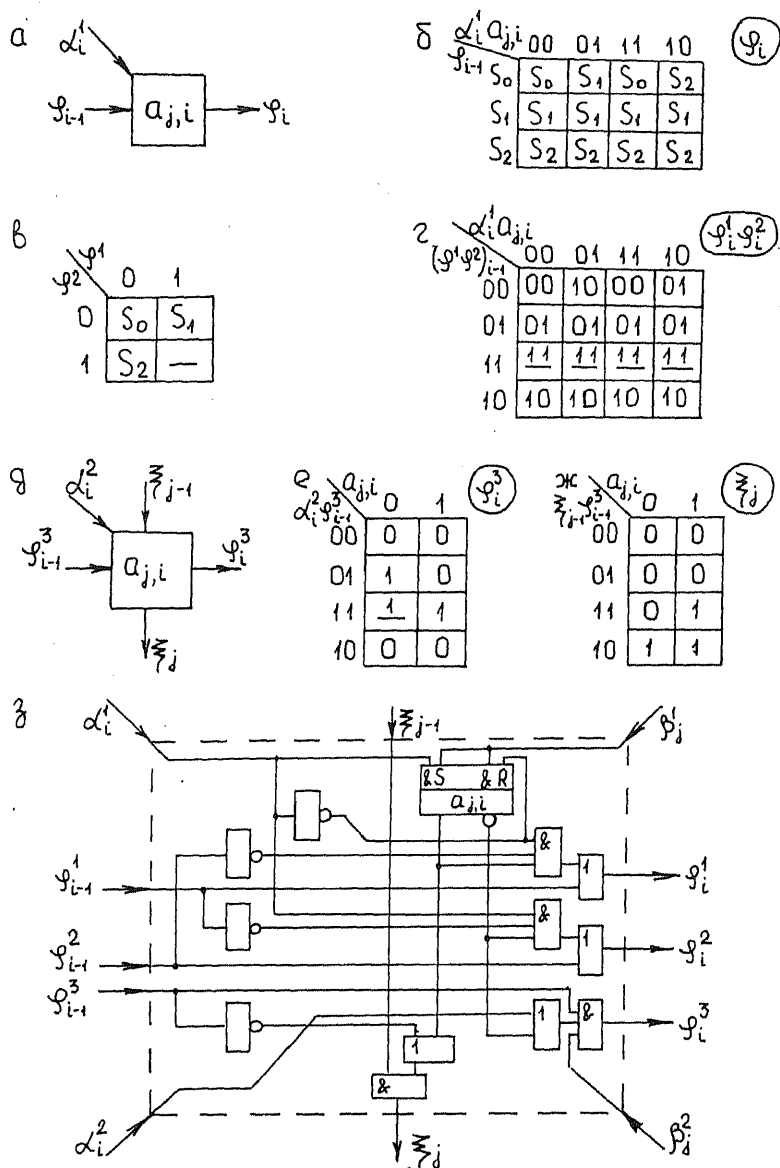


Рис. 4.8

Объединяя найденные решения, получаем схему элемента искомой среды (рис. 4.8,з). Значение выхода $\varphi_i^3 = (\bar{a}_{i,1} \vee a_{i,1}^2) \varphi_{i-1}^3 \beta_i^2$. Сигнал $\beta_i^2 = \varphi_m^1$, если ведется поиск ближайшего большего, и $\beta_i^2 = 1$ при поиске минимума. В обоих этих случаях $\alpha_i^2 = \xi_n$. Для других видов процедур значения β_i^2 и α_i^2 безразличны.

По сигналу разрешения записи $\beta_j^1 = 1$ число $\alpha^1 = (\alpha_1^1 \alpha_2^1 \dots \alpha_m^1)$ заносится поразрядно в j -строку. Считывание информации из l -строки реализуется такой настройкой:

$$\xi_{0,l} = 1, \varphi_{l,0}^1 = 1, \varphi_{j,0}^3 = 0 \quad (j \neq l).$$

При этом $\xi_{n,l} = a_{l,1}$. Так что специального сигнала разрешения считывания не требуется.

Матрица $n_1 \times m_1$ из таких элементов имеет $M = 8n_1 + 4m_1$ внешних выводов. Дополнительно необходимо учесть два вывода подключения шин «земля» и «питание». Поэтому в корпусе БИС на 40 выводов размещаются 10 элементов синтезированной среды (матрица 2×5).

Задача минимального покрытия. Аппаратное решение этой задачи может быть использовано не только для ускорения процесса минимизации булевых функций, но и при поиске минимального набора тестов для обнаружения неисправностей логических схем и диагностических тестов [123]. Аналогичные задачи возникают при оптимальном кодировании микроопераций [124], при минимизации и кодировании автоматных таблиц.

Исходной информацией является импликантная матрица некоторой булевой функции. Строки матрицы отмечаются элементами множества импликант для этой функции. Столбцам соответствуют элементы множества M^1 наборов переменных, на которых значение функции равно 1. На пересечении строки и столбца ставится единица, если данная импликанта покрывает соответствующий набор. Задача состоит в определении минимального подмножества импликант, которые в совокупности покрывают M^1 .

Приближенно эту задачу можно решить следующим образом [71]. В исходной матрице находится столбец с минимальным числом единиц. Если таких столбцов несколько, берется любой. Из строк, которые отмечены единицами найденного столбца, выделяется строка с максимальным числом единиц. Если таких строк несколько, берется любая. Соответствующая ей импликанта вводится в решение. Столбцы, отмеченные единицами этой строки, исключаются из дальнейшего рассмотрения. Процесс повторяется до тех пор, пока не будут исключены все столбцы.

Предусмотрим в исходной матрице X_n маскирование разрядов по горизонтали (маска $MX = ||m_1||$) и вертикали (маска $MY = ||m_2||$). Тогда

применительно к использованию ЛЗС возможна такая формулировка алгоритма поиска минимального покрытия.

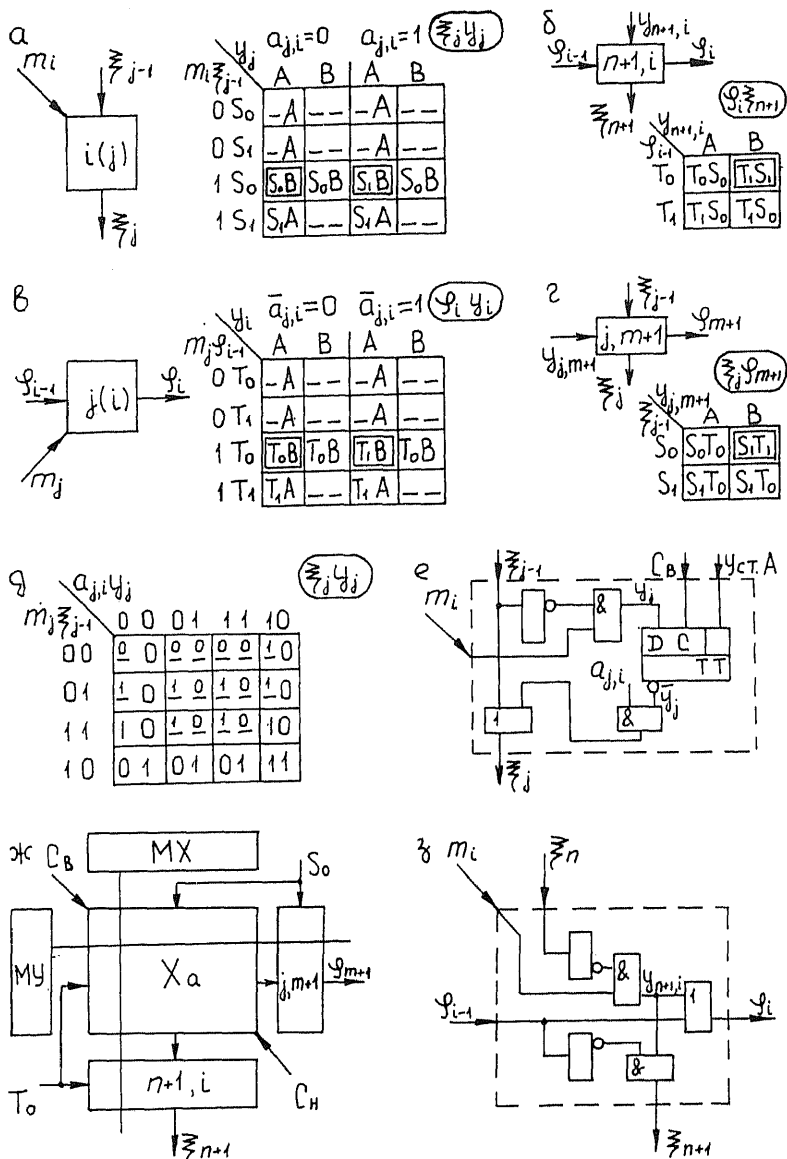


Рис. 4.9

1. $MX = || 1 ||$ (единичная матрица строка).
2. Поиск столбца с минимальным количеством единиц. Если результат неоднозначен, берется первый слева. Пусть это будет столбец X_a^1 .
3. Формирование вертикальной маски, $MY = X_a^1$.
4. Поиск строки с максимальным числом единиц. Если результат неоднозначен, берется первая сверху. Пусть это будет строка X_a^1 .
5. Код (отмечающая импликанта) строки X_a^1 вводится в решение.
6. Формирование горизонтальной маски, $MX = MX \& \bar{X}_a^1$ (операции выполняются поразрядно).
7. Если $MX \neq || 0 ||$, идти к п. 2. Иначе КОНЕЦ.

Реализация всех пунктов алгоритма, исключая пункты 2 и 4, вполне очевидна. Для отыскания столбца с минимальным числом единиц будем зачеркивать в каждом такте по одной единице во всех незамаскированных столбцах. Такому подходу отвечает элемент (рис. 4.9,а). Для однозначной индикации результата в каждом столбце применяем дополнительный $(n+1)$ -элемент с безразличным значением $a_{n+1,i}$. В искомом столбце этот элемент «вычеркнут» (переведен в состояние В) раньше, чем в других столбцах. Одновременно прекращается поступление синхроимпульсов.

Строка дополнительных элементов образует обрамление среды снизу (рис. 4.9,ж). Для реализации приоритетного опроса этой строки слева сигналом T_0 элементу $(n+1, i)$ придается комбинационная часть (рис. 4.9,б). Сигнал $\xi_{n+1} = S_1$ появляется на выходе первого слева «вычеркнутого» дополнительного элемента.

Поиск строки с максимальным числом единиц выполняется аналогично. Но теперь в каждом такте вычеркиваем по одному нулю во всех незамаскированных строках (рис. 4.9,в). Поступление синхроимпульсов прекращается, как только дополнительный $(m+1)$ -элемент хотя бы одной из строк «вычеркнут».

Столбец дополнительных элементов образует обрамление среды справа (рис. 4.9,ж). Приоритетный опрос этого столбца сверху сигналом S_0 реализуется специальной комбинационной приставкой (рис. 4.9,г) к элементу $(j, m+1)$. Выделяется строка, на выходе которой сигнал $\phi_{m+1} = T_1$.

Сигналы S_0 и T_0 по краям среды действуют постоянно. Первоначально все элементы установлены в состояние А. Матрица X_a содержит два слоя элементов («верхний» и «нижний») со своими синхросигналами (C_a и C_n). Каждый элемент «верхнего слоя» отвечает таблице (рис. 4.9,а). Пусть $A = S_0 = T_0 = 0$, $B = S_1 = T_1 = 1$. Из кодированной таблицы (рис. 4.9,д) имеем: $\xi_j = \xi_{j-1} \vee a_{j,m} \bar{y}_j$; $y_j = m_j \bar{\xi}_{j-1}$. Соответственно получаем схему «верхнего» элемента (рис. 4.9,е).

Схема элемента «нижнего слоя» аналогична (с переобозначением сигналов и подачей на вход сигнала \bar{a}_j).

Наличие D-триггера в дополнительном элементе $(n+1, i)$ необязательно, поскольку правильное значение $y_{n+1,i} = m_i \bar{x}_n$ получается сразу по вычеркивании нижней единицы в столбце (наличие последующих невычеркнутых нулей оставляет значение $\xi_j = \xi_{j-1} = 0$). С учетом таблицы (рис. 4.9,6) имеем схему (рис. 4.9,3), где $\varphi_i = \varphi_{i-1} \vee y_{n+1,i}$, $\xi_{n+1} = y_{n+1,i} \bar{\varphi}_{i-1}$. Элемент $(j, m+1)$ аналогичен.

§4.2. МИКРОСХЕМЫ КОМБИНАЦИОННОГО ТИПА

Микросхемы, рассматриваемые в этом и следующем параграфах, относятся к числу операционных. Они специализированы на выполнение какой-то одной или класса операций. Допускают масштабирование, т.е. наращивание разрядности обрабатываемого двоичного кода путем соответствующего каскадирования или построения пирамидальных структур. Рассмотрение ведется с позиций пользователя. Предполагается теоретическое знакомство читателя с операционными узлами ЭВМ из предыдущих курсов. Основное внимание уделяется технологии ТТЛ. По микросхемам КМОП даются краткие справки. Изложение строится на материале [39,40] с привлечением [136].

В данном параграфе изучаются микросхемы АЛУ (арифметическое–логическое устройство), ускорения переносов при двоичном сложении, контроля двоичного кода на четность или нечетность числа единиц, дешифраторов и мультиплексоров. Пользовательские атрибуты таковы: назначение микросхем, их условно-графические обозначения (УГО), спецификация выводов, особенности функционирования и применения.

Арифметические микросхемы

К числу арифметических относятся микросхемы сумматоров SM (мнемоника УГО) – K155 ИМ1,2,3, K555 ИМ6,7; перемножителя – K555 ИП9; АЛУ – K155 ИП3; ускорения переносов – K155 ИП4. Микросхема K155 ИМ1 – одноразрядный полный сумматор с дополнительной входной логикой. Микросхема K155 ИМ2 – двухразрядный сумматор. Микросхемы K155 ИМ3 и K555 ИМ6 – четырехразрядные. При этом K155 ИМ3 имеет внутреннюю схему ускорения переносов (групповой перенос). Микросхемы K555 ИМ7 и K555 ИП9 своеобразны и обычно используются совместно. Среди перечисленных наибольшее применение в настоящее время находят

микросхемы АЛУ и ускорения переносов. Они изучаются далее. Эти микросхемы имеются и в серии КР1533.

Состав арифметических микросхем КМОП значительно беднее. Это четырехразрядные сумматор ИМ1 (К176, 561, 564) и компаратор – схема сравнения ИП2 (К561, 564), микросхемы АЛУ ИП3 (К564) и ускорения переносов ИП4 (К564). По своим функциональным возможностям две последние микросхемы подобны соответствующим микросхемам ТТЛ. В серии КР1554 арифметические микросхемы пока отсутствуют.

Микросхема К155 ИП3. Это четырехразрядное скоростное АЛУ. Оно может работать в двух режимах, выполняя 16 логических либо 16 арифметических операций. Для получения максимального быстродействия при арифметической обработке в модуле имеется внутренняя схема ускорения переносов (переносы во все разряды формируются параллельно). Логическая обработка подразумевает выполнение побитовых операций над парой операндов. Всего может быть 16 различных операций такого типа. В этом смысле АЛУ является предельно универсальным логическим модулем на две переменные в каждом из четырех независимых разрядов. Строго говоря, выполняются только две арифметические операции – сложение или вычитание с возможным добавлением или вычитанием единицы. Вариации достигаются тем, что операндами могут выступать не только сами входные коды, но и их побитовые инверсии, конъюнкции, дизъюнкции и т.д.

Микросхема выполнена в корпусе на 24 вывода. Ее УГО показано на рис. 4.10,а. Таблица функционирования – на рис. 4.10,б. Спецификация выводов:

$\langle A3, \dots, A0 \rangle, \langle B3, \dots, B0 \rangle$ – входы операндов А, В;

$\overline{C_n}$ – инверсный вход переноса в младший разряд;

$\langle S_3, \dots, S_0 \rangle$ – сигналы настройки на выполнение той или иной функции данного типа;

М (mode control) – сигнал настройки на арифметический (М=0) или логический (М=1) тип функции;

$\langle F3, \dots, F0 \rangle$ – выходы результата;

$\overline{C_{n+4}}$ – инверсный выход переноса из старшего разряда;

Г и Р – выходы генерации и распространения переноса. Служат для подключения микросхемы ускорения переносов.

К – выход компаратора с открытым коллектором.

При равенстве операндов ($A=B$) значение $K=1$, если АЛУ работает в режиме вычитания и $\overline{C_n}=0$ (-1 представляется как 1111). Для того же режима еще один результат сравнения дает значение сигнала $\overline{C_{n+4}}$ (рис. 4.10, в; верхняя таблица). В этом легко убедиться на примерах,

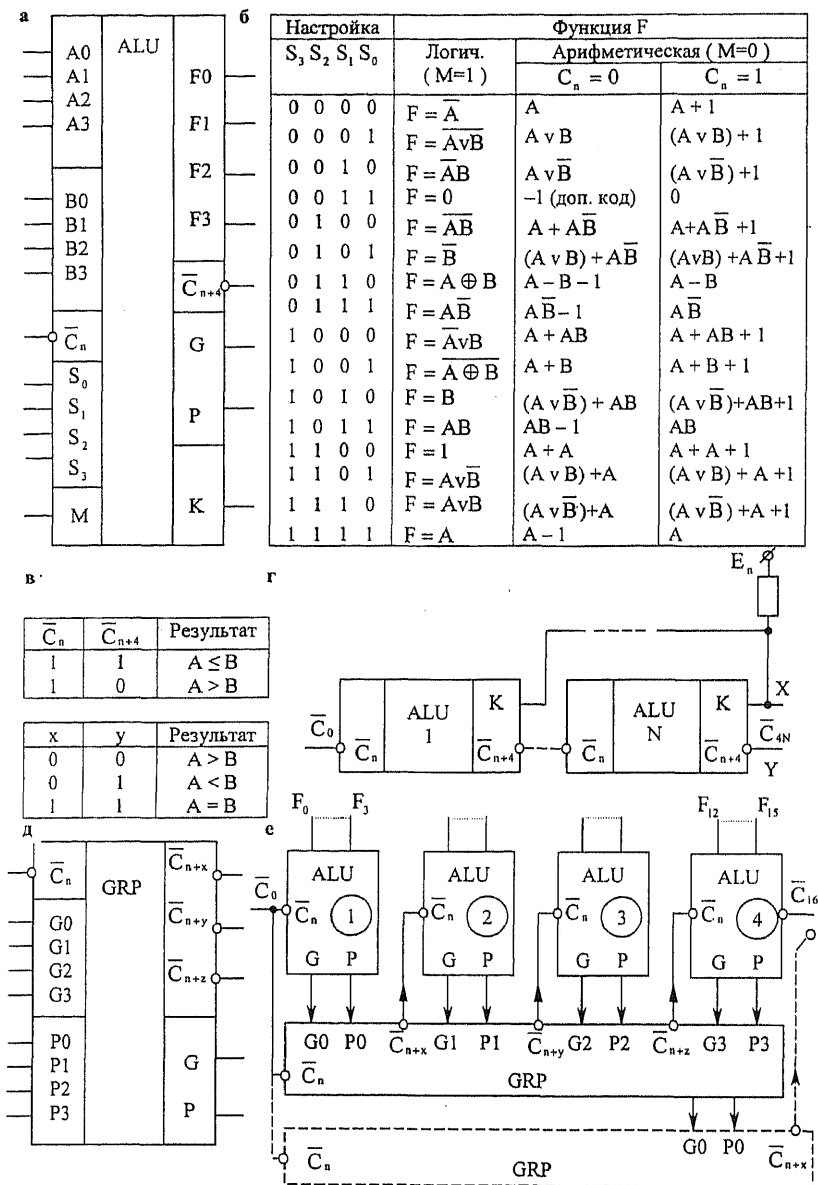


Рис. 4.10

заменяя операцию вычитания сложением обратных кодов. Нарастивание разрядности операндов выполняется каскадированием микросхем АЛУ согласно рис. 4.10, г (случай последовательных переносов). Выходы х и у дают результаты сравнения (рис. 4.10, в; таблица внизу).

Анализ таблицы функционирования АЛУ вызывает естественный вопрос: чем вызвано введение множества комбинированных арифметико-логических операций (они достаточно экзотичны)? Разумный ответ состоит в том, что разработчики микросхемы стремились обеспечить ее логическую универсальность. А с арифметикой — как уж получилось. Главное в том, что АЛУ позволяет выполнить операции алгебраического сложения в прямом ($A+B$; знаки операндов одинаковы), обратном ($A-B-1$) и дополнительном ($A-B$) кодах при соответствующей организации цепей переноса устройства в целом.

Микросхема К155 ИП4. Одна схема ускорения переносов (рис. 4.10, д — ее УГО) обслуживает 4 корпуса АЛУ, способствуя одновременному формированию переносов на входах всех тетрад 16-разрядного сумматора, начиная со второй (рис. 4.10, е). Выход переноса отдельного корпуса АЛУ

$$\bar{C}_{n+4} = \bar{G} \vee \bar{P}\bar{C}_n.$$

Для микросхемы ИП4:

$$\bar{C}_{n+1} = \bar{G}0 \vee \bar{P}0 \bar{C}_n = \bar{C}_{n+1,1} = \bar{C}_{n,2};$$

$$\bar{C}_{n+2} = \bar{G}1 \vee \bar{P}1 \bar{C}_{n+1} = \bar{C}_{n+1,2} = \bar{C}_{n,3};$$

$$\bar{C}_{n+4} = \bar{G}2 \vee \bar{P}2 \bar{C}_{n+2} = \bar{C}_{n+1,4} = \bar{C}_{n,4}.$$

Здесь второй нижний индекс после запятой означает номер корпуса АЛУ.

Все функции переносов формируются 2-уровневыми схемами (т.е. параллельно) с задержкой 13 нс относительно моментов поступления сигналов G_i, P_i . Эти сигналы генерируются всеми тетрадами одновременно, так как зависят только от значений битов слагаемых (но не от \bar{C}_n). Для любой тетрады

$$P = P_0' \vee P_1' \vee P_2' \vee P_3', \quad P_j' = A_j B_j, \quad j \in \{0,3\};$$

$$G = G_3' \{P_3' \vee G_2' [P_2' \vee G_1' (P_1' \vee G_0')]\}, \quad G_j' = A_j \vee B_j.$$

Формирование сигналов P и G происходит с задержкой 12 нс относительно момента поступления слагаемых. Две другие задержки в АЛУ: $t_r = 24$ нс, $t_{c_{n+4}} = 12$ нс. При этом, если к моменту поступления сигнала \bar{C}_n формирование сигналов G и P завершено, то t_r уменьшается до 12 нс.

С учетом сделанных замечаний получаем следующую оценку для времени выполнения операции сложения в рассматриваемом устройстве

$$t_{\Sigma} = t_{G,P} + t_{c_{n+x,y,z}} + 12 \text{ нс} = 12 \text{ нс} + 13 \text{ нс} + 12 \text{ нс} = 37 \text{ нс}.$$

Для 16-разрядного АЛУ с последовательными переносами между тетрадами имеем

$$t_{\Sigma\Pi} = 3t_{c_{n+4}} + 12 \text{ нс} = 3 \cdot 12 \text{ нс} + 12 \text{ нс} = 48 \text{ нс}.$$

Так что применение ИП4 в данном случае дает ускорение примерно на 25% (t_{Σ} снижается в 1,3 раз).

32-разрядный сумматор строится из двух таких секций со связью по сигналу \bar{C}_{16} . При этом

$$t_{\Sigma} = t_{G,P} + 2t_{c_{n+x,y,z}} + t_{c_{n+4}} + 12 \text{ нс} = 62 \text{ нс}.$$

В последовательном варианте $t_{\Sigma\Pi} = 7t_{c_{n+4}} + 12 \text{ нс} = 96 \text{ нс}$, т.е. эффект ускорения увеличивается до 35% (t_{Σ} снижается в 1,5 раза). Эффект от аналогичного построения 64-разрядного АЛУ составляет 40% (t_{Σ} уменьшается в 1,7 раз). Дальнейшего серьезного повышения эффекта от применения микросхем ИП4 с ростом разрядности ожидать не приходится.

Однако, если в 64-разрядном варианте использовать прежние 4 секции, но переносы между ними организовывать параллельно с помощью микросхемы ИП4 второй ступени (рис. 4.10, е; пунктир), то получим ускорение в 3 раза (63 нс против 192 нс). В данном случае сигналы P_i и G_i на входы GRP второй ступени подаются с выходов G и P первой. Значения этих выходов отвечают приведенным ранее формулам для P и G , в которых штрихи опущены. Подстановкой можно показать, что сигналы \bar{C}_{n+x} , \bar{C}_{n+y} , \bar{C}_{n+z} на выходах GRP второй ступени действительно являются правильными сигналами на входах переноса соответствующих секций.

Таким образом, наибольший эффект от применения микросхем ИП4 достигается при построении многоступенчатых схем ускорения переносов многоразрядных АЛУ.

Микросхемы контроля

Наиболее распространенным способом контроля правильности высокоскоростных передач информации по линиям связи является проверка сохранения четности (нечетности) числа единиц передаваемого кода. Такая проверка называется контролем паритета. Она позволяет обнаружить одиночные ошибки, что вполне достаточно во многих случаях. Контроль выполняется с помощью специальных

микросхем проверки на четность. В сериях ТТЛ это микросхемы К155 ИП2, К531 ИП5П, КР1533 ИП5. В сериях КМОП – К561 СА1, К564 СА1 (12-разрядная), КР1554 ИП5 (9-разрядная).

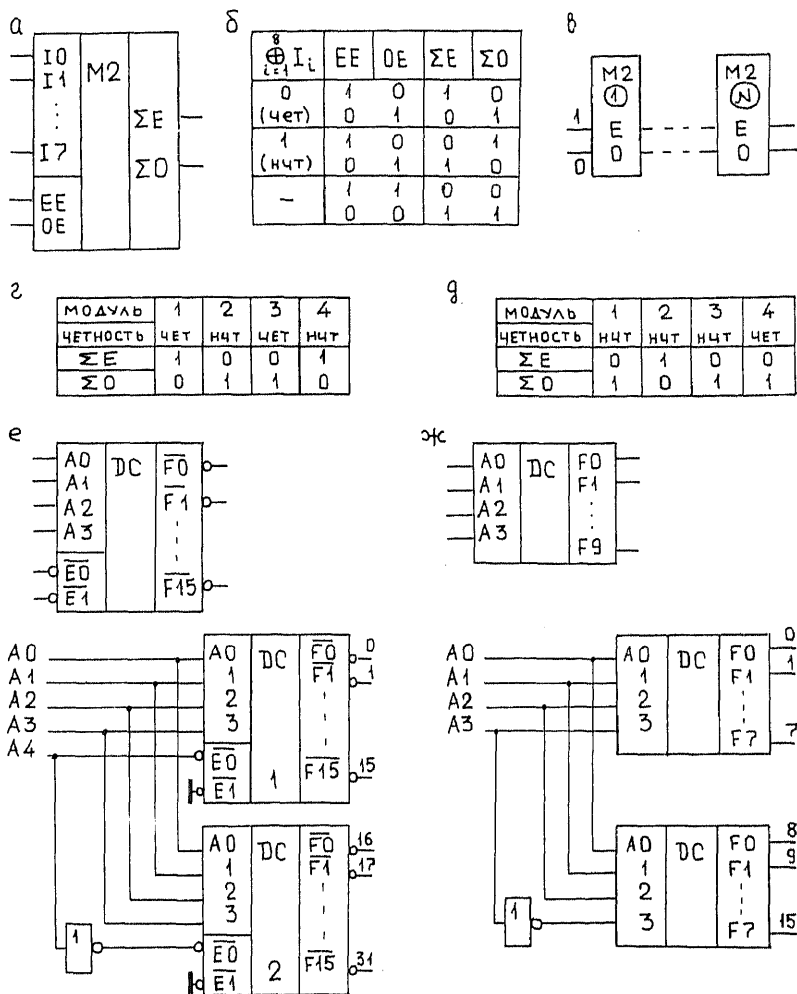


Рис. 4.11

Микросхема К155ИП2. Это 8-разрядный модуль. Его УГО показано на рис. 4.11,а. Микросхема имеет два входа управления (разрешения): четный EE (even enable) и нечетный OE (odd enable).

Для целей проверки используется парафазная комбинация сигналов на этих входах (рис. 4.11,б). Если сумма единиц проверяемого кода четна, то комбинация $\langle \Sigma E, \Sigma O \rangle$ сигналов на выходах совпадает со входной. В нечетном варианте – противоположна.

Последовательное соединение N таких микросхем (рис. 4.11,в) позволяет проверить на четность $8N$ -разрядное слово. Для этого на управляющие входы модуля 1 подается комбинация $\langle EE, OE \rangle = 10$. Если сумма единиц в слове четна, то на выходах модуля N появляется $\langle \Sigma E, \Sigma O \rangle = 10$. В противном случае – 01. В этом можно убедиться путем проверки всех 2^N комбинаций четностей отдельных байтов. Две такие проверки для $N = 4$ проведены на рис. 4.11,г,д.

При контроле передач для каждого передаваемого байта в источнике формируется девятый (контрольный) разряд КР. Он снимается в выхода ΣE микросхемы K155 ИП2 и также передается. В приемнике контрольный разряд поступает на вход EE аналогичной микросхемы. Сигнал на ее втором управляющем входе $OE = \overline{KR}$. Если байт передан правильно, то на выходах этой микросхемы всегда $\langle \Sigma E, \Sigma O \rangle = 10$. В случае одиночной ошибки – 01.

Микросхемы дешифраторов

Напомним, что дешифратором называют комбинационную схему на M входов и 2^M выходов (нумеруемых в натуральном порядке – $0, 1, \dots, 2^M - 1$) такую, что в любой момент времени в активном состоянии (это может быть 0 или 1) находится только один выход, номер (адрес) которого определен входным кодом.

В состав различных серий ТТЛ входит всего 7 типов микросхем дешифраторов. Эти типы различаются по числу дешифраторов в корпусе (1 или 2), по числу адресных входов в каждом дешифраторе (2, 3 или 4), по формату адресного кода (двоичный или двоично-десятичный). Например, в микросхеме K155 ИД1 (характеристика – {1, 4, 2/10}) дешифруются только числа от 0 до 9 (10 выходов). При подаче на адресный вход чисел от 10 до 15 состояния всех выходов – пассивные.

Микросхема K155 ИД3. Ее характеристика – {1, 4, 2}, УГО – на рис. 4.11,е. Особенности микросхемы:

- 1) инверсные выходы (активный 0). Такая организация выходов в практике применения ДС совместно с микросхемами других типов оказывается предпочтительной;
- 2) наличие двух инверсных входов управления (разрешения) $\overline{E0}$ и $\overline{E1}$.

Активизация ДС может произойти только при $\overline{E0} = \overline{E1} = 0$. Эти входы используются для наращивания разрядности адреса (рис. 4.11,е;

внизу – пример реализации ДС на 5 входов), стробирования адресных входов и для трансформации ДС в демультиплексор. В последнем случае адрес определяет номер выходного канала, на который будут поступать в последовательном коде данные с информационного входа $\bar{E}1$ (или $\bar{E}0$).

Дешифраторы КМОП. Это микросхемы К561 (176) ИД1, КР1554 ИД14, К564 ИД5. Последняя – достаточно сложна, предназначена для работы на жидкокристаллический семисегментный индикатор. Микросхема ИД1 (ее УГО показано на рис. 4.11,ж) применяется как в двоично-десятичном, так и в октальном (восьмиричном) вариантах. В последнем случае входы $\langle A2, \dots, A0 \rangle$ – адресные, вход $A3$ – управляющий. Активизация такого ДС имеет место при $A3=0$. Выходы $\langle F9, F8 \rangle$ не используются. На рис. 4.11,ж внизу дан пример построения двоичного ДС на 4 входа на основе двух микросхем ИД1. Характеристика микросхемы ИД14 – $\{2, 2, 2\}$.

Приоритетные шифраторы решают задачу, обратную ДС. При активизации одного или нескольких из 2^m входов на его M выходах появляется двоичный код, отвечающий наибольшему из номеров возбужденных входов. Именно так функционируют микросхемы К555 ИВ1, 3.

Микросхемы мультиплексоров

По определению мультиплексор (коммутатор входных каналов) – это комбинационная схема на M входов и 1 выход. При этом $M = m + 2^n$, где m – разрядность адреса, 2^n – число входных коммутируемых каналов с натуральной нумерацией $(0, 1, \dots, 2^n - 1)$. Код адреса определяет номер информационного канала, который должен быть подключен к выходу.

Всего в составе серий ТТЛ имеется более 11 типов микросхем MS (мнемоника УГО мультиплексора). Иногда они называются селекторами мультиплексорами. Эти микросхемы различаются по числу входных каналов, наличием или отсутствием парафазного выхода либо специальных входов разрешения. Выходы некоторых MS имеют три состояния для организации работы на общую шину.

Микросхема К155 КР2. Ее УГО показано на рис. 4.12,а. Это 2 четырехходовых мультиплексора, имеющие общие входы адреса $\langle A1, A0 \rangle$. Каждый из MS (“а” и “с”) имеет свой вход разрешения и свой выход. При отсутствии разрешения выход пассивен (0). “Штатное” применение такой микросхемы – коммутация 2-разрядных данных с четырех направлений. Разрядность передаваемого кода растет с увеличением числа используемых корпусов.

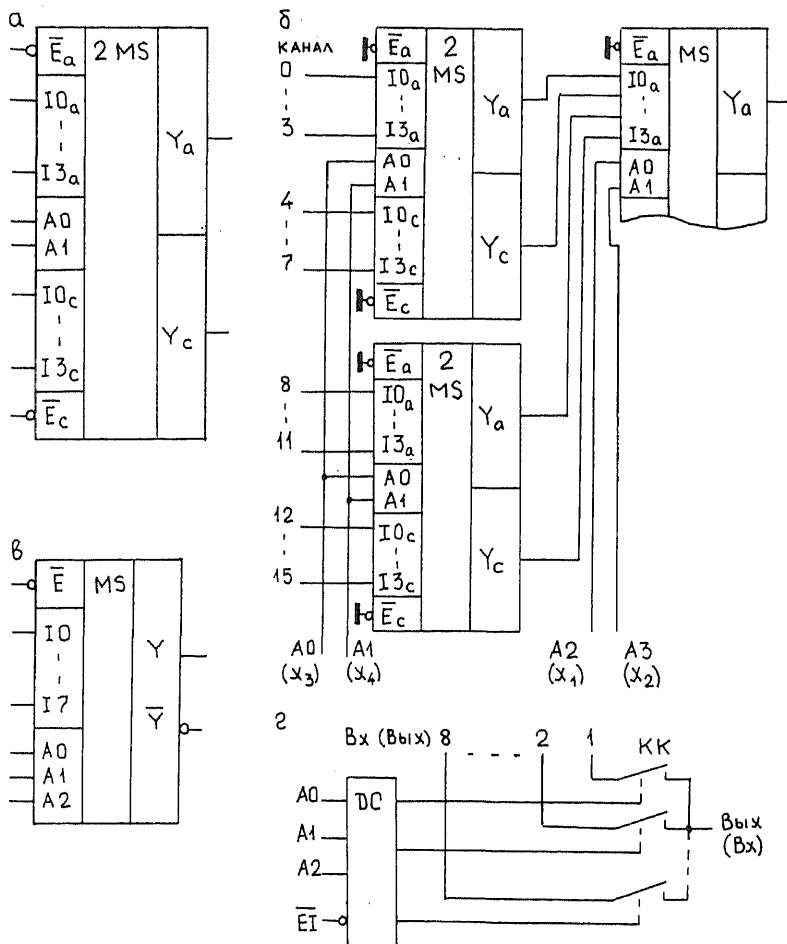


Рис. 4.12

Рост числа коммутируемых каналов последовательной передачи данных связан с построением многоярусных схем. При этом каждый новый ярус содежит в 4 раза больше активных MS, чем соседний справа. На рис. 4.12,б дана реализация 16-канального коммутатора в базе КП2. По коду адреса в первом (левом) ярусе выбираются сразу 4 канала: i , $i+4$, $i+8$, $i+12$ ($i \in \{0,3\}$). Выходной MS селектирует из них единственный. Приведенная схема может быть использована и для реализации произвольной булевой функции от пяти переменных

(x_3, \dots, x_1) . При этом на адресные входы следует подать переменные декомпозиции (x_4, \dots, x_1) , а на входы каналов – остаточные функции (см. § 4.1; рис. 4.2,б).

Другие MS ТТЛ. Сам по себе 1 MS КП2 (мультиплексор 4→1) является универсальным логическим модулем (УЛМ) на 3 переменные. Его схема отвечает рис. 4.2,а. Аналогично MS 8→1 – это УЛМ на 4 переменные (микросхемы К155 КП5,7; К555 КП15; КР1533 КП7,15). Мультиплексор 16→1 (пример К155КП1) – на 5 переменных. УГО микросхемы К155 КП7 показано на рис. 4.12,в. Парафазность выхода сохраняется и при отсутствии разрешения. Третье состояние выхода имеют микросхемы КП 11, 12, 14, 15 (серии К531, 555; КР1533).

Коммутаторы КМОП. Принципиальным отличием КМОП-технологии от любой другой является дуальность для нее понятий “мультиплексор” и “демультиплексор”. Это объясняется двунаправленностью передачи сигналов через коммутационные ключи КК (см. § 2.4), которые используются в качестве электронных контактов коммутаторов КМОП. На рис. 4.12,г показан принцип организации микросхемы К561КП2 на 8 входных (выходных) каналов и 1 выход (вход). Каждый выход ДС управляет соответствующим КК. Сопротивление включенного канала $R_0 = 0,5 \dots 2,5 \text{ КОм}$ при $E_n = 5 \text{ В}$. Если же $E_n = 15 \text{ В}$, то $R_0 = 130 \dots 280 \text{ Ом}$. При этом $t_{1, \text{cp}} \leq 30 \text{ нс}$. Микросхема К561КП1 имеет некоторые особенности. В серии КР1554 имеется 6 типов MS – на 2 и 4 входа.

Примером коммутаторов как таковых являются микросхемы К176 КТ1, К561 КТ3. Они имеют по 4 канала, которые могут быть разомкнуты либо замкнуты. В каждом канале – свой КК с индивидуальным управлением. В КТ3 ключ двойной (оппозитный). Его особенность в том, что вход разомкнутого канала заземляется. Для КТ1 сопротивление $R_0 = 500 \text{ Ом}$, $t_{1, \text{cp}} = 10 \dots 25 \text{ нс}$. В КТ3 значение $R_0 = 80 \text{ Ом}$.

Все коммутаторы КМОП обладают не только двунаправленностью, но и способностью пропускать как цифровые, так и аналоговые сигналы. Последнее объясняется тем, что входное сопротивление приемника КМОП $R_{\text{вх}} \gg R_0$, а собственная инерционность коммутатора сравнительно мала.

§4.3. МИКРОСХЕМЫ С ТРИГГЕРНОЙ ПАМЯТЬЮ

Это наиболее представительная группа микросхем со средней степенью интеграции. В различных сериях ТТЛ (КМОП) имеется более 20 (10) типов микросхем регистров и 16 (12) типов микросхем

счетчиков. Регистры ТТЛ и КМОП включены в структуру многих микросхем ОЗУ и ПЗУ для хранения кода адреса, входных и выходных данных. Они входят и в состав микропроцессорных комплектов БИС в качестве регистров общего назначения (РОН), многорежимных буферных регистров (МБР), так называемых портов ввода-вывода и др. Микросхемы регистровых ЗУ с произвольной выборкой позволяют адресовать все свои регистры и обратиться к любому из них для записи или считывания информации.

В данном параграфе дается базовое знакомство с микросхемами регистров, счетчиков и регистровой памяти ТТЛ. Многообразие применений регистров в микропроцессорной технике не затрагивается. Как и ранее, рассмотрение ведется с пользовательских позиций. По микросхемам КМОП даются лишь краткие справки.

Микросхемы регистров

Напомним, что регистр – это линейка из ряда триггеров, используемая для последовательного накопления, промежуточного хранения и сдвига данных. Вводя внешние перемычки, можно настроить микросхему сдвигового регистра на выполнение функций делителей частоты. Обычно триггеры внутри микросхемы соединены последовательно: выход предыдущего замкнут на вход последующего. Все триггеры – необходимо двухступенчатые (см. §2.3.). Их синхровходы запараллелены. При этом последовательный код, подаваемый на информационные входы первого триггера, потактно продвигается по цепочке триггеров старшими (младшими) разрядами вперед. Если n – разрядность регистра, то через n тактов с выходов Q_i , $i = 0 \dots (n-1)$, может быть прочитан соответствующий параллельный код. Аналогично продвигается по регистру многоразрядное слово.

Разновидности микросхем регистров. Простейший регистр имеет один вход и один выход. Оба – последовательные. Вход управления также единственный – тактовый. В более сложные схемы вводятся: дополнительная логика, входы параллельной загрузки данных и специальный вход разрешения такой загрузки – WE (write enable), или PE (parallel enable). Дальнейшее усложнение связано с введением логики параллельного отображения на выходах Q_i состояния регистра в целом. Тогда после заполнения регистра путем последовательного либо параллельного ввода по сигналу разрешения чтения ER (enable read) происходит нужное отображение. Если ER пассивен, то выходы переводятся в третье состояние. Такая организация характерна при работе регистра на общую шину.

Сдвиг в регистре может осуществляться как вправо, так и влево. При этом вводится дополнительный управляющий вход реверса либо

используется внешняя коммутация (см. далее – микросхема K155ИР1). Иногда имеется специальный вход сброса. Но он может и отсутствовать. Параллельная загрузка и сброс могут быть синхронными или асинхронными. Входы и выходы – прямыми либо инверсными. Микросхемы МБР имеют специфичную организацию (примеры 8-разрядных универсальных регистров K531ИР24, KР1533ИР24), которая далее не рассматривается.

Наиболее популярны 4-, 8- и 12-разрядные регистры. Примеры регистровых микросхем КМОП: K561ИР9 – четырехразрядный последовательно-параллельный регистр; K561ИР6 – восьмиразрядный универсальный двунаправленный шинный регистр с последовательным и параллельными выходами; K564ИР13 – 12-разрядный регистр специального назначения, используемый при построении аналого-цифровых преобразователей (АЦП); KР1554ИР47 – 18-разрядный сдвиговый регистр. Микросхемы регистров серии KР1554, в основном, 8-разрядные (7 типов).

Регистры серии K155. В этой серии имеются четыре типа микросхем регистров: ИР1 – четырехразрядный сдвиговый регистр; ИР13 – универсальный восьмиразрядный регистр сдвига; ИР15 – четырехразрядный параллельный регистр без сдвига с выходом на общую шину. Предназначен для промежуточной буферизации данных; ИР17 – 12-разрядный регистр специального назначения. Используется совместно с ЦАП (цифро-аналоговыми преобразователями) и компараторами.

В качестве примера рассмотрим пользовательские аспекты микросхемы K155ИР1. Ее УГО показано на рис.4.13,а. Регистр имеет последовательный вход данных SI (sequential input); параллельные входы $\langle D3, \dots, D0 \rangle$ и выходы $\langle Q3, \dots, Q0 \rangle$; управляющие входы PE, C1, C2.

Вход разрешения параллельной загрузки PE служит для выбора режима работы регистра. Если PE = 1, то разрешается работа по тактовому входу C2. При этом по срезу C2 происходит параллельная загрузка данных со входов $\langle D3, \dots, D0 \rangle$. В случае PE = 0 разрешается работа по тактовому входу C1. Тогда по срезу C1 имеет место последовательное занесение (сдвиг данных вправо со входа SI), так что $Q0 := SI$, $Q1 := Q0$, $Q2 := Q1$, $Q3 := Q2$. Во избежание ошибок, в момент изменения PE синхронимпульсы должны отсутствовать.

Сдвиг данных по регистру влево организуется внешней коммутацией: $Q3 \rightarrow D2$, $Q2 \rightarrow D1$, $Q1 \rightarrow D0$. Нужный сдвиг происходит при PE = 1 по срезу C2. Для наращивания разрядности сдвигового регистра необходимо выход Q3 предыдущей микросхемы соединить со входом SI последующей, а выход Q0 последующей – со входом D3

предыдущей. Проводя параллельную загрузку такого регистра, связи типа $Q_i \rightarrow D_{i-1}$ следует разомкнуть.

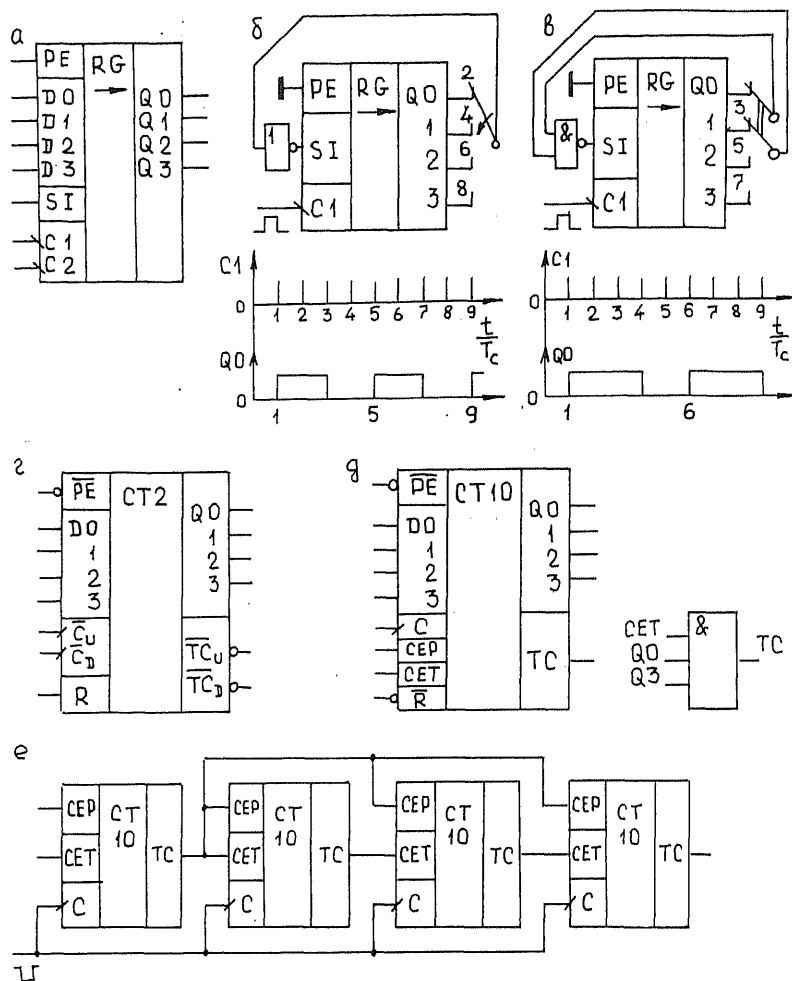


Рис. 4.13

Коммутируя выходы микросхемы через инвертор на вход SI (рис.4.13,б), можно осуществить деление частоты на 2, 4, 6, 8. При одновременной коммутации на вход SI через элемент И-НЕ двух выходов в парах $\langle Q0, Q1 \rangle - \langle Q1, Q2 \rangle - \langle Q2, Q3 \rangle$ (рис. 4.13,в) получаем

делители на 3 – 5 – 7. Временные диаграммы для случаев деления на 4 и 5 показаны внизу соответствующих рисунков.

Микросхемы счетчиков

Напомним, что другое название для счетчиков – делители частоты. Если коэффициент деления равен 2^n , такие счетчики называют двоичными. Они могут быть построены из n триггеров. Тогда n – разрядность счетчика. Диапазон представимых чисел – от 0 до 2^{n-1} . Если деление осуществляется по основанию 10, то имеем десятичные счетчики. Базовой ячейкой для них является более сложное в сравнении с триггером образование – четырехразрядный двоично-десятичный счетчик. Он содержит 4 триггера и дополнительные логические элементы для исключения лишних состояний. Находят применение и счетчики по основанию 3, 5 и т.д. Счет может проводиться в направлении увеличения или уменьшения содержимого счетчика.

Разновидности микросхем счетчиков. Рассмотрим сначала многообразие счетчиков ТТЛ. Наиболее удобным оказалось выпускать четырехтриггерные микросхемы в двух вариантах: двоичном и десятичном. Примеры таких пар: ИЕ7 - ИЕ6, ИЕ17 - ИЕ16. Первые варианты счетчиков (ИЕ2,4,5,14) делались с последовательными переносами. Их иногда называют асинхронными, или счетчиками пульсаций. В более поздних вариантах для повышения быстродействия переносы во все разряды микросхемы организованы параллельно. Такие счетчики называются синхронными. Значения разрядов на их выходах формируются одновременно и синхронно с тактовыми импульсами.

Наличие внутренних элементов управления позволяет организовать реверсивный счет, подавая тот или иной логический потенциал на соответствующий вход. У некоторых счетчиков тактовые входы на увеличение и на уменьшение – раздельные. Сброс данных счетчика у одних микросхем асинхронный, у других – синхронный. Начальная загрузка данных выполняется либо по специальному установочному сигналу, который блокирует прохождение счетных импульсов (К155ИЕ7,6), либо по первому тактовому импульсу после подачи сигнала разрешения записи (К155ИЕ9). В первом случае имеем асинхронную загрузку, во втором – синхронную.

В серии К155 имеется 7 типов микросхем счетчиков: ИЕ2,4-9. Коэффициент деления в некоторых из них переменный. Он зависит от кода, набранного на входах управления (ИЕ8), либо от внешней коммутации (ИЕ2,4,5). Счетчик ИЕ8 – это единственная шеститриггерная микросхема с максимальным коэффициентом

пересчета 64, в которой имеется только один выход. Далее будут рассмотрены вопросы использования микросхем ИЕ7 (двоичный счетчик) и ИЕ9 (десятичный счетчик). Они применяются достаточно широко. В серии КР1533 – 11 типов микросхем счетчиков, и все они 4-разрядные.

Отметим особенности некоторых микросхем КМОП. Счетчики К561ИЕ8,9 имеют дешифрованные выходы (10 и 8 выходов соответственно). Счетчики К561ИЕ11,14 – четырехразрядные реверсивные. Имеются счетчики асинхронные, синхронные, двоичные, десятичные (в основном, – четырехтриггерные). Но есть и 14-разрядная микросхема – К561ИЕ16. Все счетчики серии КР1554 (5 типов) – 4-разрядные.

Микросхема К155ИЕ7. Ее УГО – на рис.4.13,г. Это четырехразрядный двоичный счетчик синхронного типа. Направление счета определяется тем, на какой из счетных входов – $\overline{C_U}$ (UP) или $\overline{C_D}$ (DOWN) – подается отрицательный синхрои́мпульс. При этом на другом счетном входе поддерживается высокий потенциальный уровень (VУ). Наличие информационных входов $\langle D_3...D_0 \rangle$ и управляющего входа \overline{PE} позволяет предустановку в пределах емкости счетчика по отрицательному импульсу \overline{PE} (нормально $\overline{PE} - VУ$). При этом прохождение счетных импульсов блокируется. Сброс счетчика – асинхронный по VУ на входе R независимо от состояний входов $\overline{PE}, \overline{C_U}, \overline{C_D}$.

Выходы $\overline{TC_U}$ и $\overline{TC_D}$ называют выходами окончания счета (выходами переноса), прямого и обратного. Если начальное состояние счетчика – нулевое (единичное), то отрицательный импульс $\overline{TC_U}$ ($\overline{TC_D}$) повторяет 16-й импульс $\overline{C_U}$ ($\overline{C_D}$) с задержкой 26нс. Нарастивание разрядности счетчика выполняется каскадированием нескольких микросхем. При этом синхрои́мпульсы подаются на один из счетных входов первой микросхемы, а выходы переносов каждой предыдущей микросхемы соответственно подаются на счетные входы последующей. Входы \overline{PE} и R для всех микросхем – общие. Из-за задержек переносов такой счетчик в целом оказывается асинхронным.

Микросхема К155ИЕ9 (рис.4.13,д). Это синхронный десятичный счетчик с возможностью синхронной предустановки при низком потенциальном уровне (НУ) на входе \overline{PE} в любое состояние от 0 до 9 и асинхронным сбросом – по НУ на входе \overline{R} . Как и ранее, этот вход имеет наивысший приоритет. Затем следует вход \overline{PE} . Управляющие входы СЕР (параллельного разрешения при каскадировании) и СЕТ (так называемый “трюковый”) – наименее приоритетны. Счет идет только в прямом направлении при VУ на входах \overline{PE} , СЕР, СЕТ. Счетные импульсы – отрицательные. Импульс переноса TC –

положительный. Он формируется (с некоторой задержкой) по фронту девятого СИ и завершается (с той же задержкой) по фронту десятого СИ. В этом принципиальное отличие функционирования счетчика ИЕ9 от ИЕ6, в котором отрицательный импульс $\overline{ТС}_0$ повторяет (с задержкой) десятый счетный импульс $\overline{С}_0$. Схема формирования сигнала ТС показана на рис.4.13,д справа.

Указанная особенность позволяет строить на основе ИЕ9 синхронные многодекадные счетчики (рис.4.13,е). В отличие от рассмотренного ранее многоразрядного двоичного счетчика синхроимпульсы подаются одновременно на счетные входы всех декад. Синхронность функционирования обеспечивается в данном случае тем, что импульс ТС на выходе данной декады завершается несколько позже того импульса синхронизации, от которого должна сработать соседняя справа микросхема. Это всегда имеет место, если число декад $N \leq T_c/t_{3,ср} + 1$. Здесь T_c – период СИ, $t_{3,ср}$ – задержка элемента И для формирования ТС. Максимальная частота счета для четырехдекадной схемы составляет 25МГц.

Микросхемы регистровой памяти [106]

К регистровым ЗУ относят многорегистровые микросхемы с возможностью адресации любого регистра по чтению или записи (память с произвольным доступом) либо организации памяти магазинного типа (типа FIFO – "первым пришел – первым вышел"). Параметры рассматриваемых далее микросхем указаны в табл. 4.1. Обозначения таблицы: N – число регистров в микросхеме; n – их разрядность; $t_{ц.эл(сч)}$ – длительность цикла (интервал времени), в течение которого выполняется одна операция записи или считывания; ТТЛ (КМОП)-3 обозначает выход на три состояния; ТТЛШ – технология ТТЛ с диодами Шоттки.

Таблица 4.1

Тип микросхемы	N x n	$t_{ц.эл(сч)}$ нс	P _{пот} мВт	Тип выхода	Технология
KP1802ИР1	16x4	55	990	ТТЛ-3	ТТЛШ
KP555ИР26	4x4	43	250	ТТЛ-3	ТТЛШ
K561ИР11	8x4	450	4	КМОП	КМОП
K561ИР12	4x4	6000	3	КМОП-3	КМОП
K1002ИР1	32x8	500	20	КМОП-3	КМОП

Микросхема KP1802ИР1. Это двухадресное регистровое ЗУ емкостью 16 x 4 бит. Структура микросхемы показана на рис.4.14,а. Она включает матрицу из 16 регистров (RG) по 4 разряда каждый; два

независимых устройства ввода/вывода (4-разрядные каналы А и С); два 4-входовых дешифратора адреса регистра (DC) и два устройства управления (УУ) – по одному DC и УУ на каждый канал. Входы и выходы данных любого канала совмещены (DIO – data input/output). Каналы построены по типу ДНШУ (см. §2.2) с выходами на три состояния, о чем говорит символ \diamond .

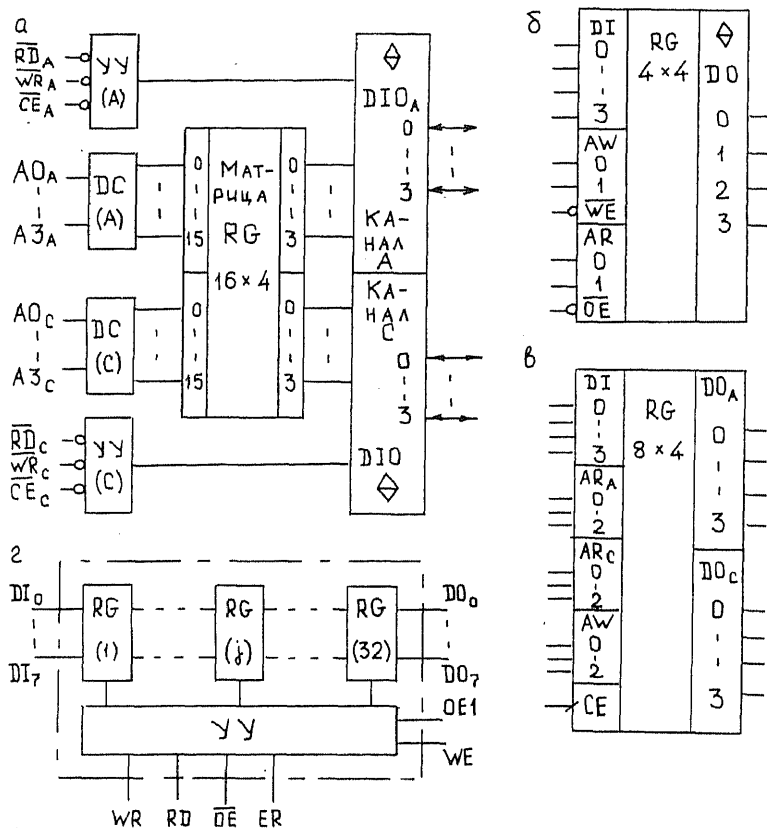


Рис. 4.14

Управляющие сигналы каналов: \overline{RD} (read) – чтение; \overline{WR} (write) – запись; \overline{CE} – разрешение обмена. При $\overline{CE}=1$ выходы каналов находятся в третьем состоянии, блокируется не только чтение, но и запись. Каналы разделяют общее адресное пространство. Наличие двух групп адресов позволяет одновременно обратиться к двум различным

регистрам матрицы. Возможные при этом операции: запись/чтение по одному или сразу по обоим каналам; считывание по одному каналу с одновременной записью по другому.

Для построения памяти с числом хранимых слов $M \geq N$ необходимо взять $\lceil M/N \rceil$ (ближайшее к M/N большее целое) таких микросхем. Нарачивание объема памяти по N выполняется с использованием их входов \overline{CE} , как это делается при увеличении разрядности адреса DC (см. §4.2). При этом все другие одноименные выходы составляющих микросхем объединяются. Рост по числу разрядов (по n) достигается объединением всех одноименных управляющих (включая \overline{CE}) и адресных входов. Информационные выходы DIO не объединяются.

Микросхема K555ИР26 (рис. 4.14.б – ее УГО) включает 4 регистра по 4 разряда каждый. Предусмотрена отдельная адресация регистров при записи ($AW0, 1$) и при считывании ($AR0, 1$). Запись информации со входов $DI 0-3$ происходит по сигналу разрешения $\overline{WE} = 0$. При $\overline{WE} = 1$ доступ к регистрам для записи закрыт, аналогично при считывании. Если $\overline{OE} = 1$, то выходы находятся в третьем состоянии. Адресуя разные регистры, можно одновременно записывать и считывать данные. Режиму хранения отвечают значения $\overline{WE} = \overline{OE} = 1$. Задача наращивания объемов памяти решается аналогично предыдущему.

Микросхема K561ИР11 (рис. 4.14.в). Это устройство памяти с характеристикой $N \times n = 8 \times 4$. Имеет одноканальный ввод (запись) и двухканальный вывод (чтение). Адреса чтения по каналам A и C задаются отдельно. Управление – динамическое по фронту сигнала CE . Режимы работы: запись по адресу AW ; считывание по одному или одновременно по двум (AR_A и AR_C) адресам; хранение информации. При записи адрес AW подается на все три группы адресных входов. При считывании на AW должна действовать нулевая комбинация. Нарачивание объема памяти по N происходит объединением всех одноименных входов составляющих микросхем и коммутацией их выходов через мультиплексор. Микросхема $K561ИР12$ в отличие от рассмотренной имеет выходы на три состояния.

Микросхема K1002ИР1. Структура этой микросхемы показана на рис. 4.14.г. Она представляет собой 3У магазинного типа емкостью 32 x 8 бит. Регистры соединены в последовательную цепь. Записываемая информация поступает на входы данных $RG1$. Считывание данных происходит с выходов $RG32$. Записанный байт автоматически сдвигается в первый справа свободный регистр, отмеченный указателем очереди. При каждом считывании очередь перемещается на одну позицию вправо. Соответственно меняется и

указатель. Сброс очереди (указатель показывает на RG32, т.е. очередь пуста) происходит по сигналу стирания $ER=1$.

Запись происходит по сигналу $WR=1$. Сообщением о готовности микросхемы принять для записи очередной байт служит появление сигнала $WE=1$. По фронту WR выход $WE:=0$. Как только записываемый байт будет помещен в конец очереди с последующим декрементом указателя, вновь $WE=1$. По заполнению очереди $WE:=0$.

Считывание выполняется при $\overline{OE} = 0$ по сигналу $RD=1$. Сообщение о готовности выхода к считыванию очередного байта формирует сигнал $OE1=1$. По фронту RD выход $OE1:=0$ и восстанавливается в 1 после внутреннего сдвига. Если очередь пуста, то $OE1=0$. Сигнал $\overline{OE}=1$ переводит выходы данных и $OE1$ в третье состояние. При этом вход RD блокируется, возможна только запись.

Регистровые ЗУ магазинного типа применяются для организации передач информации между асинхронно работающими устройствами. Необходимое согласование достигается тем, что запись и считывание могут проводиться в данном случае одновременно при сохранении порядка следования байтов данных. Существует принципиальная возможность наращивания объемов таких ЗУ по N и n путем матричного объединения микросхем.

§ 4.4. МИКРОСХЕМЫ ОПЕРАТИВНОЙ ПАМЯТИ

В современных цифровых системах в зависимости от их назначения память занимает от 40 до 70% всего оборудования и во многом определяет технические характеристики системы в целом. Оперативная память (ОЗУ) отличается от постоянной (ПЗУ) тем, что допускает изменение своего содержимого в процессе непрерывного функционирования системы. Рассмотренные ранее микросхемы регистровой памяти обычно используются в качестве буферного сверхоперативного ЗУ (СОЗУ) небольшой емкости для согласования работы сравнительно медленной главной памяти (ОЗУ, ПЗУ) и более быстрого исполнительного устройства (процессора) в составе системы.

Появление первых работ по ИС памяти относится к 1965-1967 годам. Впервые биполярное ОЗУ емкостью 1М байт было реализовано в середине 60-х для системы ILLIAC IV. Время цикла такой памяти составило 200 нс, что более чем на порядок меньше среднего результата того времени при значительно большем (примерно в 30 раз) объеме ОЗУ. Были использованы 64 модуля памяти емкостью 64К байт каждый на основе 256-битовых ИС памяти. С тех пор достигнуты значительные успехи в области разработки и производства кристаллов ОЗУ и ПЗУ.

Рассмотренный в §4.3 принцип масштабирования (наращивания объемов памяти) допускает обобщение на все микросхемы ЗУ. Чтобы повысить разрядность, образуют субмодуль из нужного числа микросхем, объединяя все их одноименные выводы, кроме информационных. Для увеличения числа хранимых слов соединяют все одноименные выводы субмодулей, кроме входов их инициализации (crystal select – \overline{CS}). Выбор того или иного субмодуля осуществляется с помощью дешифратора, на входы которого поступают старшие разряды адреса. Такую организацию модуля памяти называют страничной, а субмодуль – страницей.

Любой блок ЗУ включает ряд модулей памяти, контроллер (устройство управления), буферные регистры и магистральные приемопередатчики (для сопряжения по нагрузке с шинами адресов и данных). При проектировании ЗУ необходимо учитывать принятый тип интерфейса. Но все это относится к микропроцессорной технике (см., например, [107]) и далее не рассматривается. В данном параграфе и §4.5 ограничимся знакомством с базовыми микросхемами ОЗУ и ПЗУ и с некоторыми особенностями их использования. Рассмотрение проведем на основе [106] с привлечением дополнительных источников.

Система параметров и мнемоники микросхем памяти

Основными параметрами БИС памяти являются: информационная емкость $N \times n$ (число слов \times число разрядов), быстродействие ($t_{ц.зн/сч}$), энергопотребление. Применяемые технологии: ТТЛ, ЭСЛ, И²Л, МОП, КМОП. Информационная емкость колеблется от 64 до 1М бит. Длительность цикла – от 10 до 4000 нс. Энергопотребление – от 0,02 до 1,1 Вт (и даже до 1,8 Вт – для микросхем регистровых ЗУ).

В управлении микросхемой памяти обычно задействованы несколько сигналов. Поэтому, наряду с $t_{ц.зн/сч}$, оговариваются дополнительные временные параметры: длительности отдельных управляющих импульсов, временные сдвиги между ними, время выборки t_b , период регенерации $T_{рег}$ (для микросхем динамической памяти) и др. Время выборки – это интервал времени между подачей на вход микросхемы сигнала разрешения считывания (или равноценного ему сигнала) и получением данных на выходе. Период регенерации определяет максимальный интервал времени между двумя обращениями по каждому адресу для восстановления хранящейся информации.

В УГО многообразия типов микросхем памяти используются следующие мнемоники:

RAM – статическое ОЗУ;

RAMD – динамическое ОЗУ;

RG – регистровое ОЗУ (см. § 4.3);

ROM – масочное ПЗУ (МПЗУ);

PROM – ПЗУ с электрическим программированием (ППЗУ);

PLM – программируемая логическая матрица (ПЛИМ);

EPROM – репрограммируемое ПЗУ (РПЗУ).

Необходимые пояснения принятой здесь и далее терминологии будут даны при знакомстве с соответствующими микросхемами.

Словарь мнемоник выводов, использованный при рассмотрении микросхем регистровой памяти, будет непрерывно пополняться в процессе этого знакомства. Символ Φ обозначает выходы с открытыми коллекторами. Специальная организация выходов микросхем памяти обусловлена необходимостью их объединения в модули. Выход активен только при чтении. В режиме записи или хранения он находится в третьем состоянии Z (выход типа Φ) либо в единичном (выход типа Φ). Это позволяет объединять вход и выход с образованием двунаправленной шины ввода/вывода. В некоторых микросхемах такое объединение выполнено внутри них самих (выводы DIO – см. микросхему КР1802ИР1 в § 4.3).

Большинство интегральных серий имеет однородный состав микросхем ЗУ. Например, серии К541 (И²Л-ТТЛ) и К537 (КМОП) – только RAM; серия К565 (п-МОП) – только RAMD; серия К556 (ТТЛ) – только PROM и PLM; серия К573 (ЛИЗМОП) – только EPROM. При маркировке микросхем памяти вслед за номером серии идут две буквы, обозначающие тип микросхемы: РУ – ОЗУ, РЕ – МПЗУ, РТ – ППЗУ или ПЛИМ, РР – РПЗУ с электрическим стиранием, РФ – РПЗУ с ультрафиолетовым стиранием, ИР – регистровое ЗУ. Далее в этом параграфе рассматриваются только микросхемы ОЗУ, выполненные по разным технологиям.

Технология ТТЛ

По этой технологии изготавливаются микросхемы ОЗУ статического типа. В качестве элемента памяти для них используется статический триггер с непосредственными связями, подобный рассмотренному в § 1.4. Наиболее представительной является серия К541 (технология И²Л-ТТЛ). Параметры микросхем этой серии:

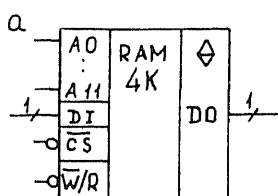
$N \times n = 4K \times 1$ (РУ1), $1K \times 4$ (РУ2), $8K \times 1$ (РУ3.1-3.4), $16K \times 1$ (РУ3);

$t_{ц.зп/сч} = 100 \dots 170$ нс;

$P_{пот} = 0,3 \dots 0,5$ Вт;

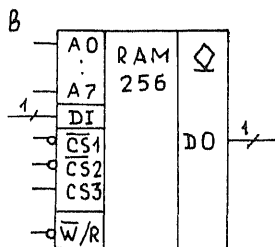
выходы – на три состояния.

УГО микросхемы К541РУ1 приведено на рис. 4.15,а; таблица ее функционирования – на рис. 4.15,б (символом «х» обозначается безразличное состояние входа).



б

\overline{CS}	$\overline{W/R}$	A	DI	DO	Режим работы
1	x	x	x	\overline{Z}	Хранение
0	0	A	1/0	x	Запись 1/0
	1		x	D	Считывание



г

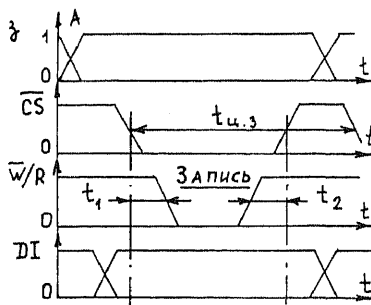
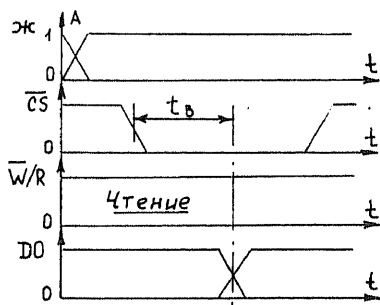
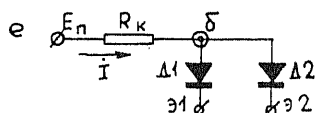
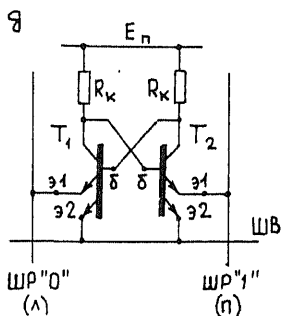
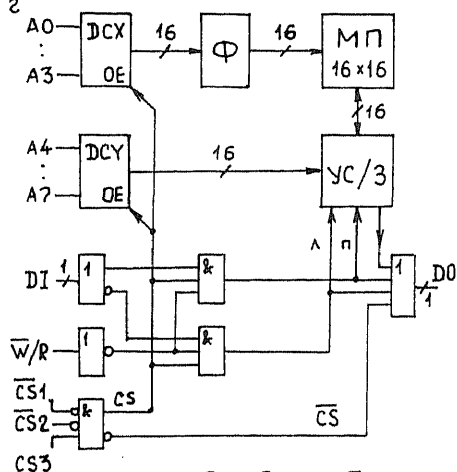


Рис. 4.15

Особенности построения микросхем ОЗУ ТТЛ рассмотрим на примере микросхемы K155PV5 ($N \times n = 256 \times 1$; $t_b = 60$ нс; $P_{пот} =$

$\approx 0,7 \text{ Вт}$) [39]. Это одна из первых микросхем рассматриваемого типа. Ее УГО отвечает рис. 4.15,в. Таблица функционирования – прежняя. Только в режимах хранения и записи вместо состояния Z имеем на выходе сигнал 1.

Логическая структура микросхемы K155PY5 показана на рис. 4.15,г. Полный адрес $A = \langle A7, \dots, A0 \rangle$ разбивается на две части: $A_X = \langle A3, \dots, A0 \rangle$ и $A_Y = \langle A7, \dots, A4 \rangle$. Каждая часть дешифрируется отдельно. По адресу A_X выбирается одна строка матрицы памяти МП, по адресу A_Y – один столбец. Активизация строк и столбцов осуществляется через посредство формирователей Φ и усилителей считывания / записи $УС / З$ соответственно.

Выбранная строка содержит 16 ЭП (элементов памяти). Но операции чтения или записи проводятся только с одним из этих ЭП, определенным адресом столбца. Наличие трех входов выбора кристалла ($\overline{CS1}$, $\overline{CS2}$, $CS3$) позволяет нарастить объем памяти до 2048 слов без использования дополнительного дешифратора.

Сигнал разрешения дешифраторов $OE = CS$ активен, если входные управляющие сигналы $\overline{CS1} = \overline{CS2} = 0$, а $CS3 = 1$. В режиме хранения кристалл не выбран ($\overline{CS} = 1$, $OE = 0$) и выход $DO = 1$. Согласно схеме при записи также $DO = 1$. При чтении DO определяется сигналом с выхода соответствующего $УС$.

Временные диаграммы микросхемы в режимах чтения и записи показаны на рис. 4.15,ж,з. Величина t_h определена процессами дешифрации адреса и включения выходных цепей выбранного ЭП. При записи необходимо исключить разрушение информации в невыбранных ЭП, которые могут ложно инициализироваться в переходном процессе дешифрации. Поэтому сигнал \overline{W}/R подается с некоторой задержкой t_1 и снимается на время t_2 раньше по отношению к сигналу \overline{CS} .

Элемент памяти TTL (рис. 4.15,д) представляет собой статический триггер на двухэмиттерных транзисторах. Эмиттеры 2 подключены к внутренней шине выборки ШВ (от DCX), а эмиттеры 1 – к внутренней шине разряда данных ШР «0» или ШР «1». Эквивалентная схема базово-эмиттерных цепей насыщенного триода в статике (рис. 4.15,е) позволяет уяснить особенности работы ЭП (см. §2.4).

В режиме хранения потенциал шины выборки $U_{шв} < U_{шр1,0}$. Поэтому ток насыщенного транзистора замыкается через э1 на ШВ, а ЭП отключен от ШР1,0. Выборка ЭП осуществляется подачей ВП на ШВ. При этом $U_{шв} > U_{шр1,0}$ и ток насыщенного триода переключается в эмиттер 1, повышая потенциал соответствующей разрядной линии в случае чтения (входное сопротивление приемника в линии сравнительно велико). Усилитель считывания, собранный по

парафазной схеме, реагирует на изменение разности потенциалов $U_{ш1} - U_{ш0}$ и формирует адекватный логический потенциал на своем выходе.

В режиме записи, помимо подачи импульса выборки, на шинах ШР1 и ШР0 устанавливаются потенциалы, необходимые для переключения ЭП в нужное состояние. Эти потенциалы формируются усилителем записи с малым выходным сопротивлением. Пусть, например, при хранении 1 триод T_1 насыщен, T_2 закрыт. Тогда установке единичного состояния ЭП отвечает соотношение: $U_{ш2} > U_{ш1} > U_{ш0}$. Если $U_{ш1} < U_{ш0}$, то происходит установка нуля.

Технология КМОП

Наиболее развитым функциональным составом микросхем ОЗУ КМОП обладает серия К537. Она включает 15 модификаций микросхем, которые различаются информационной емкостью (1К x 1; 4К x 1; 1К x 4; 2К x 8), быстродействием, типом корпуса, спецификацией выводов и т.д. Для этой серии в целом характерны: единое $E_n = 5$ В, ТТЛ-уровни входных и выходных сигналов, выходы на три состояния, высокая допустимая $C_n \geq 200$ пФ, отсутствие потерь информации при снижении E_n до 2-3 В. Наиболее «скоростными» являются микросхемы К537РУ14 ($N \times n = 4К \times 1$; $t_{u,zn/сч} = 110$ нс) и К537РУ10 ($N \times n = 2К \times 8$; $t_{u,zn/сч} = 180$ нс). По своему быстродействию они близки к ОЗУ-ТТЛ, имея значительно более низкое энергопотребление. Это обуславливает их перспективность для применений в устройствах с существенно ограниченными энергоресурсами.

Микросхемы статических ОЗУ имеют, в основном, одноразрядную организацию. Ее принципы являются достаточно общими. Поэтому рассмотрение в данном разделе начнем с одной из наиболее ранних и простых микросхем К561 (564) РУ2. Принципы построения микросхем с многоразрядной организацией покажем на примере микросхемы К537РУ8.

Микросхема К561 (564) РУ2. Ее УГО и таблица функционирования приведены на рис. 4.16,а. Параметры микросхемы: $N \times n = 256 \times 1$; $t_{u,zn/сч} = 800$ нс; $E_n = 6...12$ В; $P_{пот} = 0,15$ Вт. Она включает (рис. 4.16,б) выполненные на едином кристалле кремния матрицу памяти МП, дешифраторы кода адреса строк DCX и столбцов DCY, ключи выбора столбцов КВСБ и устройство ввода / вывода УВВ.

Матрица памяти содержит 256 ЭП, расположенных на пересечениях 16 строк и 16 столбцов. Каждый ЭП – статический триггер (см. §2.4) с парафазными совмещенными входами / выходами (рис. 4.16,в). Ключевыми триодами T_5 и T_6 триггер соединен с разрядными шинами ШР0,1. При отсутствии сигнала выборки строки

(на ШВ – НП) эти триоды закрыты и триггер изолирован от разрядных линий (режим хранения).

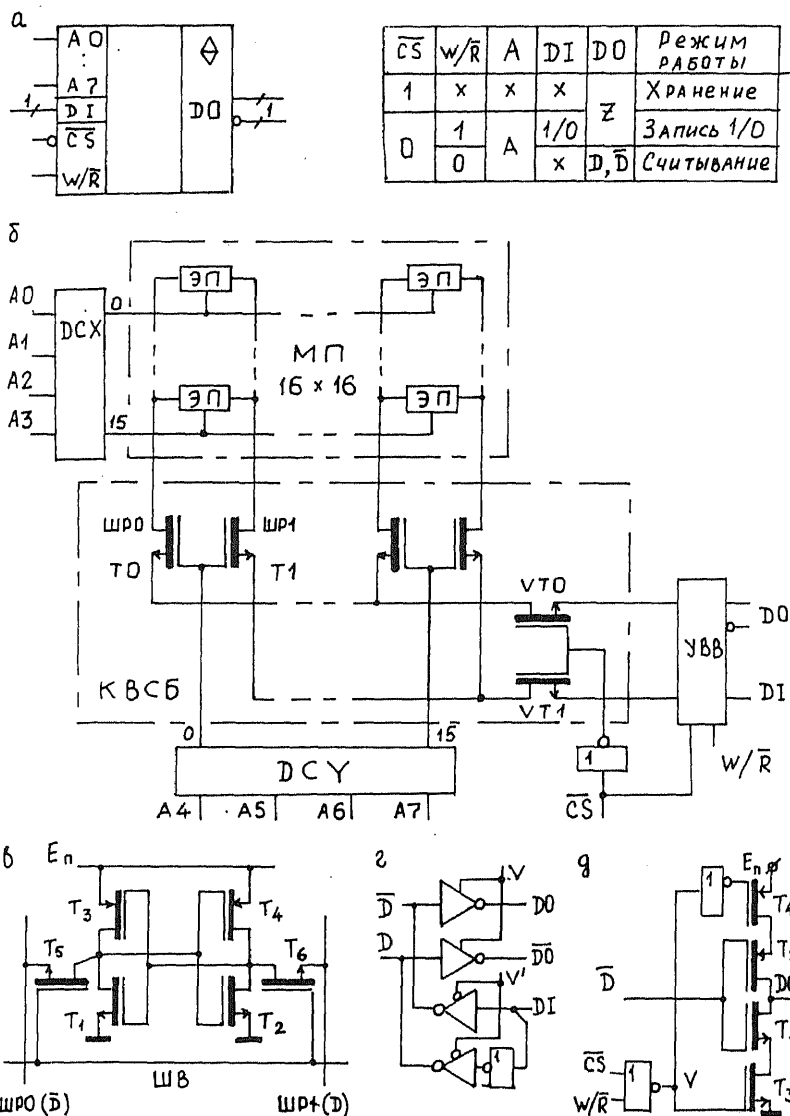


Рис. 4.16

По условию, если триггер находится в единичном состоянии, то триоды T_1 и T_4 открыты, T_2 и T_3 закрыты. В режимах считывания и записи на ШВ подается ВП (T_5 и T_6 открыты). При чтении единицы имеем: ШР0 – НП, ШР1 – ВП, сами разрядные линии находятся в высокоомном состоянии (см. предыдущий раздел). Те же потенциалы действуют на разрядных линиях и при записи единицы. Но теперь уже они создаются от низкоомного внешнего источника. В режиме хранения энергопотребление микросхемы пренебрежимо мало.

Пара ключей T_0 и T_1 (рис. 4.16,б) выбирают столбец. Ключи VT_0 и VT_1 связывают МП с УВВ в режимах чтения и записи. Направление передачи информации определяется сигналом $W\bar{R}$.

Устройство ввода/вывода (рис. 4.16,г) строится на основе инверторов с тремя состояниями выхода. Разрешающие сигналы

$$V = \overline{CS} \vee W / \bar{R}, \quad V' = \overline{CS} \vee W / \bar{R}.$$

На рис. 4.16,д приведена схема одного канала. Инвертор на триодах T_1 , T_2 дополнен двумя ключевыми транзисторами T_3 , T_4 . При $V=0$ эти транзисторы (оба) закрыты. Так реализуется третье состояние выхода в данном случае.

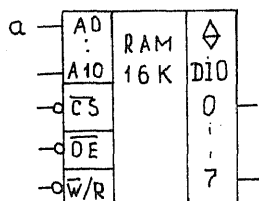
Микросхема К537РУ8. (рис. 4.17,а – ее УГО и таблица функционирования) имеет параметры: $N \times n = 2K \times 8$; $t_{ц\text{ зп/сч}} = 350 \dots 530$ нс; $t_s = 200 \dots 400$ нс; $P_{\text{пот}} = 0,2$ Вт. В режиме хранения потребляемая от источника мощность снижается более чем в 1000 раз. Микросхема имеет объединенные входы/выходы DIO и специальный сигнал разрешения выхода \overline{OE} . Наличие этого сигнала позволяет запретить вывод информации в режиме считывания: при $\overline{OE}=1$ выходы переводятся в состояние Z.

Микросхема включает (рис. 4.17,б) матрицу памяти (МП) со 128×128 ЭП, регистры и дешифраторы кода адреса строк (RGX и DCX) и столбцов (RGY и DCY), усилители считывания/записи (УС/З), устройство управления (УУ) и устройство ввода/вывода (УВВ). Матрица разбита на 8 секций по 128×16 ЭП в каждой. Четыре младших разряда адреса $\langle A_3-A_0 \rangle$ выбирают по одному столбцу одновременно во всех секциях и коммутируют их с УВВ.

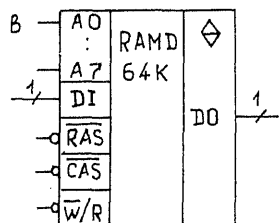
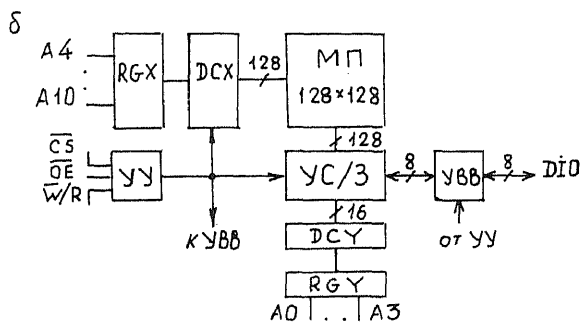
Технология n-МОП

По этой технологии изготавливаются микросхемы статических и динамических ОЗУ. Статический вариант представляет серия К132, динамический – серия К565. Первая из этих серий включает 13 разновидностей микросхем. Для всех них: $E_n = 5В$; ТТЛ-уровни на выходах и входах; выходы на три состояния; сигналы управления – \overline{CS} ,

$\overline{W/R}$; допустимая емкость нагрузки – от 100 до 600 пф; энергопотребление в режиме хранения снижается в 5 ... 20 раз. По



\overline{CS}	\overline{OE}	$\overline{W/R}$	A	DIO	Режим работы
1	x	x	x	Z	Хранение
0	x	0	A	1/0	Запись 1/0
	1	1		Z	Чтение без выдачи
	0	0		D	Считывание



\overline{RAS}	\overline{CAS}	$\overline{W/R}$	A	DI	DO	Режим работы
1	x	x	x	x	Z	Хранение
0	1	0	A	1/0		Регенерация
	0	1		x	D	Запись 1/0
						Считывание

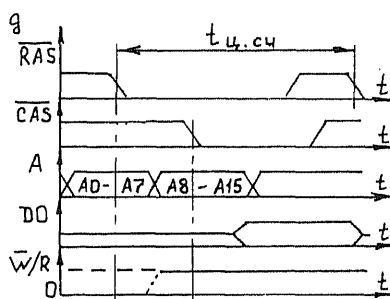
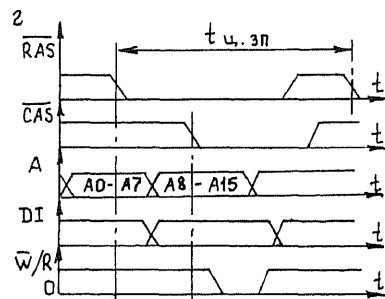


Рис. 4.17

своей структуре они близки микросхемам памяти серий К561 и К537, обладают сравнительно высоким быстродействием. Например, микросхема К132РУ6 (16К x 1) имеет $t_{ц.зп/сч} = 75$ нс при $P_{пот} = 0,44$ Вт. Параметры микросхемы К132РУ10 (64К x 1) даже несколько лучше.

Понятие динамического ОЗУ. В основе работы элемента динамической памяти лежит принцип хранения двоичной информации в виде заряда на емкости. Сопротивление утечки МОП-транзистора достаточно велико ($10^{12} \dots 10^{14}$ Ом). Поэтому накопленный на емкости заряд сохраняется не менее 2 мс при температуре не более 100°C . Однако требуется периодическая регенерация хранимых данных (восстановление заряда на запоминающей емкости) с частотой не менее 500 Гц при помощи специальных схем. Вместе с тем, в сравнении со статическими ОЗУ снижается энергопотребление и значительно упрощается схема ЭП. Последнее позволяет повысить степень интеграции.

Технология n-МОП является основной для изготовления микросхем динамической памяти. Потенциально она обеспечивает максимум быстродействия, уровня интеграции и времени сохранения заряда (минимум токов утечки). Эти микросхемы имеют ряд особенностей, существенно отличающих их от микросхем статических ОЗУ: мультиплексирование адресного кода, более сложные временные диаграммы сигналов управления, регенерация хранимой информации, сравнительно большое число контролируемых временных параметров. Все это значительно усложняет проектирование динамических ОЗУ. И все же указанные ранее достоинства сделали их основным видом главной памяти современных ЭВМ.

Серия К565 содержит, за исключением самых первых (РУ1,3) и самых последних (РУ8, 9) вариантов, 14 разновидностей микросхем динамических ОЗУ с параметрами:

$N \times n = 16\text{K} \times 1, 32\text{K} \times 1, 64\text{K} \times 1, 256\text{K} \times 1$;

$t_{ц.ин/сч} = 230 \dots 460$ нс;

$E_{ц} = 5$ В;

входы и выходы – ТТЛ и ТТЛ-3 соответственно;

$P_{пот} = 120 \dots 350$ мВт при обращении и $20 \dots 35$ мВт при хранении;

$I_{вых}^0 = 4$ мА, что определяет нагрузочную способность микросхем в статике (см. §2.2). То же значение $I_{вых}^0$ характерно и для микросхем статической памяти КМОП и n-МОП. Но там допускается существенно большая емкостная нагрузка – в сотни пФ.

Развитие микросхем динамической памяти связывается с повышением уровня интеграции (так, микросхема К565РУ9 имеет $N \times n = 1\text{M} \times 1$), ростом быстродействия и совмещением в одном кристалле накопителя с устройством регенерации (так называемое

квазистатическое ОЗУ). Элементы встроенной системы регенерации присутствуют в микросхеме K565PY7. Это делает возможным для нее режим авторегенерации.

Микросхема K565PY5. Она достаточно распространена в настоящее время. Имеет 8 модификаций. Основные варианты информационной емкости – 64К x 1 и 16К x 1. На рис. 4.17,в представлены УГО и таблица функционирования для первого варианта, который рассматривается далее. Временные диаграммы сигналов в режимах записи и считывания показаны на рис. 4.17,г,д соответственно.

При обращении к микросхеме для записи информации необходимо последовательно подать:

1. Код адреса строк $\langle A7, \dots, A0 \rangle$.
2. Одновременно с ним или с некоторой задержкой (не нормируется) – сигнал \overline{RAS} , по срезу которого защелкивается адрес строки.

3. Затем с нормированной задержкой на время удержания адреса строк относительно среза \overline{RAS} подается код адреса столбцов $\langle A15, \dots, A8 \rangle$.

4. Далее через нормированное время установления этого адреса – сигнал \overline{CAS} . По его срезу защелкивается адрес столбца.

5. К моменту подачи кода адреса столбцов на вход DI поступает записываемый бит информации, который сигналом $\overline{W/R}$ при наличии $\overline{CAS} = 0$ фиксируется на входном триггере-защелке.

6. Запись должна успеть завершиться в течение действия импульса \overline{RAS} . Между двумя соседними импульсами должна быть выдержана пауза, необходимая для восстановления состояния внутренних цепей микросхемы.

В том же порядке должны быть поданы адресные и управляющие сигналы при считывании ($\overline{W/R} = 1$) – рис. 4.17, д. Временная диаграмма для режима регенерации включает только сигналы \overline{RAS} и кода адреса строки $\langle A7, \dots, A0 \rangle$. Так что \overline{RAS} – это сигнал инициализации микросхемы (аналогичен сигналу \overline{CS} выбора кристалла). Полный перечень контролируемых временных параметров динамического ОЗУ включает более десятка наименований.

Упрощенная структура кристалла PY5 (64К x 1) отвечает рис. 4.18,а. Сначала на входы А подаются восемь младших разрядов адреса $\langle A7, \dots, A0 \rangle$, которые запоминаются во внутреннем адресном RGX по срезу \overline{RAS} . Затем на эти линии поступают восемь старших разрядов адреса $\langle A15, \dots, A8 \rangle$. Они фиксируются по срезу \overline{CAS} в RGY.

Схема ЭП вместе с фрагментами цепей считывания и управления записью показана на рис. 4.18,б. В состав ЭП входит конденсатор С емкостью 0,1 – 0,2 пФ и транзистор Т. Характерно, что запоминающая

емкость не реализуется специально. Это паразитная емкость между "висячим" истоком и подложкой. Дополнительные компоненты рисунка: УС – усилитель считывания; T_2 и T_1 – ключи для задания на шине считывания ШС необходимых в процессе работы потенциальных уровней; $C_{ш}$ – распределенная емкость шины. Значение $C_{ш}/C \geq 100$, так как ШС связывает ЭП множества строк; ШЗ – разрядная шина записи; $У«0»$ и $У«1»$ – линии установки нулевого и единичного значений потенциала ШС.

Считывание проводится в два этапа. Сначала $C_{ш}$ заряжается до E_n через триод T_1 (на $У«1»$ – ВП). Затем на ШВ подается положительный импульс выборки. При этом триод T в ЭП открывается, напряжения на емкостях C и $C_{ш}$ выравниваются. Изменение потенциала шины ШС

$$\Delta U_{ш} = (E_n - U_c(0)) C / (C + C_{ш}) \approx 0,01 (E_n - U_c(0))$$

максимально при $U_c(0) = 0В$ (хранение 0). Значение $\Delta U_{ш}^{max} = 50 мВ$, что достаточно для переключения балансного усилителя в УС. Заметим, что считывание нуля происходит в данном случае с разрушением информации.

При записи 0 оба конденсатора – $C_{ш}$ и C разряжаются через триод T_2 ($У«0»$, ШВ – ВП). В случае записи 1 эти конденсаторы заряжаются через триод T_1 ($У«1»$, ШВ – ВП) до E_n .

Более детальное, чем ранее, представление об организации функционирования микросхемы дает ее стилизованная логико-структурная схема (рис. 4.18, в) [52]. В этой схеме:

RG – внутренний регистр для промежуточного хранения состояний выбранной строки;

K1 – входной демультиплексор;

K2 – выходной мультиплексор;

УС – усилители считывания (стробируемые);

УЗ – усилители записи (стробируемые).

По срезу \overline{RAS} (разрешение обращения) вырабатывается серия из пяти строб-импульсов (рис. 4.18, в; внизу):

1 – формирование ВП на линии $У«1»$ (рис. 4.18, б) для начального заряда емкости $C_{ш}$;

2 – разрешение подачи ВП на одну из ШВ;

3 – стробирование УС для поразрядной записи в RG содержимого выбранной из МП строки;

4 – стробирование записи извне в выбранный разряд RG ($\overline{CAS} = 0, \overline{W}/R = 0$) либо чтения бита из этого разряда ($\overline{CAS} = 0, \overline{W}/R = 1$);

5 – стробирование поразрядной записи содержимого RG в выбранную строку МП.

Таким образом, как при чтении, так и при записи имеет место регенерация выбранной строки. Но если обращения к некоторой строке нет достаточно долго, то ее необходимо регенерировать принудительно. Полагая $t_{\text{ц,рег}} = 200$ нс, для времени непрерывной регенерации 128 строк получаем $25,6$ мкс $\ll T_{\text{рег}} = 2$ мс. Следовательно, регенерация занимает примерно 1,3% от общего времени работы памяти, т.е. мало влияет на ее быстродействие. Различные режимы регенерации организуются с помощью специального контроллера динамической памяти [106,107].

§4.5. МИКРОСХЕМЫ ПОСТОЯННОЙ ПАМЯТИ

Основными требованиями к ПЗУ являются: неразрушаемость хранимой информации и энергонезависимость, т.е. способность сохранять информацию при отключении питания. ПЗУ могут работать в двух режимах: хранение и считывание. Поэтому основным временным параметром для них является время выборки t_b . Все микросхемы ПЗУ имеют многоуровневую организацию $N \times n$, $n > 1$.

По способу программирования, т.е. записи информации, микросхемы ПЗУ подразделяются на 3 группы:

- 1) масочные ПЗУ (МПЗУ, ROM). Однократно программируются изготовителем по способу заказного фотошаблона (маски);
- 2) электрически программируемые ПЗУ (ППЗУ, PROM). Однократно программируются пользователем по способу пережигания плавких перемычек на кристалле;
- 3) репрограммируемые ПЗУ (РПЗУ, EPROM). Многократно программируются пользователем.

Принцип запоминания информации в случае ППЗУ иллюстрирует рис. 4.19.а. На кристалле, поставляемом пользователю, содержатся все элементы связи (перемычки из нихрома, поликристаллического кремния и др.) между словарными и разрядными линиями. При программировании в разряде, где должен быть записан 0, перемычка разрушается. На рисунке дан пример записи трех слов: ячейка 0 – 101, ячейка 1 – 010 и ячейка 2 – 011. Разрушенная перемычка отмечена символом “х”. Передача сигнала от ШВ к ШР обычно сопровождается его усилением, для чего последовательно с перемычкой включается активный элемент. На любой ШР выполняется объединение по ИЛИ. Поэтому элемент связи должен как минимум содержать диод (показан пунктиром на рис. 4.19, а).

В МПЗУ программирование осуществляется не разрушением ненужных, а напротив, созданием нужных перемычек. Такая технология обеспечивает повышенную надежность записи. Но она применяется только при изготовлении достаточно крупных партий

однотипных ПЗУ (с одной и той же записанной информацией), ибо изготовление фотошаблонов — довольно дорогостоящий процесс. Чтобы запрограммировать РПЗУ, надо предварительно стереть записанную ранее информацию. То и другое достаточно специфично.

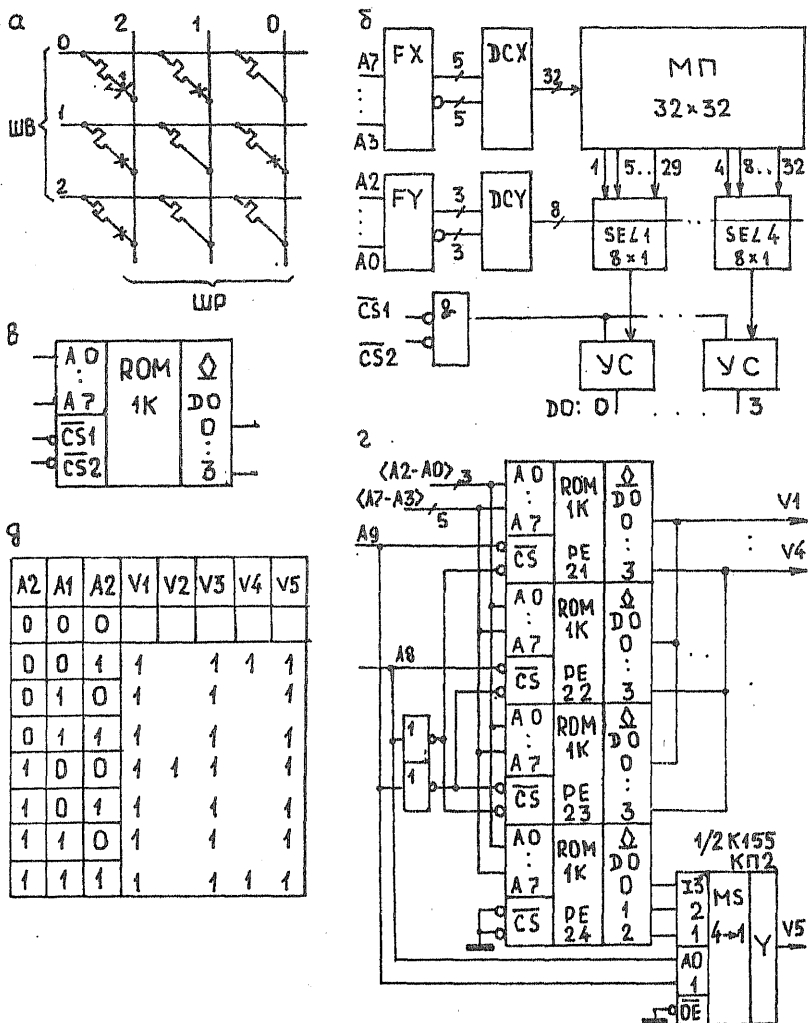


Рис. 4.19

В этом параграфе дается знакомство с представителями всех трех групп микросхем ПЗУ. Рассматривается организация микросхем и пользовательские аспекты. Необходимое внимание уделяется нетрадиционным применениям ПЗУ для

- 1) воспроизведения функциональных зависимостей;
- 2) выполнения арифметических действий;
- 3) реализации логических преобразователей.

В связи с последним применением введен заключительный раздел, посвященный программируемым логическим матрицам (ПЛМ).

Масочные ПЗУ

Микросхемы МПЗУ (ROM) изготавливаются по ТТЛ -, МОП - и КМОП-технологиям с информационной емкостью от 1К до 1М бит. Их разрядность – от 4 до 16, выходы – ТТЛ-ОК (с открытым коллектором) либо ТТЛ-3. Номенклатура ROM достаточно велика и постоянно растет. Занесенную в ROM информацию в технической документации называют «прошивкой». Большинство микросхем имеет стандартные прошивки. Но имеются и микросхемы, прошивка которых выполняется изготовителем по специальным картам заказа. К таковым относятся, например, микросхемы K1801PE1 и K1809PE1 ($N \times n = 4K \times 16$).

Стандартные прошивки достаточно стереотипны. Вот некоторые примеры:

K155PE21...24 – буквы русского, латинского алфавитов, арифметические знаки и цифры;

KP555PE4 – символы кода обмена информацией КОИ 2-8;

K505PE3 (разные модификации) – буквы, знаки и цифры, коэффициенты быстрого преобразования Фурье, значения синусов и квадратов;

KP568PE2 (разные модификации) – буквы, знаки и цифры, символы международных телеграфных кодов №2 и 5, кодовые таблицы, значения синусов, ассемблер и редактор текстов;

KP1610PE1 (8 модификаций) – программное обеспечение микроЭВМ «Искра».

Микросхемы K155PE21-24. Их УГО показано на рис. 4.19,в. Это одни из наиболее ранних микросхем МПЗУ. Тем не менее, по своей структуре они достаточно представительны для всего класса ROM. Микросхема PE21 содержит буквы русского алфавита, PE22 – латинского, PE23 – арифметические знаки и цифры, PE24 – дополнения различных символов (см. далее). Параметры этих микросхем: $N \times n = 256 \times 4$; $t_n = 30$ нс; $P_{пот} = 650$ мВт; тип выхода – ТТЛ-ОК.

Отметим особенности их структуры (рис. 4.19,б). Матрица памяти МП содержит 32 m-эмиттерных транзистора T_m , $m=32$. Базы T_m

образуют строки матрицы. Они подключены к выводам DCX. Компоненты адреса подаются на DCX парафазно через формирователь FX. Коллекторы всех T_m соединены с шиной питания. Эмиттеры либо связаны с разрядной шиной (в данном разряде записана 1), либо не связаны (записан 0). Соответствующая иллюстрация будет дана в следующем разделе на примере ППЗУ.

Разрядные шины разделены на 4 группы по 8 линий в каждой. Селекторы групп SELi, $i = 1 \dots 4$, представляют собой наборы ключей, управляемых с выходов DCY. Любой селектор выбирает из 8 входных линий одну и коммутирует ее на выход через стробируемый усилитель считывания УС. Активизация всех УС происходит при $\overline{CS1} = \overline{CS2} = 0$.

В своей совокупности микросхемы K155PE21-24 образуют генератор символов на 96 знаков формата 7x5 точек. Возможная реализация такого генератора представлена на рис.4.19,г (внешние резисторы не показаны). В данном случае код адреса разбивается на три части: $\langle A2 \dots A0 \rangle$, $\langle A7 \dots A3 \rangle$ и $\langle A9 \dots A8 \rangle$. Два старших разряда выбирают микросхему и дополняющий выход PE 24 (через мультиплексор КП2). Разряды A7–A3 определяют вид символа из набора символов выбранной микросхемы. Младшие разряды выделяют строку символа. Сигналы с выходов V1–V5 поступают на устройство отображения.

Так, при $\langle A9 \dots A8 \rangle = 01$ выход формируется микросхемой PE21 и выводом DO2 микросхемы PE24. В соответствии с таблицей прошивки микросхемы PE21 при $\langle A7 \dots A3 \rangle = \langle 0 \dots 0 \rangle$ и последовательном переборе комбинаций $\langle A2 \dots A0 \rangle$ временная совокупность управляющих сигналов V1–V5 отвечает букве Ю (рис.4.19,д). Нулевая комбинация $\langle A2 \dots A0 \rangle$ не используется.

Некоторые тенденции. Для БИС памяти в целом характерна устойчивая тенденция к их функциональному усложнению. В частности, в структуру микросхем ROM встраивают интерфейсные узлы для их сопряжения со стандартной магистралью. Так, микросхемы K1801PE1 и K1809PE1 имеют встроенный контроллер ПЗУ. Микросхемы K596PE2 (64Kx16) и K563PE2 (32Kx8) – встроенные схемы самоконтроля и исправления одиночных ошибок при считывании. Наиболее перспективной считается технология КМОП как наименее энергоемкая. Например, $P_{\text{пот}}$ для микросхемы K563PE2 (КМОП) в 50 раз меньше энергопотребления микросхемы K596PE2 (ТТЛ) при практически одинаковом быстродействии. В изготовлении КМОП-микросхем ПЗУ достигнуты значительные успехи.

Программируемые ПЗУ

Большинство PROM изготавливается по ТТЛШ-технологии. Ведущее положение занимает серия K556. Она включает микросхемы емкостью до 64К бит (PT16) с 4- и 8-разрядной организацией, $t_b = 45...85$ нс, $P_{пот} = 0,6...1$ Вт. Серия КМОП (K1623) имеет более низкое быстродействие. Так, для микросхемы K1623PT1: $N \times n = 2K \times 8$, $t_b = 200$ нс.

Микросхема K556PT4 (рис. 4.20,а – ее УГО) имеет параметры: $N \times n = 256 \times 4$; $t_b = 70$ нс; $P_{пот} = 690$ мВт; выход ТТЛ-ОК. Структура микросхемы подобна K155PE21-24, за исключением выходных цепей (рис. 4.20,б). Формирователи записи F разрешаются в режиме программирования подачей ВП на $\overline{CS2}$. При этом они шунтируют (блокируют) усилители считывания УС. Выбор кристалла в режиме обычного функционирования ПЗУ (хранение-чтение) осуществляется по $\overline{CS1} = \overline{CS2} = 0$. Значение $\overline{CS2} = 0$ блокирует формирователи, и они не влияют на работу схемы.

Усилители УС – инвертирующие. Поэтому наличие перемычки отвечает записи 0, ее отсутствие – записи 1. Кристалл поставляется пользователю с записью 0 во всех словах и разрядах. У всех микросхем серии K556 перемычки – из никрома (в серии K541 – из поликристаллического кремния). Предприятие-изготовитель оставляет за собой право поставлять микросхемы ППЗУ с начальной информацией в некотором числе ячеек памяти (обычно не более 4). Причиной могут быть испытания микросхем на программируемость при их выпуске. Ячейки с начальной информацией указываются в сопроводительном документе.

Упрощенная схема кристалла K556PT4 [125] приведена на рис. 4.20,в. Матрица памяти МП имеет организацию 32×32 бит. Она содержит 32 m-эмиттерных транзисторов МЭТ_i, $m = 32$. База МЭТ_i образует строку матрицы из восьми 4-разрядных слов. Эмиттеры каждой строки разделены на 4 группы по 8 бит. Селектор (ключи Т₀...Т₇) выбирает в каждой группе по одному эмиттеру. Любую группу обслуживает свой УС (8-входовый элемент И-НЕ с дополнительным логическим входом CS1) и свой F (Т_{mj}, $j \in \{0,3\}$), управляемый сигналом $\overline{CS2}$.

В режиме считывания $\overline{CS1} = \overline{CS2} = 0$. При этом все Т_{mj} закрыты. Сигнал на выбранной ключом Т_k ($k \in \{0,7\}$) разрядной линии каждой группы инвертируется и передается на выход. Если в данном разряде выбранного слова записан 0 (перемычка цела), то на линии действует ВП с выхода DCX. В случае разрушенной перемычки (записи 1) – НП (потенциал насыщенного Т_k).

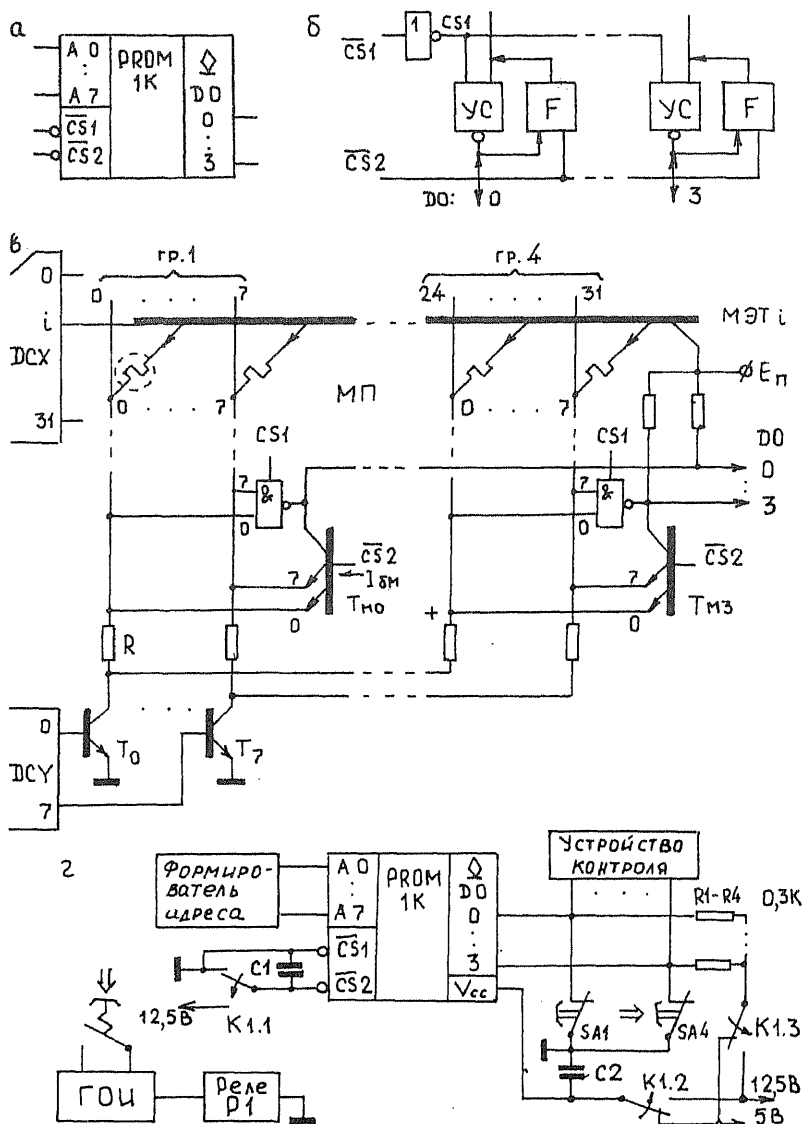


Рис. 4.20

Рассмотрим режим программирования. При этом во избежание объяснительных коллизий из-за упрощения схемы будем условно

считать $\overline{CS1}=1$ (УС заблокирован), хотя в реальной схеме это не так. В каждый момент времени программируется только один разряд выбранного слова. Последовательность действий такова:

1. На адресные входы микросхемы подается адрес ячейки памяти.
2. Выход DO того зарзда, где надо разрушить перемычку (записать 1), заземляется.
3. На выводы E_n , $\overline{CS2}$ коммутируется положительный импульс напряжения амплитудой 10...14 В и длительностью 100...300 мс.

Пусть, например, требуется разрушить перемычку, виденную на рис. 4.20, в пунктиром (адрес $A = \langle 0 \rangle$, выход – $DO 0$). Поскольку $DO 0$ заземлен, то все эмиттеры T_{m0} обесточены (ток I_{bm} отводится в цепь коллектора – см. §1.4) и T_{m0} не создает падения напряжения на резисторе R . Поэтому через выделенную перемычку протекает ток 20...30 мА, который замыкается через T_0 . Перемычка расплавляется. Транзисторы $T_{m1} - T_{m3}$ создают падения напряжений на трех других резисторах, связанных с T_0 . Поэтому соответствующие эмиттерные переходы выбранной ячейки закрыты, и перемычки в их эмиттерах сохраняются. Все другие перемычки выбранной строки МП остаются целыми, так как они связаны с закрытыми ключами $T_1 - T_7$.

Особенности реальной схемы проявляются в том, что при записи 1 в некоторый разряд соответствующий выход надо оставлять свободным, а все другие следует заземлять. У некоторых микросхем, в частности – K556PT5 и PT17 (512x8), имеется специальный (не логический) вывод U_{PK} для подачи напряжения программирования. В режиме считывания этот вывод не задействован.

Техника программирования. Технические средства для выполнения этой операции достаточно просты и могут быть изготовлены самим пользователем. Простейший программатор представлен на рис. 4.20, г. Он функционирует следующим образом.

На этапе подготовки микросхему проверяют на наличие 0 во всех ЭП, подавая на адресные входы $\langle A7...A0 \rangle$ все адресные наборы и контролируя состояния выходов устройством контроля. При этом ключи $SA1...SA4$ разомкнуты, реле $P1$ обесточено, его контакты $K1.1...K1.3$ находятся в показанных на рисунке состояниях. По окончании контроля выходы микросхемы заземляют ключами $SA1...SA4$. Управляющие входы $\overline{CS1}$, $\overline{CS2}$ по-прежнему соединены с корпусом.

На этапе программирования кодом адреса выбирают ячейку памяти. Затем размыкают ключ того выхода, которому принадлежит программируемый ЭП (в него надо записать 1), и запускают генератор одиночных импульсов ГОИ. Реле $P1$, переключив свои контакты $K1.1 - K1.3$, коммутирует на выводы $\overline{CS2}$, U_{cc} (E_n) и внешнего E_n

напряжение 12,5 В. Прожигание перемычек проводится по одной последовательно во времени, чтобы не нарушить температурный режим микросхемы.

Серийно выпускаются программаторы АУПП, 815, УЗП-80 и др. Активно разрабатываются встроенные средства программирования, ориентированные на конкретные микроЭВМ. Перспективным является направление создания универсальных программаторов для всех микросхем ППЗУ и РПЗУ, способных к быстрой перенастройке при изменении типа микроЭВМ. Процесс программирования в целом достаточно трудоемок.

Во-первых, по окончании записи следует проверить состояния всех ячеек памяти и при необходимости повторить программирование. Такая необходимость вполне вероятна, так как предприятие-изготовитель гарантирует надежное программирование только части выпускаемых микросхем. Эту часть оговаривают в технических условиях (ТУ) коэффициентом программирования, значения которого для разных типов микросхем меняются от 0,3 до 0,9. Так, для К556РТ4 он равен 0,65. Это означает, что из 100 микросхем, подвергнутых программированию, только у 65 гарантирована правильная запись информации.

Во-вторых, надо учитывать возможность восстановления проводящей перемычки со временем из-за явления «миграции ионов». Чтобы выявить слабые (в указанном смысле) места в запрограммированной микросхеме, ее подвергают электротермотренировке (искусственному «старению») в течение не менее 168 часов при температуре 125°C с последующим полным контролем. В случае нарушения записи повторяют цикл программирования и тренировку. При повторном нарушении микросхему бракуют.

Более надежным является программирование путем подачи серии импульсов (1000 импульсов и более) длительностью 25...50 мкс каждый со скважностью 10 и временем нарастания 0,3...3 мкс. Такой режим требует усложнения схемы программатора. Установлено, что если прожигание происходит под действием импульса с крутым фронтом, то оно носит характер микровзрыва с интенсивной окислительной реакцией на краях разрыва. В таком случае вероятность восстановления перемычки существенно уменьшается. Эффект восстановления после пережигания практически отсутствует для перемычек из поликристаллического кремния (серия К541). Тренировку запрограммированных микросхем с такими перемычками можно не проводить.

Репрограммируемые ПЗУ

Микросхемы РПЗУ способны к многократному (от 10 до 10 тыс.) перепрограммированию самим пользователем. Это достигается применением ЭП со свойствами «управляемых перемычек». Функции таких перемычек выполняют транзисторы со структурой МНОП (металл Al – нитрид кремния Si_3N_4 – окисел кремния SiO_2 – полупроводник Si) и МОП-транзисторы с плавающим затвором (ПЗ) – со структурой ЛИЗМОП. В последних использован механизм лавинной инжекции заряда.

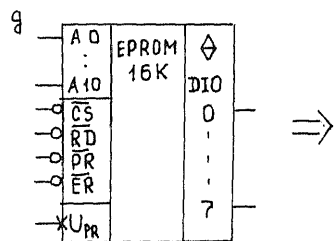
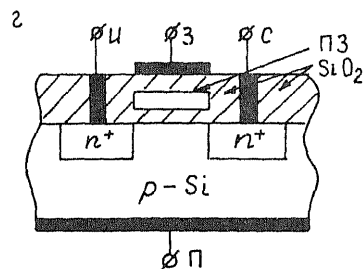
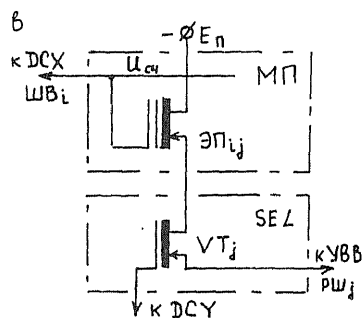
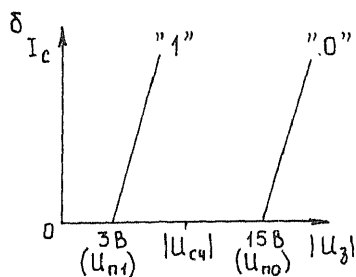
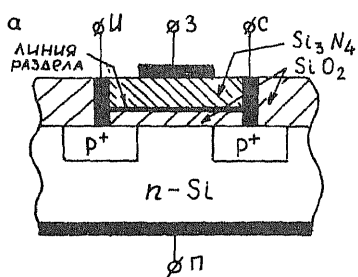
Элементы памяти. Структура МНОП (рис. 4.21,а) имеет двуслойный диэлектрик под затвором. Верхний слой формируется из нитрида кремния, нижний – из окисла кремния. Толщина нижнего слоя значительно меньше, чем верхнего.

Если на затвор относительно подложки подать положительный импульс амплитудой 30...40 В, то под действием электрического поля электроны приобретают достаточную энергию, чтобы пройти тонкий диэлектрический слой до границы раздела двух диэлектриков. Накопленный на этой границе заряд электронов снижает пороговое напряжение и смещает передаточную характеристику транзистора влево, что отвечает записи 1 (рис. 4.21,б). Для записи 0 на затвор подают отрицательный импульс той же амплитуды. При этом электроны вытесняются в подложку, передаточная характеристика смещается вправо (процесс «стирания»).

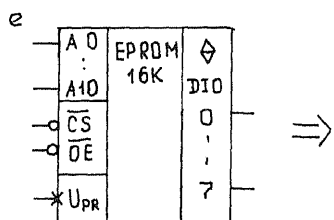
Программирование (локальная запись 1) и стирание (массовая запись 0) можно осуществить импульсами одной полярности: отрицательной – для р-МНОП, положительной – для n-МНОП. Так, в случае р-МНОП, если на исток и сток подать отрицательный импульс амплитудой 30...40 В, а затвор и подложку соединить с корпусом, то наблюдается следующее. В результате электрического пробоя переходов И – П и С – П происходит лавинное размножение электронов и инжекция некоторых из них (так называемых «горячих», т.е. обладающих достаточной энергией) на границу между слоями диэлектриков. Стирание осуществляется по-прежнему.

В режиме считывания (рис. 4.21,в) на шине выборки ШВ_i действует напряжение $U_{сч}$, такое что $|U_{n1}| < |U_{сч}| < |U_{n0}|$. Если в ЭП записана 1, то триод откроется, по разрядной шине РШ_j протекает ток. Иначе триод закрыт, и ток отсутствует.

Структура ЛИЗМОП (рис. 4.21,г) представляет собой n-МОП транзистор, у которого в подзатворном диэлектрике SiO_2 сформирована изолированная проводящая область из металла или поликристаллического кремния. Этот второй затвор называют «плавающим».



СИГНАЛЫ УПРАВЛЕНИЯ	СТИРАНИЕ ОБЩЕЕ	ЗАПИСЬ СЛОВА	СЧИТЫВАНИЕ	ХРАНЕНИЕ
\overline{CS}	0	0	0	1
\overline{RD}	1	1	$\tau_{\Gamma 0}$	x
\overline{PR}	1	$\tau_{\Gamma 0}$	1	x
\overline{ER}	$\tau_{\Gamma 0}$	1	1	x
$U_{PR, B}$	-36	-36	-12	-12
$\tau, \text{мс}$	200	20	1,6 мкс	—



СИГНАЛЫ УПРАВЛЕНИЯ	ЗАПИСЬ СЛОВА	КОНТРОЛЬ ЗАПИСИ	СЧИТЫВАНИЕ	ХРАНЕНИЕ
\overline{CS}	$\tau_{\Gamma 0}$	0	0	1
\overline{OE}	1	0	$\tau_{\Gamma 0}$	x
$U_{PR, B}$	25	25	5	5
$\tau, \text{мс}$	50	—	0,45 мкс	—

Рис. 4.21

В режиме программирования на И, З, С подают положительный импульс амплитудой 21...25 В. В обратно смещенных р - n переходах

возникает процесс лавинного размножения носителей заряда, и часть электронов инжектирует на ПЗ. Накопленный на ПЗ отрицательный заряд смещает передаточную характеристику вправо, что отвечает записи 0. Считывание – как и в МНОП.

Стирание записанной информации (массовая запись 1), т.е. вытеснение заряда с ПЗ, может быть выполнено в данном случае двумя способами:

1) электрическим (РПЗУ-ЭС) – подачей положительного импульса на затвор. Аналогичный способ применяют в структурах МНОП;

2) ультрафиолетовым (УФ) облучением (РПЗУ-УФ) – электроны рассасываются с ПЗ в подложку в результате усиления теплового движения под действием УФ-облучения.

В режиме хранения обеспечивают отсутствие напряжений на электродах ЭП, чтобы исключить рассасывание заряда в диэлектрической среде. Теоретическое время сохранения заряда – сотни лет. Практическое – от нескольких тысяч часов до нескольких лет.

Характеристика микросхем. Достоинством микросхем группы ЭС (МНОП и ЛИЗМОП) является значительное число циклов перепрограммирования (до 10 тыс.). Поэтому они широко используются в качестве встроенных ПЗУ с часто изменяемой информацией. Гарантийный срок сохранения информации при отключении питания составляет от 3 тыс. часов до 5 лет.

Микросхемы р-МНОП (КР558РР1; КР1601РР1,3) имеют сравнительно низкое быстродействие ($t_b = 1,6 \dots 5$ мкс), высокое напряжение программирования ($U_{PR} = -30 \dots -40$ В), требуют два источника питания (5 В и -12 В). Микросхемы n-МНОП (КР558РР2,3; К1611РР1) имеют $t_b = 0,3 \dots 0,4$ мкс, $U_{PR} = 22$ В и единственное $E_n = 5$ В. Их применение предпочтительно.

Рассмотрим пример микросхемы КР1601РР3 (рис. 4.21, д – ее УГО и условия реализации различных режимов) с параметрами: $N \times n = 2K \times 8$; $t_b = 1,6$ мкс; $P_{пот} = 850$ мВт; $E_{n1,2} = 5, -12$ В; $U_{PR} = -36$ В; суммарное время программирования и стирания – 40 с и 0,2 с соответственно. Эта микросхема имеет структуру, аналогичную структуре микросхемы К537РУ8 (см. рис. 4.17, б). Но она содержит дополнительные функциональные узлы для реализации режимов стирания и программирования под действием логических сигналов \overline{ER} и \overline{PR} .

По окончании стирания все ЭП находятся в состоянии 0. В режиме стирания сигналы на адресных и информационных входах безразличны. Допускается и построчное стирание. Оно отличается от массового значением $\overline{PR} = 0$, наличием на выводах DIO уровня 1, а на

выводах <A10...A4> – адреса стираемой строки. Время стирания прежнее. В режиме программирования на выходы DIO подается записываемый байт, на адресные входы – код адреса. В режиме считывания на вывод U_{PR} коммутируют $E_{n2} = -12 В$.

Группа микросхем РПЗУ-УФ представлена серией К573. Общим недостатком таких микросхем является малое число циклов перепрограммирования (от 10 до 100), что обусловлено быстрым «старением» диэлектрика под действием УФ-облучения, и высокая чувствительность к освещению. Но для них характерны сравнительно малое $t_a \leq 0,45$ мкс, дешевизна и доступность, большая информационная емкость (так, для микросхемы К573РФ9 параметр $N \times n = 128K \times 8$).

Наиболее сложной структурой и широкими функциональными возможностями обладает микросхема К573РФ3 (емкость – $4K \times 16$; допустимое число циклов перепрограммирования – 10). Она имеет встроенные интерфейсные средства обеспечения обменов со стандартной магистралью. Достаточно удобна для использования микросхема К573РФ5 (рис. 4.21,е). Ее параметры: $N \times n = 2K \times 8$; $t_a = 0,45$ мкс; $P_{пот} = 580$ мВт; $E_n = 5 В$; число циклов перепрограммирования – 16. В режиме записи на вход \overline{CS} подается положительный импульс логической единицы.

Чтобы реализовать стирание, микросхему УФ извлекают из контактного устройства, замыкают все ее выводы полоской фольги и помещают под источник УФ-облучения на расстоянии 2,5 см с обеспечением обдува микросхемы. Время стирания – 30...60 мин. Стирание можно проводить и без извлечения микросхемы. Тогда надо отключить E_n и подачу всех входных сигналов. Типовые источники УФ-облучения: дуговые ртутные лампы либо лампы с парами ртути в кварцевых баллонах (ДРТ-200, 375; ДБ-8, 60 и др.). Излучение проникает к кристаллу РПЗУ через прозрачное окно в крышке корпуса.

Нетрадиционные применения ПЗУ [52]

Традиционная трактовка ПЗУ как устройства постоянной памяти обусловлена однозначностью реализации им причинно-следственной зависимости: адрес \rightarrow адресуемое слово. Но ничто не мешает рассматривать адрес как значение некоторого вещественного аргумента (вектора аргументов), а считанное по этому адресу слово – как соответствующее значение функции. Столь же правомерна интерпретация адреса как набора двоичных переменных, а содержимого адресуемой ячейки – как совокупности значений некоторой СБФ на этом наборе. Отсюда вытекает принципиальная возможность нетрадиционных (не как устройства памяти) применений

ПЗУ для реализации табличных методов вычислений и логических преобразований.

Реализация табличных методов. Ранее уже говорилось о распространенности в МПЗУ стандартных прошивок значений элементарных функций: синусов, квадратов и др. Реализация таблиц специальных функций требует применения ППЗУ. Поэтому в дальнейшем речь идет только о PROM. Если M и N – разрядности аргумента и функции (их двоичных представлений), то необходимая информационная емкость ПЗУ (его объем) $V = N \cdot 2^M$ бит. При $M=N=10$ (что отвечает погрешности представления данных 0,1%, характерной для аналоговых устройств) имеем $V = 10K$ бит. ПЗУ такого объема легко может быть реализовано на одном кристалле. Для $M=N=16$ требуемый объем ПЗУ составит 1M бит. Здесь уже однокорпусное исполнение ПЗУ может вызвать серьезные трудности.

С увеличением числа аргументов Q значение $V = N \cdot 2^{QM}$ быстро растет. При этом “чисто” табличные методы практически неприменимы. Вместо них используются таблично-алгоритмические методы, когда запоминаются лишь узловые значения функции, а все промежуточные значения вычисляются по сравнительно несложным алгоритмам. К числу простейших относится метод кусочно-линейной аппроксимации. Суть его заключается в следующем.

Обозначим:

x_i – координата (адрес) i -узла;

$h = x_{i+1} - x_i$ – шаг аппроксимации;

$\Delta f(x_i)$ – приращение функции в интервале $[x_i, x_{i+1}]$.

Пусть значение x таково, что

$$x = x_i + \Delta x \in [x_i, x_{i+1}]. \quad (4.1)$$

Тогда интерполяционное значение функции

$$f(x) = f(x_i) + \Delta f(x_i) \frac{\Delta x}{h}. \quad (4.2)$$

По условию все величины представлены в двоичном виде. В частности, $x = a_{M-1} \dots a_r a_{r-1} \dots a_0$, где $a_j \in \{0, M-1\}$ – 0 либо 1, r – разрядность Δx . Согласно (4.1)

$$x_i = a_{M-1} \dots a_r 0 \dots 0; \quad \Delta x = a_{r-1} \dots a_0.$$

Для задания x , вполне достаточно M -г двоичных разрядов адреса, что позволяет значительно уменьшить необходимый объем памяти ПЗУ. Устройство вычислений $f(x)$ по формуле (4.2) представлено на рис. 4.22,а. Его быстродействие может быть довольно высоким, если сумматор (SM) и умножитель (X) имеют малые задержки.

В качестве примера реализации функции нескольких аргументов рассмотрим таблично-алгоритмический умножитель ($A \times B$) 8-разрядных операндов A и B . Разрядность произведения – 16. Необходимый объем ПЗУ при сугубо табличном подходе равен 1M бит. Используем представления:

$$A = A_H + A_L = a_7 \dots a_4 0 \dots 0 + a_3 \dots a_0;$$

$$B = B_H + B_L = b_7 \dots b_4 0 \dots 0 + b_3 \dots b_0.$$

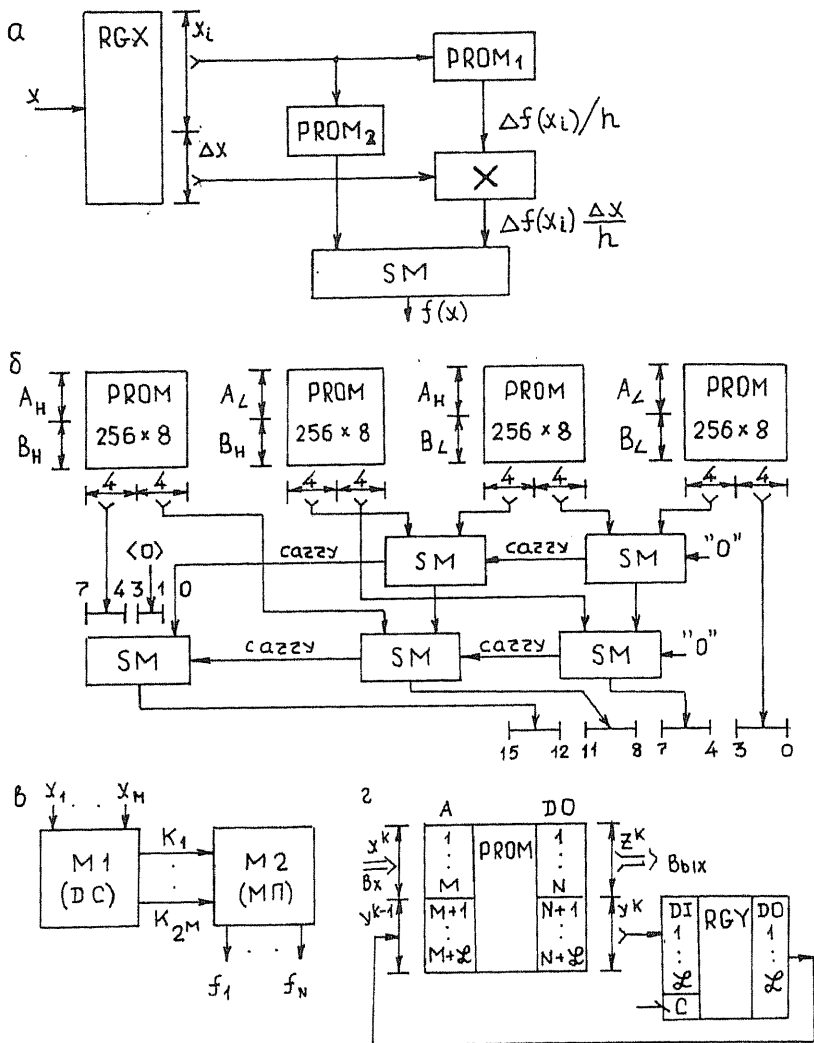


Рис. 4.22

Тогда

$$A \times B = A_H B_H + A_L B_H + A_H B_L + A_L B_L.$$

Компоненты A_H , B_H как части адресов ПЗУ однозначно определены векторами $\langle a_1, \dots, a_4 \rangle$, $\langle b_1, \dots, b_4 \rangle$. Объем памяти при умножении двух 4-разрядных операндов $V = 8 \cdot 2^{2 \cdot 4} = 2^{11} = 2K$ бит.

Суммарный объем памяти четырех таких перемножителей равен 8К бит, что в 128 раз меньше, чем требовалось ранее. Блок-схема умножителя в целом (рис. 4.22,б) построена с учетом “весов” произведений на выходах отдельных ПЗУ. Прошивка всех ПЗУ одинакова. Время умножения $t_y = t_1 + 4t_{\text{с.м.}}$, где t_1 – время выборки PROM.

ПЗУ как логический преобразователь. Каждому значению адресного кода $A_i = \langle x_m \dots x_1 \rangle$, на входе ПЗУ отвечает своя шина выборки ШВ_i (своя выбранная ячейка памяти). Всего имеем 2^M значений, т.е. $i \in \overline{1, 2^M}$. Это отвечает полному дешифратору, который формирует всевозможные полные конъюнкции $K_i = \bigwedge_{j=1}^M x_j^{\sigma_j}$, $\sigma_j \in \{0,1\}$, от M двоичных переменных $x_1 \dots x_m$. На каждой разрядной линии матрицы памяти реализуется дизъюнкция тех конъюнкций, которые связаны перемычками с данной линией, т.е. некоторая булева функция f_i , $i \in \overline{1, N}$.

Но тогда DC можно рассматривать как матрицу конъюнкций $M1$, МП – как матрицу дизъюнкций $M2$, а ПЗУ в целом – как устройство 2-уровневой реализации заданной СБФ. Особенность матрицы $M2$ в данном случае состоит в том, что в каждый момент времени может быть активным только один вход любого ее дизъюнктора. Это обусловлено прошивкой в ПЗУ полной (неминимизированной) таблицы истинности СБФ, включая и те строки таблицы, на которых значения всех функций равны нулю.

Соответствующая интерпретация структуры ПЗУ как логического преобразователя представлена на рис. 4.22,в. Обычно СБФ от значительного числа переменных (10 и более) задаются на ограниченном числе входных наборов (не полностью определенные СБФ). Поэтому большая часть ячеек памяти не будет использоваться. Но и тогда реализация СБФ на основе ПЗУ может оказаться менее энергоемкой (не говоря уже о компактности), чем в случае применения микросхем с малой степенью интеграции, даже при коэффициенте использования не более 0,1.

Поскольку логические преобразователи (комбинационные схемы) входят в состав последовательностных схем, то ПЗУ могут быть использованы и при “прямой” реализации автоматов (рис. 4.22,г; регистры RGX,Z и цепи начальной установки RGY не показаны). В данном случае адрес ячейки ПЗУ имеет две компоненты: $A = \langle x^k, y^{k+1} \rangle$. Содержимое ячейки памяти также делится на две части: $DO = \langle z^k, y^k \rangle$. Поэтому требуемый объем памяти ПЗУ равен $2^{M+L} \times (N+L)$. Практическую безызбыточность реализации логических преобразователей обеспечивает переход от ПЗУ к ПЛМ.

Программируемые логические матрицы

Технические идеи, которые легли в основу построения программируемых логических матриц (ПЛМ, PLM), таковы:

1) трансформация матрицы $M1$ (рис. 4.22,в) в частичный дешифратор, реализующий заданное подмножество (мощностью $q \ll 2^m$) импликант от M переменных;

2) разрешение одновременной активизации в матрице $M2$ любого числа входов элементов ИЛИ (в пределах q).

На языке логики это означает исходное представление СБФ не в виде таблицы истинности, а в сокращенной ДНФ. Получение последней связано с использованием развитого аппарата совместной минимизации СБФ [70,71]. Переход от ПЗУ к ПЛМ дает значительное снижение необходимой степени интеграции и энергопотребления для данных M и N .

Проводя аналогию ПЛМ с модулем памяти, следует считать, что каждому адресу (входному набору) ПЛМ могут отвечать несколько возбужденных линий связи между матрицами $M1$ и $M2$ (в сокращенной ДНФ несколько импликант одновременно могут принимать единичные значения). Иными словами, адресуемая ячейка памяти ПЛМ представляет собой множество подъячеек, содержимое которых читается поразрядно дизъюнктивно. Множества подъячеек для разных адресов могут пересекаться, ибо одна и та же неполная конъюнкция может принимать единичное значение на разных входных наборах.

Характеристика микросхем ПЛМ. За их структурную характеристику принята тройка $\{M, q, N\}$. Программирование может быть масочным (пример микросхемы DM7575/76 фирмы National – $\{20, 94, 24\}$) либо электрическим (микросхема 82S100/101 фирмы Signetics – $\{16, 48, 8\}$; отечественный аналог – K556PT1/PT2). Принципиально возможно создание и репрограммируемых ПЛМ [126]. В случае ПЛМ программированию подлежат обе матрицы – $M1$ и $M2$. На рис. 4.23,а дана упрощенная иллюстрация ТТЛ-технологии ПЛМ с электрическим программированием на конкретном примере.

В этом примере реализуется СБФ:

$$\{f_1 = x_1 \bar{x}_2 \vee \bar{x}_1 x_2; \quad f_2 = x_1 \bar{x}_2; \quad f_3 = \bar{x}_1 x_2; \quad f_4 = 0\}.$$

Заданной СБФ отвечают две базовые конъюнкции: $K_1 = x_1 \bar{x}_2$; $K_2 = \bar{x}_1 x_2$. Через I_p^x на рисунке обозначен путь протекания расплавляющего тока в $M1$, через I_p^f – в $M2$. Для программирования $M1$ необходимо подать питание на один из конъюнкторов и последовательно соединить с корпусом те входы $\bar{x}_i \in \{x_1, \bar{x}_1\}$, для которых надо расплавить перемычки (выходы – свободные). Программирование $M2$ связано с выбором конъюнктора и соединением с корпусом нужного выхода (входы – свободные).

Микросхема K556PT2 (рис. 4.23,б – ее УГО) имеет выходы на три состояния (ТТЛ-3), PT1 – с ОК. Для обеих микросхем: $t_s = 70 \dots 80$ нс; $P_{\text{пот}} = 850 \dots 950$ мВт; вход PR (логический) – разрешение программирования; структура отвечает рис. 4.23,в [106]. Регистры RG2 и RG1 – адресные формирователи. Они фиксируют адрес конъюнктора, задаваемый при программировании матриц $M1$ и $M2$ по

входным и выходным линиям соответственно. DCRP – дешифратор для задания напряжения питания на выбранный конъюнктор. Число точек коммутации, которое характеризует трудоемкость программирования, равно в данном случае 1920 (1536 – для M1 и 384 – для M2).

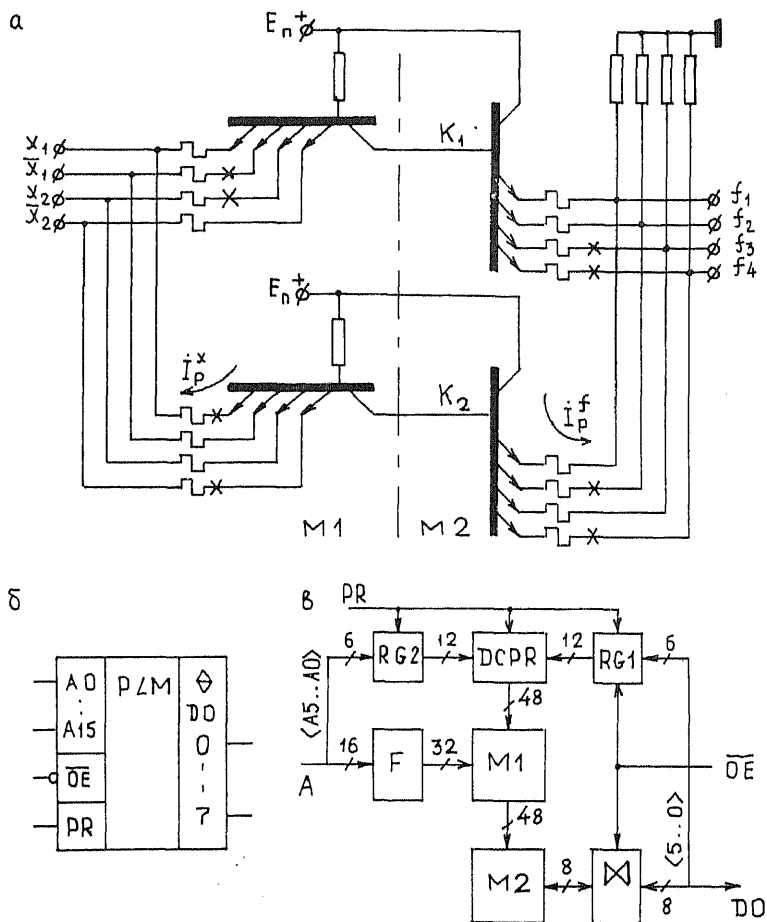


Рис. 4.23

Вопросы использования. С появлением первых ПЛМ [127] вопросы их широкого применения для реализации модульных структур сразу же привлекли внимание исследователей. С этими вопросами связывалось решение следующих задач:

а

	Входы	Выходы
	$x_1 x_2 x_3 x_4$	$f_1 f_2 f_3 f_4 f_5 f_6 f_7 f_8$
0	0 0 0 0	0 0 0 0 0 0 0 0
1	0 0 0 1	0 0 0 0 0 0 0 1
2	0 0 1 0	0 0 0 0 0 0 1 0
3	0 0 1 1	0 0 0 0 0 1 0 0
4	0 1 0 0	0 0 0 0 1 0 0 0
5	0 1 0 1	0 0 0 0 1 1 0 0
6	0 1 1 0	0 0 0 1 0 0 1 0
7	0 1 1 1	0 0 0 1 1 0 0 0
8	1 0 0 0	0 1 0 0 0 0 0 0
9	1 0 0 1	0 1 0 1 0 0 0 0
10	1 0 1 0	0 1 1 0 0 1 0 0
11	1 0 1 1	0 1 1 1 1 0 0 0
12	1 1 0 0	1 0 0 1 0 0 0 0
13	1 1 0 1	1 0 1 0 1 0 0 0
14	1 1 1 0	1 1 0 0 0 1 0 0
15	1 1 1 1	1 1 1 0 0 0 0 1

б

	Входы	Выходы
	$x_1 x_2 x_3 x_4$	$f_1 f_2 f_3 f_4 f_5 f_6 f_7 f_8$
0	- - - 1	0 0 0 0 0 0 0 1
1	- - 1 0	0 0 0 0 0 0 1 0
2	- 0 1 1	0 0 0 0 1 0 0 0
3	- 1 0 1	0 0 0 0 1 0 0 0
4	0 1 - 1	0 0 0 1 0 0 0 0
5	- 1 0 0	0 0 0 1 0 0 0 0
6	1 0 - 1	0 0 0 1 0 0 0 0
7	0 1 1 -	0 0 1 0 0 0 0 0
8	1 0 1 -	0 0 1 0 0 0 0 0
9	1 1 - 1	0 0 1 0 0 0 0 0
10	1 0 - -	0 1 0 0 0 0 0 0
11	1 - 1 -	0 1 0 0 0 0 0 0
12	1 1 - -	1 0 0 0 0 0 0 0

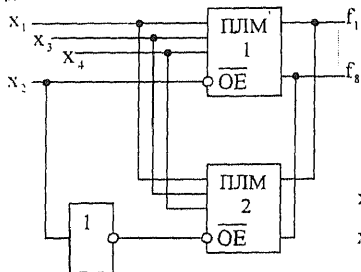
в

	$x_1 x_2 x_3 x_4$	$f_1 f_2 f_3 f_4 f_5 f_6 f_7 f_8$
0a	- 0 - 1	0 0 0 0 0 0 0 1
1a	- 0 1 0	0 0 0 0 0 0 1 0
2	- 0 1 1	0 0 0 0 0 1 0 0
6	1 0 - 1	0 0 0 1 0 0 0 0
8	1 0 1 -	0 0 1 0 0 0 0 0
10	1 0 - -	0 1 0 0 0 0 0 0
11a	1 0 1 -	0 1 0 0 0 0 0 0

г

	$x_1 x_2 x_3 x_4$	$f_1 f_2 f_3 f_4 f_5 f_6 f_7 f_8$
0b	- 1 - 1	0 0 0 0 0 0 0 1
1b	- 1 1 0	0 0 0 0 0 0 1 0
3	- 1 0 1	0 0 0 0 1 0 0 0
4	0 1 - 1	0 0 0 1 0 0 0 0
5	- 1 0 0	0 0 0 1 0 0 0 0
7	0 1 1 -	0 0 1 0 0 0 0 0
9	1 1 - 1	0 0 1 0 0 0 0 0
11b	1 1 1 -	0 1 0 0 0 0 0 0
12	1 1 - -	1 0 0 0 0 0 0 0

д



е

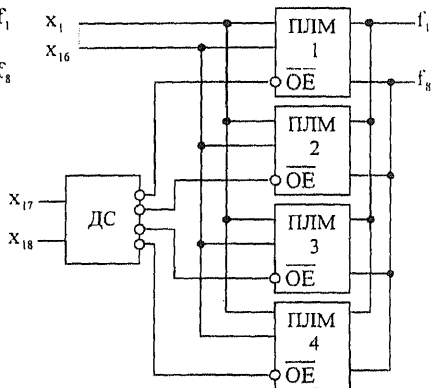


Рис. 4.24

- 1) прямое преобразование таблицы переходов автомата или заданной СБФ в матрицы ПЛМ [128,129];
- 2) минимизация СБФ применительно к ПЛМ [129-131];
- 3) кодирование состояний асинхронных автоматов, реализуемых в ПЛМ [132];
- 4) декомпозиция СБФ на множестве микросхем ПЛМ с ограниченными характеристиками [52,133,134] и ряд других.

В частности, проведенные исследования показали сравнительную эффективность использования ПЛМ при реализации памяти микрокоманд (ПМК) [64,135]. Это учитывается при построении ПМК современных микропроцессоров. И все же практический интерес к исследованиям в области ПЛМ в настоящее время значительно снизился. Причиной явилось развитие новых технологий матричных БИС (МАБИС) и программируемых логических интегральных схем (ПЛИС), изучение которых относится к курсу автоматизации проектирования. Поэтому далее ограничимся кратким знакомством с вопросами структурного синтеза логических преобразователей на микросхемах ПЛМ [133].

Если необходимое число конъюнкций превышает q , то исходная таблица разбивается на несколько подтаблиц, каждая из которых содержит не более q строк. Пусть, например, задана таблица на рис. 4.24,а. Ее минимизация дает программную таблицу ПЛМ (рис. 4.24,б; прочерк означает безразличное состояние входа). Выполняя сегментирование последней по значениям переменной x_2 , число безразличных состояний которой в таблице минимально, получаем две подтаблицы (рис. 4.24,в,г). Каждая из них реализуется на своей ПЛМ (рис. 4.24,д).

Тройчное представление переменных в программной таблице ($x_i \in \{0,1,-\}$) дает полную информацию для программирования матрицы М1: значение 0 – отсутствие подачи x_i на вход соответствующего конъюнктора (разрушение переключки для x_i); 1 – не подается x_i ; прочерк – не подается ни то, ни другое (разрушение обеих переключек). Подтаблица выходов информативна для программирования матрицы М2: значение 0 – отсутствие связи с соответствующим конъюнктором (разрушение переключки); 1 – сохранение переключки.

Если число реализуемых функций превышает N , то используют несколько по-разному запрограммированных ПЛМ с объединением соответствующих входов и отдельными выходами. Более сложной является задача декомпозиции по входным переменным, когда их число M_x превышает M . Стандартный подход дает одномерную реализацию с предварительным дешифратором (рис. 4.24,е; случай $M_x = 18$, $M=16$). При этом используется рассмотренный ранее метод сегментации. Найдены и более экономичные (по числу корпусов ПЛМ) решения [52,134].

ЛИТЕРАТУРА

1. Райхлин В.А. Цепи преобразования импульсов и логические структуры. – Казань: КАИ им.А.Н.Туполева, 1973.
2. Райхлин В.А. Генераторы импульсов на полупроводниковых приборах. – Казань: КАИ им.А.Н.Туполева, 1977.
3. Деч Г. Руководство к практическому применению преобразования Лапласа. – М.: Физматгиз, 1960.
4. Айзинов М.М. Анализ и синтез линейных радиотехнических цепей в переходном режиме. – М.-Л.: Энергия, 1964.
5. Гаврилов Г.К. Приближенные методы анализа переходных процессов. – М.: Сов.радио, 1966.
6. Ицхоки Я.С. Приближенные методы анализа переходных процессов в сложных линейных цепях. – М.: Сов. радио, 1969.
7. Файзулаев Б.Н. Переходные процессы в транзисторных каскадах – М.: Связь, 1968.
8. Зевеке Г.В. и др. Основы теории цепей. – М.: Энергоатомиздат, 1989.
9. Атабеков Г.И. Теория линейных электрических цепей. – М.: Сов.радио, 1960.
10. Сешу С., Балабанян Н. Анализ линейных цепей – М.-Л.: Госэнергоиздат, 1963.
11. Розенфельд А.С., Яхинсон Б.И. Переходные процессы и обобщенные функции. – М.: Наука, 1966.
12. Диткин В.А., Прудников А.П. Справочник по операционному исчислению. – М.: Высшая школа, 1965.
13. Белецкий А.Ф. Основы теории линейных электрических цепей. – М.: Связь, 1967.
14. Меерович Л.А., Зеличенко Л.Г. Импульсная техника. – М.: Сов. радио, 1954.
15. Милман Я. и Тауб Г. Импульсные и цифровые устройства. – М.-Л.: Госэнергоиздат, 1960.
16. Литвиненко О.Н., Сошников В.И., Теория неоднородных линий и их применение в радиотехнике. – М.: Сов. радио, 1964.
17. Анго А. Математика для электро- и радиоинженеров. – М.: Наука, 1965.
18. Гинзбург С.Г. Методы решения задач по переходным процессам в электрических цепях. – М.: Высшая школа, 1967.
19. Ицхоки Я.С. Импульсные устройства. – М.: Сов.радио, 1959.
20. Райхлин В.А. Простейшие скорректированные линии задержки с высоким качеством переходной характеристики // Радиотехника, т.25, 1970, № 12.
21. Невв М.Н. On the design of networks for constant time delay // Journ. Appl. Phys., Vol. 20, 1949, №6.
22. Райхлин В.А. Анализ переходных процессов в линиях задержки на основе простейшего Т-мостового звена // ИВУЗ Радиозлектроника, т.13, 1970, №11.
23. Елизаров Б.В., Макаров Г.И. Переходные процессы в линиях задержки с большим числом звеньев типа m // Радиотехника, т.16, 1961, №10.
24. Райхлин В.А. Об одном классе прецизионных искусственных линий задержки // Радиотехника и электроника, т.15, 1970, №8.

25. Райхлин В.А. Синтез искусственных линий в пространствах отображающих числовых последовательностей // Радиотехника и электроника, т.17, 1972, №5.
26. Райхлин В.А. Однородные искусственные линии задержки как формирующие линии // Радиотехника, т.29, 1974, №5.
27. Баев Е.Ф., Бурылин Е.И. Миниатюрные электрические линии задержки. – М.: Сов. радио, 1977.
28. Шац С.Я. Транзисторы в импульсной технике. – Л.: Судпромгиз, 1963.
29. Степаненко И.П. Основы теории транзисторов и транзисторных схем. – М.: Энергия, 1977.
30. Агаханян Т.М. Электронные ключи и нелинейные импульсные усилители. – М.: Сов.радио, 1966.
31. Филиппов А.Г. Транзисторные динамические элементы ЦВМ. – М.: Сов. радио, 1969.
32. Носов Ю.Р. Полупроводниковые импульсные диоды. – М.: Сов.радио, 1965.
33. Гальперин Е.И., Сулицкий Ю.Н. Полупроводниковые логические переключающие схемы. – М.: Сов. радио, 1960.
34. Прессман А.И. Расчет и проектирование схем на полупроводниковых приборах для ЦВМ. – М.: ИЛ, 1963.
35. Фролкин В.Т. Импульсные устройства. – М.: Машиностроение, 1966.
36. Гольденберг Л.М. Импульсные и цифровые устройства. – М.: Радио и связь, 1981.
37. Азьян Ю.М. и др. Полупроводниковые триоды в регенеративных схемах. – М.-Л.: Госэнергоиздат, 1959.
38. Райхлин В.А. Интегральные логические схемы. – Казань: КАИ им. А.Н.Туполева, 1979.
39. Применение интегральных микросхем в электронной вычислительной технике: Справочник / Под ред. Б.Н. Файзулаева и Б.В.Тарабрина. – М.: Радио и связь, 1988.
40. Шило В.А. Популярныe цифровые микросхемы: Справочник. – М.: Радио и связь, 1987.
41. Анализ и расчет интегральных схем. В 2-х ч. Часть 1: Основы расчета интегральных схем и линейные схемы / Под ред. Д. Линна и др. – М.: Мир, 1969.
42. Наумов Ю.Е. Интегральные логические схемы. – М.: Сов.радио, 1970.
43. Штерн Л. Основы проектирования интегральных схем. – М.: Энергия, 1973.
44. Ницхи Я.С. Режимы работы транзисторов интегральных схем транзисторно-транзисторной логики. – М.: ВВИА им. проф. Н.Е. Жуковского, 1973.
45. Лебедев В.И. Логические микроэлектронные схемы. – М.: МИФИ, 1968.
46. Анализ и расчет интегральных схем. В 2-х ч. Часть 2: Логические интегральные схемы / Под ред. Д.Линна и др. – М.: Мир, 1969.
47. Шагури Н.И. Транзисторно-транзисторные логические схемы. – М.: Сов. радио, 1974.
48. Шац С.Я. Коэффициент разветвления и степень использования усилительных свойств транзистора в логических цепях // Радиотехника, т.29, 1974, №7.

49. Лебедев В.И. Транзисторные электронные схемы. В 2-х ч. Часть 2: Импульсные схемы. – М.: МИФИ, 1971.
50. Назаров С.И. Логические возможности многоярусных переключателей тока / Микроэлектроника, вып. 7. – М.: Сов.радио, 1974.
51. Пакулов Н.И. и др. Мажоритарный принцип построения надежных узлов и устройств ЦВМ. – М.: Сов. радио, 1974.
52. Узрюмов Е.П. Проектирование элементов и узлов ЦВМ. – М.: Высшая школа, 1987.
53. Алексенко А.Г. Основы микросхемотехники. – М.: Сов. радио, 1971.
54. Букреев И.Н. и др. Микроэлектронные схемы цифровых устройств. – М.: Сов.радио, 1973.
55. Шубарев В.А. и др. Логическое проектирование элементов цифровых БИС / Микроэлектроника, вып.7. – М.: Сов. радио, 1974.
56. Расчет и проектирование элементов ЭВМ / Под ред. Г.Н.Соловьева. – М.: Атомиздат, 1975.
57. Филиппов А.Г., Белкин О.С. Проектирование логических узлов ЭВМ. – М.: Сов.радио, 1974.
58. Проектирование радиоэлектронных устройств на интегральных микросхемах / Под ред. С.Я. Шаца – М.: Сов. радио, 1976.
59. Brown J.P. // Electronic Engineering, 1972; № 4,11.
60. Горн Л.С. и др. Мультивибраторы на интегральных элементах ТТЛ // Радиотехника, т.28, 1973, №5.
61. Дефалько И. ИС-триггер Шмита как универсальный схемный компонент // Электроника, т.45, 1972, № 16.
62. Долкарт В.М. и др. Формирователь импульсов с плавно регулируемой длительностью на интегральных узлах ТТЛ // Радиотехника, т.28, 1973, №8.
63. Фейман М. Дешевый мультивибратор с широким диапазоном изменения частоты импульсов // Электроника, т. 44, 1971, № 16.
64. Райхлин В.А. Асинхронные цифровые схемы и модульные структуры. – Казань: КАИ им. А.Н.Туполева, 1980.
65. Кроуфорд Р. Схемные применения МОП-транзисторов – М.: Мир, 1970.
66. Валиев К.А. и др. Цифровые интегральные схемы на МДП-транзисторах. – М.: Сов. радио, 1971.
67. Аваев Н.А. и др. Большие интегральные схемы с инжекционным питанием. – М.: Сов. радио, 1977.
68. Райхлин В.А. Синтез цифровых автоматов в переходном режиме. – Казань: КГТУ им. А.Н. Туполева, 1998.
69. Колдуэлл С. Логический синтез релейных устройств. – М.: ИЛ, 1962.
70. Проектирование цифровых вычислительных машин / Под. ред. С.А. Майорова. – М.: Высшая школа, 1972.
71. Закревский А.Д. Алгоритмы синтеза дискретных автоматов. – М.: Наука, 1971.
72. Ледли Р., Уилсон Дж. Разработка логики на основе интегральных схем / Микроэлектроника и большие системы. – М.: Мир, 1967.
73. Валиев К.А. и др. Большие интегральные схемы / Микроэлектроника, вып.3. – М.: Сов. радио, 1969.

74. *Чурин Ю.А.* Переходные процессы в линиях связи быстродействующих схем ЭВМ. – М.: Сов. радио, 1975.
75. *Scarlett J.A.* Transistor-Transistor Logic and its Interconnections. – London: van Nostrand, 1972.
76. *Vabre J.P.* Electronique des impulsions, T.6. Lignes couplées en regime transitoire. Fasc.1. – Paris : Masson, 1972.
77. *Луцкий В.А.* Импульсная помехоустойчивость логических микросхем / Микроэлектроника, вып.3. – М.: Сов. радио, 1969.
78. *Долкарт В.М. и др.* Оценки влияния отражений на искажения информационных сигналов в системах, использующих интегральные схемы транзисторно-транзисторной логики (ТТЛ) / Микроэлектроника, вып.5. – М.: Сов. радио, 1972.
79. *Наумов Ю.Е. и др.* Анализ внутренних помех в устройствах, содержащих интегральные логические схемы / Микроэлектроника, вып.4. – М.: Сов. радио, 1971.
80. Аperiodические автоматы /Под. ред. *В.И. Варшавского*. – М.: Наука, 1976.
81. *Ангер С.* Асинхронные последовательностные схемы. – М.: Наука, 1977.
82. *Фридман А., Менон П.* Теория и проектирование переключательных схем. – М.: Мир, 1978.
83. *Майоров С.А. и др.* Асинхронное событийное моделирование логических схем цифровых устройств //Управляющие системы и машины, 1973, №2.
84. *Левин В.И.* Введение в динамическую теорию конечных автоматов. – Рига: Зинатне, 1975.
85. *Левин В.И.* Таблицы для расчета и анализа переходных процессов в дискретных устройствах. – Рига: Зинатне, 1975.
86. *Баранов С.И.* Синтез микропрограммных автоматов. – Л.: Энергия, 1974.
87. *Глушков В.М.* Синтез цифровых автоматов. – М.: Физматгиз, 1962.
88. *Айзерман М.А., Гусев Л.А., Таль А.А. и др.* Логика. Автоматы. Алгоритмы. – М.: Физматгиз, 1963.
89. *Райхлин В.А.* Псевдоасинхронные последовательностные схемы // Управляющие системы и машины, 1993, №5.
90. *Райхлин В.А.* К синтезу автомата по неформальному заданию // Кибернетика и системный анализ, 1994, №4.
91. *Кузнецов О.П.* Релейные устройства и конечные автоматы / Структурная теория релейных устройств. – М.: АН СССР, 1963.
92. *Мелихов А.Н.* Ориентированные графы и конечные автоматы. – М.: Наука, 1971.
93. *Сивак М.А.* Алгоритм абстрактного синтеза автоматов для расширенного языка регулярных выражений //Известия АН СССР. Техническая кибернетика, 1965, №1.
94. *Кобринский Н.Е., Трахтенброт Б.А.* Введение в теорию конечных автоматов. – М.: Физматгиз, 1962.
95. *Church A.* Application of recursive arithmetic in the theory of computers and automata. – Univ. Michigan, 1958.
96. *Моисил Гр.К.* Алгебраическая теория дискретных автоматических устройств. – М.: ИЛ, 1963.

97. *Huffman D.A.* The synthesis of sequential switching circuits // *J. Franklin Inst.*, V.257, 1954, №3-4.
98. *Таль А.А.* Анкетный язык и абстрактный синтез минимальных последовательностных машин // *Автоматика и телемеханика*, 1964, №6.
99. *Клини С.* Представление событий в нервных сетях и конечных автоматах / *Автоматы*. – М.: ИЛ, 1956.
100. *Райхлин В.А.* К вопросу устранения риска сбоя в синхронных последовательностных схемах // *Микроэлектроника*, 1996, №5.
101. Быстродействующие матричные БИС и СБИС. Теория и проектирование / Под. ред. *Б.Н. Файзулаева и Н.И. Шагурина*. – М.: Радио и связь, 1989.
102. *Корнейчук В.И.* и др. Синтез модульных структур дешифраторов // *Автоматика и вычислительная техника*, 1973, №6.
103. *Тимофеев Б.Б., Куликов М.Я.* О разбиении логических сетей на типовые структуры // *Управляющие системы и машины*, 1973, №5.
104. *Агибалов Г.П.* и др. Некоторые алгоритмы разбиения, покрытия и размещения логических схем // *Управляющие системы и машины*, 1974, №5.
105. *Тростянецкий Д.С.* О структурном разбиении накопителя матричного постоянного запоминающего устройства // *Автоматика и вычислительная техника*, 1975, №4.
106. *Лебедев О.Н.* Микросхемы памяти и их применение. – М.: Радио и связь, 1990.
107. *Райхлин В.А., Борисов А.Н.* Основы организации микропроцессорных систем. – Казань: КГТУ им. А.Н. Туполева, 1998.
108. *Якубайтис Э.А.* Логические автоматы и микромодули. – Рига: Зинатне, 1975.
109. *Бочков П.Е.* и др. Проектирование многофункционального модуля с использованием инвариантов булевых функций // *Автоматика и вычислительная техника*, 1973, №3.
110. *Чачанидзе В.Г., Асатиани Г.Г.* Принципы построения многофункциональных ячеек однородной вычислительной структуры с высокими функциональными и коммутационными возможностями // *Автоматика и вычислительная техника*, 1975, №3.
111. *Попов Г.Е.* О реализации логических функций, ориентированной на БИС / *Элементы и устройства вычислительных машин*. – Киев, 1972.
112. *Варшавский В.И.* и др. Однородные структуры. – М.: Энергия, 1973.
113. *Kautz W.H.* Cellular logic-in-memory arrays // *IEEE Trans. on Comput.*, Vol. C-18, 1969, №8.
114. *Каутц У.Х.* Однородные логико-запоминающие среды и большие интегральные схемы / *Синтез автоматов и управление на сетях связи*. – М.: Наука, 1973.
115. Однородные микроэлектронные ассоциативные процессоры / Под. ред. *И.В. Прангишвили*. – М.: Сов. радио, 1973.
116. *Фет Я.И.* Массовая обработка информации в специализированных однородных процессорах. – Новосибирск: Наука, 1976.
117. *Райхлин В.А.* Операционные логико-запоминающие среды. Вопросы применения и синтеза // *Автоматика и телемеханика*, 1983, №11.

118. Райхлин В.А. Об использовании аппарата двумерного ассоциативного поиска в процессе распознавания //Проблемно-ориентированные средства повышения эффективности вычислительных систем. – Казань, КАИ им. А.Н. Туполева, 1991.
119. Райхлин В.А., Медведев А.С., Мотягин В.Г. Вопросы разработки матричных компиляторов //Вычислительные системы, вып. 89. – Новосибирск: СОАН СССР, 1981.
120. Райхлин В.А., Медведев А.С., Мотягин В.Г. и др. К исследованию эффективности комплектования универсальных ЭВМ средней производительности матричными процессорами ассоциативного типа //Управляющие системы и машины, 1985, №3.
121. Райхлин В.А. Анализ производительности процессорных матриц при распознавании двоичных образов //Автометрия, 1996, №5.
122. Райхлин В.А. Моделирование машин баз данных распределенной архитектуры //Программирование, 1996, №2.
123. Чжен Г., Мэннинг Е., Метц Г. Диагностика отказов цифровых вычислительных систем. – М.: Мир, 1972.
124. Кравцов Л.Я., Черницкий Г.И. Проектирование микропрограммных устройств управления. – Л.: Энергия, 1976.
125. Калабеков Б.А. Микропроцессоры и их применение в системах передачи и обработки сигналов. – М.: Радио и связь, 1987.
126. Бех А.Д. Программируемая логическая матрица с многократной перезаписью //Управляющие системы и машины, 1978, №2.
127. Рейлинг Г. Программируемые логические матрицы (PLA) – новый элемент систем обработки данных //Электроника, т.47, 1974, №16.
128. Якубайтис Э.А. Синтез структуры программируемой логической матрицы //Автоматика и вычислительная техника, 1976, №4.
129. Ачасова С.М., Бандман О.Л. Матричный метод синтеза комбинационных схем и логических преобразователей конечных автоматов //Техническая кибернетика, 1975, №6.
130. Закревский А.Д. Нахождение минимального дизъюнктивного базиса булевой матрицы //ДАН БССР, XXII, 1978, №1.
131. Шварцман М.И. Обобщенный подход к минимизации булевых функций //Автоматика и вычислительная техника, 1979, №6.
132. Лемберский И.Г., Фрицнович Г.Ф., Чапенко В.П. Кодирование внутренних состояний асинхронного конечного автомата с учетом его реализации на программируемой логической матрице //Автоматика и вычислительная техника, 1976, №4.
133. Cavlan N. Structure and application of field programmable logic arrays //Microelectronics and Reability, V.15, 1976, №4.
134. Новиков С.В. Синтез схем на программируемых логических матрицах //Автоматика и вычислительная техника, 1977, №5.
135. Райхлин В.А., Шварцман М.И. Об одном подходе к структурному синтезу памяти микрокоманд на основе программируемых логических матриц //Управляющие системы и машины, 1983, №5.
136. Петровский И.И. и др. Логические ИС КР1533, КР1554: Справочник. В двух частях. – ТОО «БИНОМ», 1993.

РАЙХЛИН ВАДИМ АБРАМОВИЧ

ОСНОВЫ ЦИФРОВОЙ СХЕМОТЕХНИКИ

Учебное пособие для вузов

Работа печатается в авторской редакции

ЛР № 020678 от 09.12.97

Формат 60x84 1/16. Бумага офсетная. Печать офсетная.
Печ. л. 22,0. Усл. печ. л. 20,46. Усл. кр.-отт. 20,46. Уч.-изд. л. 20,7.
Тираж 500. Заказ Д4/А 23.

Издательство Казанского государственного технического университета

Типография Издательства Казанского государственного технического
университета

420111 Казань, К.Маркса, 10.