

В.А. РАЙХЛИН

## **СХЕМОТЕХНИКА ЭВМ**

*Методические указания  
по курсовому проектированию*

Казань 1995

## 1. ОБЩИЕ ПОЛОЖЕНИЯ

### 1.1. Цель проекта

Целью проекта является получение студентами инженерных навыков схемотехнической разработки цифровых устройств.

### 1.2. Задания на проект

Примеры типовых заданий и рекомендация по их выполнению приведены в разделе 2 настоящего руководства. По своей трудоемкости каждое из этих заданий рассчитано на совместную работу двух студентов. Для студентов–сотрудников рабочих групп предусматриваются индивидуальные задания по тематике кафедры.

### 1.3. Работа над типовым заданием

Работа над типовым заданием включает следующие разделы:

- Выбор схемотехнических решений для построения отдельных блоков устройства. Так, например, процесс реализации межрегистровой схемы может быть основан на строгом автоматном подходе, синхронном или асинхронном. Но возможен и эвристический подход с использованием стандартных операционных узлов: счетчиков, сдвиговых регистров, мультиплексоров и др. Надо сопоставить трудоемкость процесса проектирования в том или ином случае с достижимым эффектом и выбрать наиболее приемлемый путь.
- Определение способов управления отдельными регистрами, счетчиками, триггерами и буферными схемами в составе устройства при заданной системе синхронизации.
- Построение временных диаграмм работы отдельных блоков и устройства в целом.
- Разработка электрических принципиальных схем составляющих блоков в ТТЛ-базисе с учетом нагрузочной способности элементов. При этом, в случае выбора строгих автоматных решений, необходимо предварительно построить таблицы переходов и выполнить кодирование состояний, а на этапе реализации принять меры к устранению рисков сбоя.

- При заданных параметрах линий связи следует откорректировать схему с учетом требований согласования. В схеме необходимо предусмотреть установку развязывающих конденсаторов.

- Проверка работоспособности полученной схемы на заданной частоте и ориентировочная оценка качества выполненной разработки по критерию числа корпусов микросхем и энергопотребления.

- Подготовка к защите проекта.

#### 1.4. Защита проекта

К защите предъявляется чертеж рабочего варианта электрической принципиальной схемы разработанного устройства, выполненный согласно требованиям ЕСКД, и пояснительная записка стандартного оформления: титульный лист, содержание, работа над каждым разделом проекта, перечень использованных источников. Если проект является результатом совместной работы двух и более студентов, то в пояснительной записке должно быть указано, какая часть проекта выполнена каждым студентом.

Проект принимается комиссией в составе не менее двух преподавателей и научных работников, один из которых – руководитель проекта. Доклад на защите должен занимать не более 5 мин.

При оценке проекта учитывается:

- глубина и степень самостоятельности разработки;
- качество выполнения пояснительной записки и чертежа;
- правильность ответов на вопросы членов комиссии. Процедура защиты и требования к оформлению не зависят от того, по какому заданию выполнялся проект – типовому или индивидуальному.

#### 1.5. Учебные материалы и справочники

В процессе работы над проектом рекомендуется использовать следующие материалы:

- Конспект лекций по курсу "Схемотехника ЭВМ".

- Угрюмов К.П. Проектирование элементов и узлов ЭВМ. – М.: Высшая школа, 1987.
- Райхлин В.А. Интегральные логические схемы. – Казань: КАИ, 1979.
- Райхлин В.А. Асинхронные цифровые схемы и модульные структуры. – Казань: КАИ, 1980.
- Применение интегральных микросхем в электронной вычислительной технике. Справочник. Под ред. Файзулаева Б.Н. и Тарабрина Б.В. – М.: Радио и связь, 1987.
- Шило Б.Я. Популярныe цифровые микросхемы. Справочник. – М.: Радио и связь, 1987.
- Баев Е.Ф., Бурылин Е.И. Миниатюрные электрические линии задержки. – М.: Сов.радио, 1977.
- Электрические конденсаторы и конденсаторные установки. Справочник. Под ред. Кучинского Г.С. – М.: Энергоиздат, 1987.
- Резисторы. Справочник. Под ред. Четверткова И.И: Энергоиздат, 1981
- Лисицын Е.Л. Низковольтные индикаторы. Справочник. – М.: Радио и связь, 1965.

## 2. ПРИМЕРЫ ТИПОВЫХ ЗАДАНИЙ И РЕКОМЕНДАЦИИ ПО ИХ ВЫПОЛНЕНИЮ

Ниже рассматриваются 4 примера типовых заданий. Для каждого из них указаны 6-10 вариантов примерно одинаковой сложности. При необходимости число вариантов может быть увеличено.

По характеру работ над проектом задания несколько различаются. Одним из них свойственно достаточное число используемых блоков при сравнительной простоте этих блоков. Вопросы организаций их взаимодействия выступают здесь на первый план. В других заданиях число блоков устройства невелико. Зато каждый блок достаточно сложен, как в смысле процедуры синтеза, так и в смысле реализации схемы. Здесь уже акцентируются вопросы формального синтеза и устранения рисков сбоя, присутствуют элементы исследования.

Такие вариации направлений проектирования, при почти одинаковой, трудоемкости, позволяют дифференцировать задания с учетом индивидуальных особенностей отдельных студентов.

Каждое задание сопровождается краткими пояснениями по процедуре проектирования с указанием возможных альтернатив. Более подробные сведения можно почерпнуть из рекомендованных источников.

## 2.1. Типовое задание №1

### 2.1.1 Формулировка задания

Задана блок-схема устройства контроля за состоянием некоторого циклического процесса (рис. 2.1.1). Правильному протеканию процесса отвечает следующая смена контрольных сигналов от такта к такту:

$$X = X_1 X_2 X_3 = 000 - \dots - \dots - \dots - 000.$$

Нарушение этой последовательности говорит о сбое в работе системы, на которой контролируемый процесс реализован.

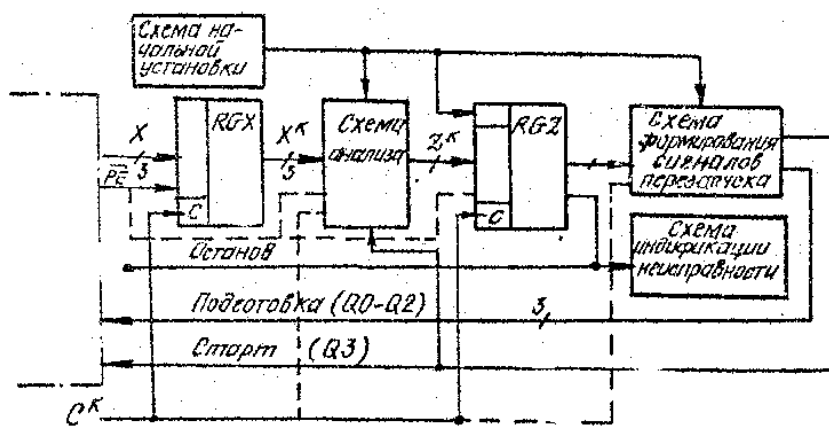


Рис. 2.1.1

При обнаружении сбоя схема анализа выдает набор  $Z^k$ , по которому формируются сигналы перезапуска:

Q0 – сигнал прерывания процесса;

Q1, Q2 – сигналы возврата к началу прерванного цикла;

Q3 – стартовый сигнал для возобновления прерванного цикла и перевода схемы анализа в режим индикации неисправности.

Если сбой на повторном цикле не проявится, схема анализа выходит на

основной рабочий режим. Если же попытка повторения прерванного цикла не увенчается успехом, индицируется неисправность, процесс останавливается.

Начальная установка устройства выполняется от механической кнопки с последующим формированием одиночного импульса нужной длительности и полярности. Тактовая частота 1 МГц. Длительность синхроимпульсов 0,5 мкс.

Требуется разработать электрическую принципиальную схему устройства контроля в целом в базисе ИС К155 из условия минимизации числа корпусов микросхем. При этом энергопотребление должно быть возможно малым. В процессе проектирования необходимо учесть, что по сигналу прерывания процесса (сигнал Q0) осуществляется блокировка регистров (сигналом  $\overline{PE}$ ), которая снимается стартовым сигналом Q3.

#### 2.1.2. Варианты задания

##### ***Вариант 1***

$$X_1X_2X_3 = 000 - 100 - 000 - 010 - 000 - 001 - 000.$$

Реализация схемы анализа – синхронная.

Схема перезапуска – асинхронная.

Временные диаграммы сигналов перезапуска отвечают рис.2.1.2, а.

##### ***Вариант 2***

$$X_1X_2X_3 = 000 - 110 - 000 - 011 - 000 - 101 - 000.$$

Реализация схемы анализа – асинхронная.

Схема перезапуска – синхронная.

Временные диаграммы сигналов перезапуска отвечают рис. 2.1.2, б.

##### ***Вариант 3***

$$X_1X_2X_3 = 000 - 100 - 110 - 000 - 001 - 011 - 000.$$

Реализация схемы анализа – синхронная.

Схема перезапуска – асинхронная.

Временные диаграммы сигналов перезапуска отвечают рис.2.1.2, в.

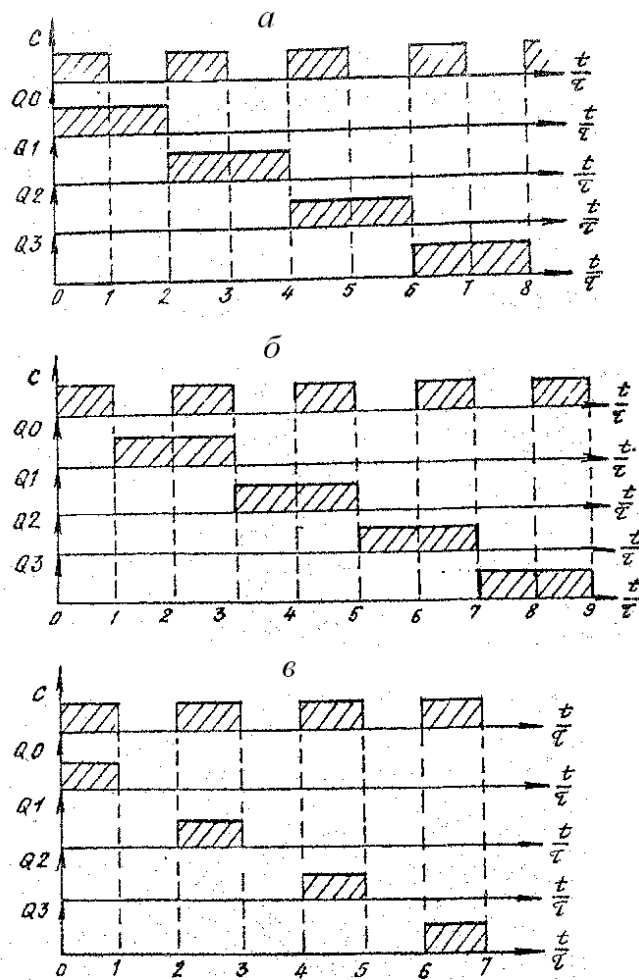


Рис. 2.1.2

#### Вариант 4

$$X_1X_2X_3 = 000 - 100 - 110 - 010 - 011 - 001 - 000.$$

Реализация схемы анализа – асинхронная.

Схема перезапуска – синхронная.

Временные диаграммы сигналов перезапуска отвечают рис. 2.1.3, а.

#### Вариант 5

$$X_1X_2X_3 = 000 - 100 - 011 - 010 - 101 - 001 - 000.$$

Реализация схемы анализа – синхронная.

Схема перезапуска – асинхронная.

Временные диаграммы сигналов перезапуска отвечают рис.2.1.3, б.

#### Вариант 6

$$X_1X_2X_3 = 000 - 100 - 110 - 101 - 011 - 001 - 000.$$

Реализация схемы анализа – асинхронная.

Схема перезапуска – синхронная.

Временные диаграммы сигналов перезапуска отвечают рис. 2.1.3, в.

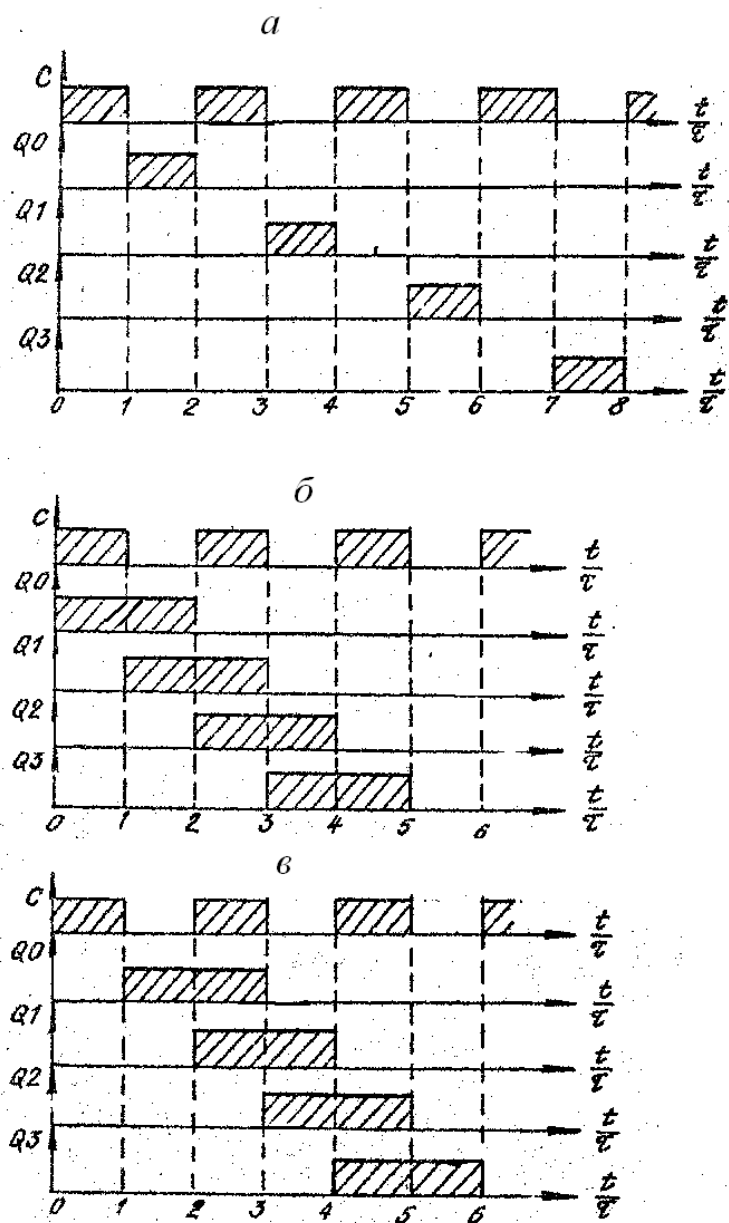


Рис. 2.1.3

### 2.1.3. Замечания по выполнению

Поясним процесс выполнения задания на таком примере: "правильная" последовательность

$$X_1X_2 = 00 - 10 - 11 - 01 - 00,$$

временные диаграммы сигналов перезапуска отвечают рис. 2.1.5, а.

В случае синхронной автоматной реализации схемы анализа имеем таб-



лицу переходов рис. 2.1.4, а. В этой таблице звездочкой отмечен основной цикл, а индексом П – повторный. Для индикации трех режимов работы схемы достаточно иметь 2 выхода:  $Z_1$  и  $Z_2$ . В основном цикле  $Z_1 Z_2 = 00$ , для повторного – 10, при индикации неисправности – 11.

а)  $S^K, Z_1, Z_2^K$

$S^{K-1}$	$X_1, X_2^K$	00	01	11	10
1		2*,00	5,10	5,10	5,10
2		5,10	5,10	5,10	5*,00
3		5,10	5,10	4*,00	5,10
4		5,10	1*,00	5,10	5,10
5		6*,10	5,11	5,11	5,11
6		6,11	6,11	6,11	7*,10
7		7,11	7,11	8*,10	7,11
8		8,11	9*,10	8,11	8,11
9		2*,00	9,11	9,11	9,11

б)  $S^K, Z_1, Z_2^K$

$S^{K-1}$	$X_1, X_2^K$	00	01	11	10
1		(1)*,00	6,10	7,10	2,00
2		5,10	6,10	3,00	(2)*,00
3		5,10	4,00	(3)*,00	8,10
4		1,00	(4)*,00	7,10	8,10
5		(5)*,10	(5),11	(5),11	9,10
6		5,10	(6),10	(6),11	(6),11
7		5,10	(7),11	(7),10	(7),11
8		5,10	(8),11	(8),11	(8),10
9		(9),11	(9),11	10,10	(9)*,10
10		(10),11	11,10	(10)*,10	(10),11
11		1*,00	(11)*,10	(11),11	(11),11

в)  $S^K, Z_1, Z_2^K$

Столбцы	Переходы
A	$(2, 3, 6, 7, 8) \rightarrow 5$ ; $(4, 11) \rightarrow 1$ .
B	$(1, 2) \rightarrow 6$ ; $3 \rightarrow 4$ ; $10 \rightarrow 11$ .
C	$(1, 4) \rightarrow 7$ ; $2 \rightarrow 3$ ; $9 \rightarrow 10$ .
D	$1 \rightarrow 2$ ; $(3, 4) \rightarrow 8$ ; $5 \rightarrow 9$ .

2)

5	7	8	9
2	1	4	3
6		11	10

Рис. 2.1.4

Регистр RGY (внутренняя память автомата) содержит 4 триггера. В качестве него можно использовать микросхему K155ИР1. Входы регистра определяются после кодирования состояний. Для правильного функционирования схемы перезапуска управление RGX удобно проводить по фронту, а RGZ и RGY – по срезу синхросигнала. При этом комбинационные состояния во время действия импульса синхронизации влиять не будут, т.к. микросхема K155ИР1 реализована, фактически, на D-триггерах.

Асинхронная таблица переходов схемы анализа, множества переходов по столбцам (с указанием состояний, через которые выполняется переход) и возможный вариант кодирования приведены на рис. 2.1.4.б,в,г. Часть переходов в данном случае реализуется за 2 внутренних такта. Это надо будет учесть при оценке работоспособности схемы на заданной частоте. Реализация асинхронной схемы должна быть выполнена из условия устранения возможных рисков сбоя.

Прежде чем приступить к проектированию схемы перезапуска, необходимо условиться, в какой момент начинается формирование сигналов перезапуска. Если изменение состояния RGZ происходит по срезу некоторого синхросигнала, этот момент надо совместить с началом следующего импульса синхронизации.

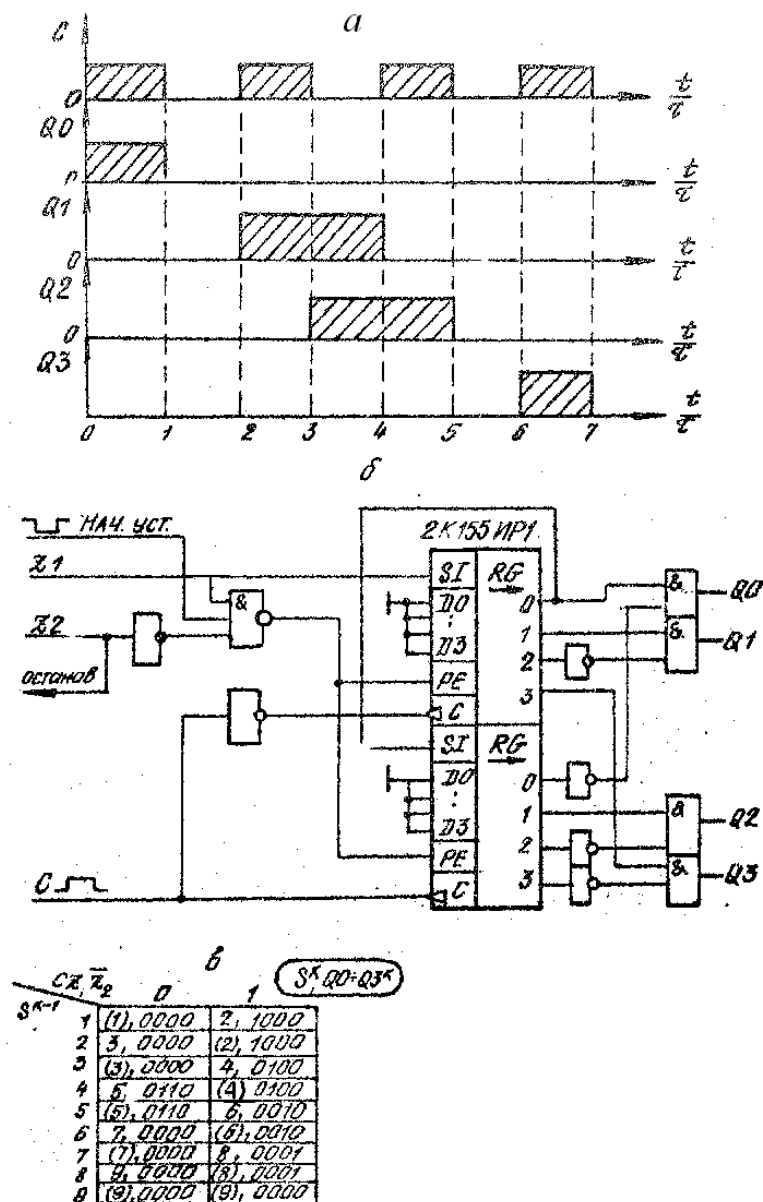


Рис. 2.1.5

Возможный эвристический подход к построению синхронной схемы дает вариант схемы перезапуска рис. 2.1.5, б. Асинхронный автоматный подход связан с реализацией таблицы рис. 2.1.5, в.

Что касается схемы установки начального состояния, то здесь необходимо принять меры к устранению "дребезга" контактов и построить формирователь одиночных импульсов длительностью не менее периода синхронизации.

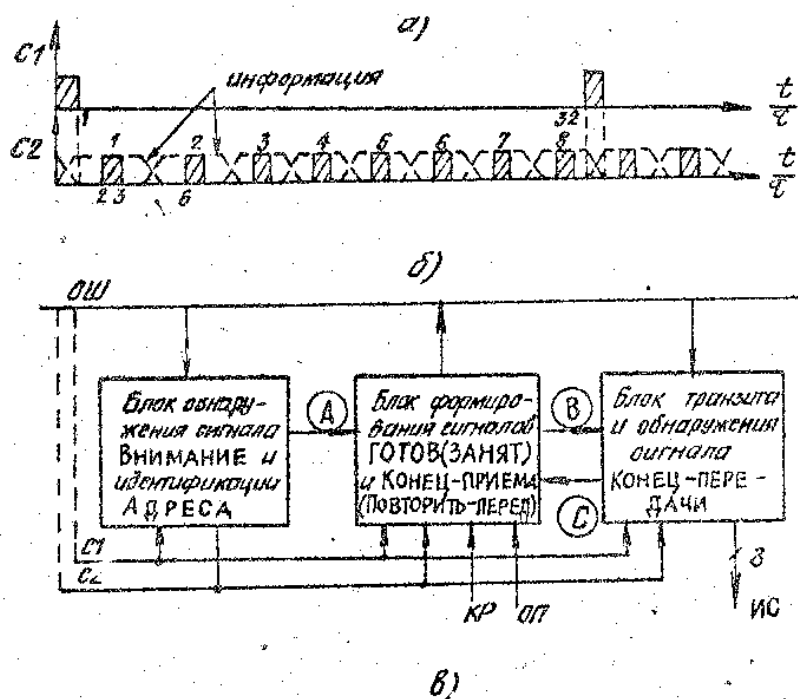
## **2.2. Типовое задание №2**

### **2.2.1. Формулировка задания:**

К общей шине (ОШ) подключены несколько абонентов, каждый из которых функционирует автономно в соответствии с управляющей информацией, полученной от специального устройства – арбитра общей шины. Эта шина включает 3 линии связи: две синхронизирующие и одну информационную. Передача информации ведется в последовательном коде. При этом синхроимпульсы  $C_1$  отмечают начало каждого байта, а  $C_2$  синхронизируют передачу отдельных битов. Основная тактовая частота 1 МГц, длительность синхроимпульсов 0,25 мкс. Их взаимное расположение представлено на рис. 2.2.1, а.

При необходимости связи арбитр вырабатывает общий для всех абонентов сигнал ВНИМАНИЕ и затем – АДРЕС нужного абонента. Этот абонент, после идентификации своего адреса, выдает в шину сигнал ГОТОВ либо ЗАНЯТ в зависимости от своего состояния. Получив сигнал готовности, арбитр сразу формирует непрерывную многобайтную посылку – информационное сообщение (ИС), которое замыкается сигналом КОНЕЦ-ПЕРЕДАЧИ. Приняв эту посылку, абонент отвечает сигналом КОНЕЦ-ПРИЕМА при отсутствии ошибок передачи, либо сигналом ПОВТОРИТЬ-ПЕРЕДАЧУ, если обнаружена ошибка. В последнем случае арбитр повторяет весь цикл связи заново.

Информационное сообщение имеет символьный характер. Каждый символ занимает 1 байт (8 разрядов). Алфавит сообщений содержит всего 200 символов. Остаточные 56 символов могут быть использованы в качестве сигналов связи: ГОТОВ, ВНИМАНИЕ и др.



№ варианта	1	2	3	4	5	6	7	8	9	10	11	12
Адрес	17	35	43	57	61	73	98	90	15	60	209	187
Внимание	201	251	236	217	101	119	151	130	164	80	22	104
Готов	111	202	252	237	218	102	172	230	150	36	161	177
Занят	171	112	203	253	238	219	133	66	44	97	238	195
Конец-передачи	81	152	173	114	205	255	214	136	222	191	117	75
Конец-приема	241	82	153	174	115	206	254	205	243	215	44	41
Повторить-передачу	11	243	83	154	175	116	239	187	95	239	203	150

Рис. 2.2.1

Для реализации связи каждому абоненту придается интерфейсный модуль-контроллер связи. Сигналы ГОТОВ и ПОВТОРИТЬ-ПЕРЕДАЧУ вырабатываются контроллером по получении от своего абонента сигналов конца работы (КР) и ошибки передачи (ОП) соответственно. Укрупненная блок-схема контроллера показана на рис. 2.2.1, б.

Требуется детализировать блок-схему и разработать электрическую принципиальную схему контроллера в базе ИС К155 из условия минимизации числа корпусов микросхем. При этом энергопотребление должно быть возможно малым. В процессе проектирования необходимо учесть, что длина общей шины 20 м, волновое сопротивление линий связи 100 Ом.

Предлагаемые варианты задания указаны в таблице рис. 2.2.1, в. В этой

таблице для каждого варианта приведены (в десятичном эквиваленте) адрес абонента и коды сигналов связи.

### 2.2.2. Рекомендации по выполнению

За основу обсуждения взята одна из возможных детализаций блок-схемы, ориентированная, в первую очередь, на широкое использование микросхем со средней степенью интеграции – сдвиговых регистров, счетчиков и арифметических–логических устройств (рис. 2.2.2, а).

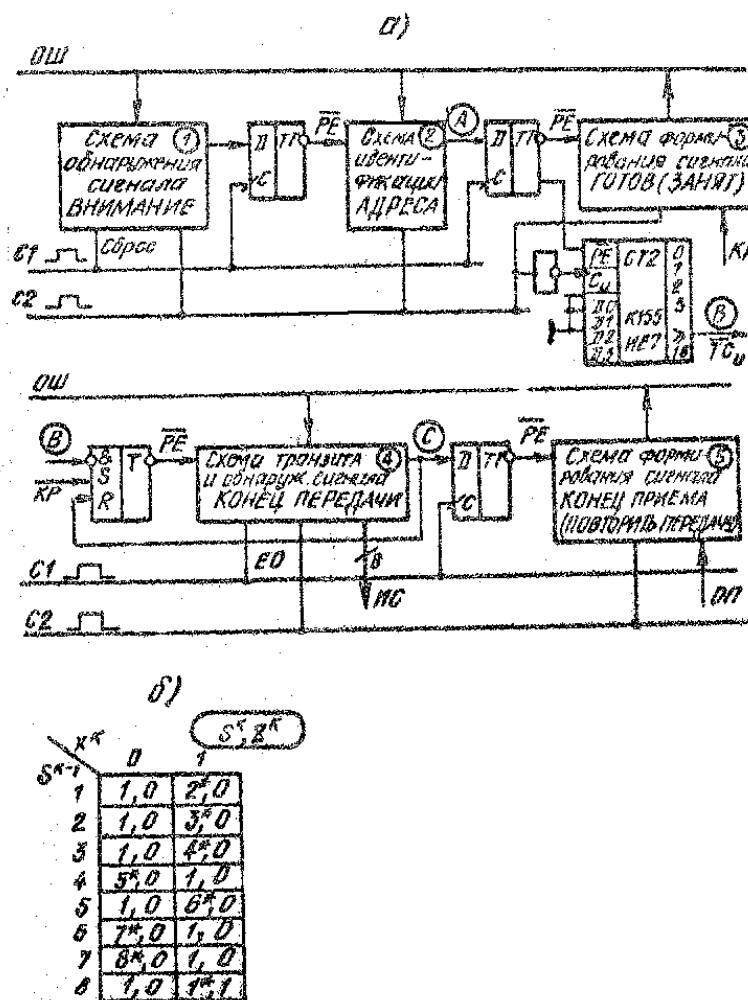


Рис. 2.2.2

Схемы 1-5 могут быть реализованы на основе микросхем K155IP1 (RG →) и K155IP3 (ALU). Но имеет смысл подумать о том, не избыточна ли такая реализация. Можно попытаться, например, использовать для схем 1 и 2 общий регистр. Или вместо микросхемы K155IP3 применить иную реализа-

цию схемы сравнения на равенство. Либо перейти к автоматной реализации этих схем.

Пусть, например, сигнал ВНИМАНИЕ имеет код 151, байтный двоичный эквивалент которого 1001 0111. В данном случае возможна только синхронная реализация автомата. Его таблица переходов показана на рис. 2.2.2, б. Согласно таблице, потребуется регистр RGY всего лишь из трех триггеров. Его реализация займет только одну микросхему K155ИР1 (вместо двух в предыдущем случае). Схема формирования сигналов возбуждения и выхода едва ли будет превышать по сложности одну микросхему K155ИПЗ (в базовом варианте надо применять две такие микросхемы). Так что подумать есть над чем.

Не исключено, что более удачной (чем регистровая) окажется реализация схем 3 и 5 на основе микросхем счетчиков и мультиплексоров. Во всяком случае, такой вариант также заслуживает внимания.

Что касается схемы 4, то здесь регистровый вариант является, скорее всего, наиболее приемлемым, т.к. информационное сообщение должно передаваться от контроллера к абоненту байтами по сигналам  $C_1$ . Последнее обстоятельство обуславливает необходимость применения на выходах регистра буферных усилителей, для которых сигнал  $C_1$  выполняет функцию разрешения по выходам (ЕО).

Следует отметить, что указанные на блок-схеме D-триггеры имеют динамическое управление "в строгом смысле", а RS-триггер является асинхронным. При этом его инверсный выход не только управляет работой регистра (сигнал  $\overline{PE}$ ), но и выполняет стробирование выходных буферов.

Выбор метода согласования с линией связи определен ее длиной. Полезно иметь в виду и альтернативный вариант, связанный с использованием в качестве приемных элементов микросхемы K155ТЛ2. Поскольку ряд схем контроллера работает на передачу, то необходимо предусмотреть организацию их выходов с помощью специальных микросхем.

## 2.3. Типовое задание №3

### 2.3.1. Формулировка задания

Передача данных осуществляется последовательно-параллельно по двум линиям связи в закодированном виде – по 2 бита на разряд. Кодирование применено для защиты передаваемых данных от несанкционированного доступа. Код двоичной цифры в данном разряде зависит от номера (четности номера) этого разряда и от значения предыдущего разряда. Массив 32-разрядных чисел передается непрерывно, разряд за разрядом, число за числом. При этом по окончании передачи каждого числа счет разрядов ведется заново – 1, 2, ... . Передача любого разряда синхронизируется. Синхросигналы передаются по отдельной линии. По этим сигналам на приемном конце выполняется поразрядное декодирование поступающих данных. Предполагается, что связь между передатчиком и приемником каким-то образом уже установлена и при этом достигнута взаимная синхронизация моментов начала отсчета передаваемых и принимаемых чисел в обоих устройствах.

Заданы кодовые таблицы (рис.2.3.1, а). Здесь  $x_j$  – значение  $j$ -го разряда передаваемого числа, а...  $l$  – соответствующие 2-битные коды.

а)

$x_1$  0 1  

a	b
---	---

$x_{2k}$  0 1  
 $x_{2k-1}$  0 1  

c	d
e	f

$k = 1 \dots 16$

$x_{2k+1}$  0 1  
 $x_{2k}$  0 1  

g	h
i	l

$k = 1 \dots 15$

б)

код \ N	1	2	3	4	5	6	7	8	9	10
a	10	11	11	01	10	00	00	00	01	00
b	11	01	10	11	00	01	10	10	00	10
c	01	11	00	00	00	11	00	11	01	11
d	00	00	11	11	11	01	01	10	10	01
e	01	00	01	00	00	11	10	01	00	10
f	11	10	11	01	01	10	11	00	11	00
g	10	00	01	00	10	00	00	10	11	00
h	00	01	11	11	00	01	01	00	10	11
i	01	00	11	01	11	11	00	01	01	00
l	11	10	10	10	01	01	10	00	10	10

Рис. 2.3.1

Блок-схема тракта передачи-приема отвечает рис.2.3.2, а (показаны лишь учитываемые заданием блоки). Здесь МАРКЕР – схема формирования специального синхросигнала, отмечающего границу между передаваемыми (принимаемыми) числами. Для синхронизации передатчика и приемника используются синхросерии  $C_1$  и  $C_2$  соответственно (рис.2.3.2, б). Тактовая частота 1 МГц. Длительность синхроимпульсов 0,25 мкс. Длина линий связи 20 м. Их волновое сопротивление 100 Ом.

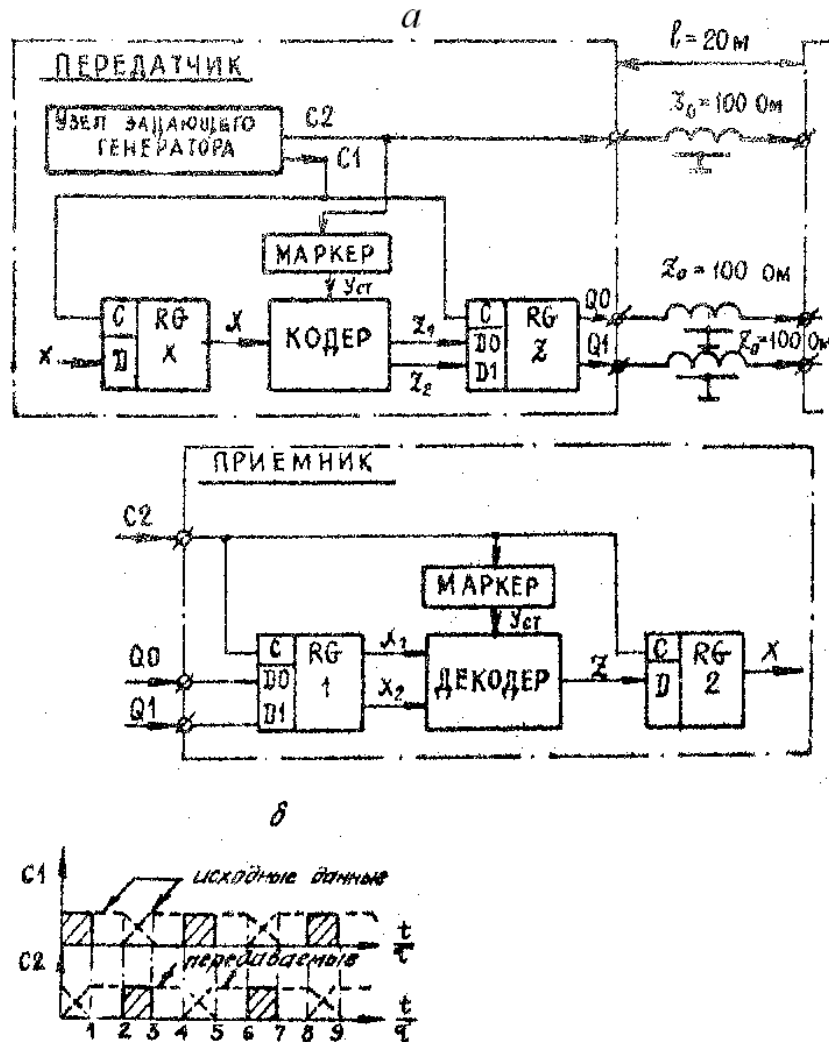


Рис. 2.3.2

Требуется разработать электрические принципиальные схемы устройств передачи и приема данных в базисе ИС К155 из условия минимизации числа корпусов используемых микросхем. При этом энергопотребление должно быть возможно малым.

Предлагаемые варианты задания указаны в таблице рис. 2.3.1, б.



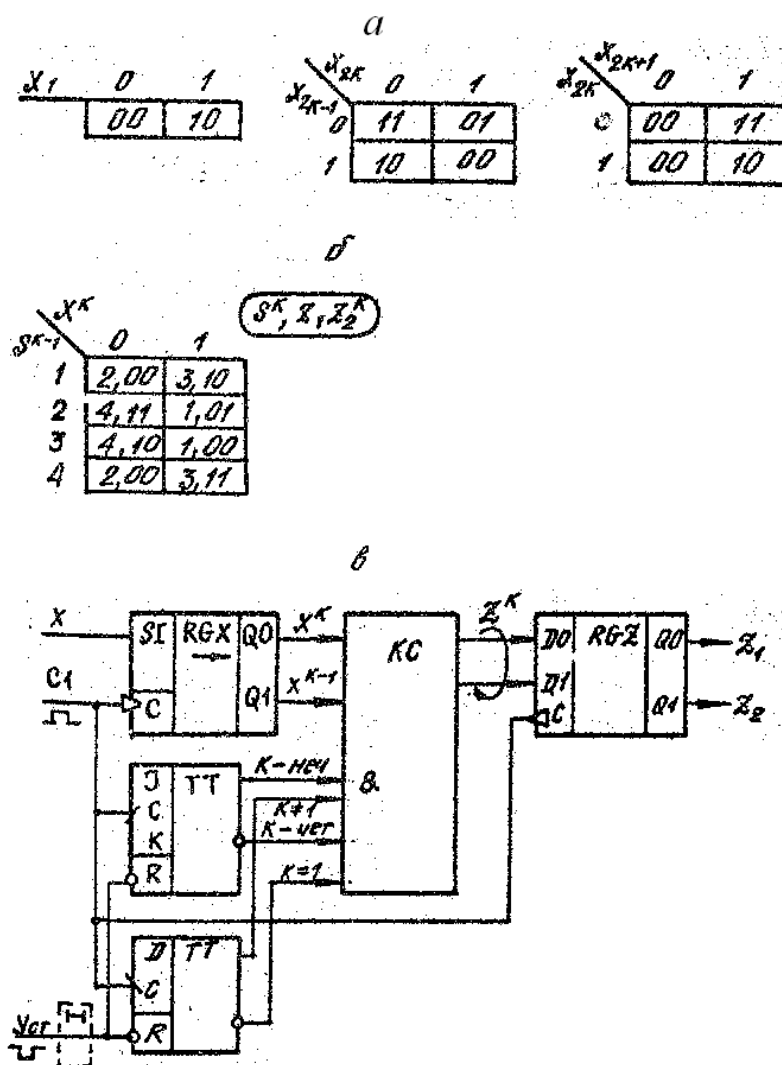


Рис. 2.3.3

### 2.3.2. Рекомендации по выполнению

Узел задающего генератора целесообразно в данном случае реализовать по простейшей, классической схеме, содержащей генератор импульсов, триггер и два элемента И. При этом основная задача состоит в расчете генератора импульсов.

Маркер (как в передатчике, так и в приемнике) представляет собой делитель частоты на 32. Для его реализации можно использовать, например, каскад из двух микросхем К155ИЕ7. Построение всех регистров также не вызывает затруднений, поэтому основное внимание следует уделить схемам кодера и декодера. Возможные подходы к построению этих схем рассматриваются на примере варианта 10 (рис. 2.3.3, а).

Асинхронная реализация кодера в данном случае невозможна. Чтобы убедиться в этом, достаточно рассмотреть действие последовательности  $X = 0 - 0 - 0 - \dots$ . Синхронная автоматная реализация схемы должна быть довольно простой, на что указывает построенная таблица переходов (рис. 2.3.3, б). Для регистра RGY (внутренняя память) требуются всего лишь два триггера, функции возбуждения которых определяются после кодирования состояний. Надо только позаботиться об установке RGY в начальное состояние по каждому импульсу маркера. Если все регистры реализованы на D-триггерах, то управление RGX можно проводить по фронту, а RGY и RGZ – по срезу синхроимпульса.

За базу для сравнения можно взять, например, эвристическое построение схемы кодера вместе с регистрами RGX и RGZ, представленное на рис. 2.3.3, в.

Наконец, чтобы окончательно убедиться в правильности сделанного выбора, полезно рассмотреть случай единой автоматной реализации кодера совместно с RGX, RGZ и без выделения RGY, когда схема в целом синтезируется по асинхронному принципу, а сигнал  $C_1$  интерпретируется как ее дополнительный информационный вход с особыми свойствами. Асинхронную таблицу переходов схемы можно построить, если предварительно выполнить непротиворечивую разметку состояний исходных кодовых таблиц (рис. 2.3.4, а).

Асинхронная таблица переходов схемы передатчика (без учета маркера), множества переходов по столбцам (с указанием состояний, через которые выполняется переход) и возможный вариант кодирования приведены на рис. 2.3.4 б,в,г. При составлении таблицы учтено, что состояние входа "проявляется" в схеме по фронту синхроимпульса, а изменение выходов – по срезу. Как и ранее, предполагается, что во время действия синхросигнала значение входа не меняется.

Таким образом, асинхронный подход приводит в данном случае к схеме из 4 асинхронных одноступенчатых RS-триггеров со своими схемами возбуждения и одного такого же D-триггера на входе (для  $C_1$ ). Для сравнения: предыдущий подход дает реализацию из 6 двухступенчатых триггеров и довольно

простой комбинационной схемы. Здесь есть о чем подумать. Особенно если учесть, что микросхемы синхронных триггеров имеются. А вот асинхронные триггеры придется, скорее всего, собирать из логических ИС.

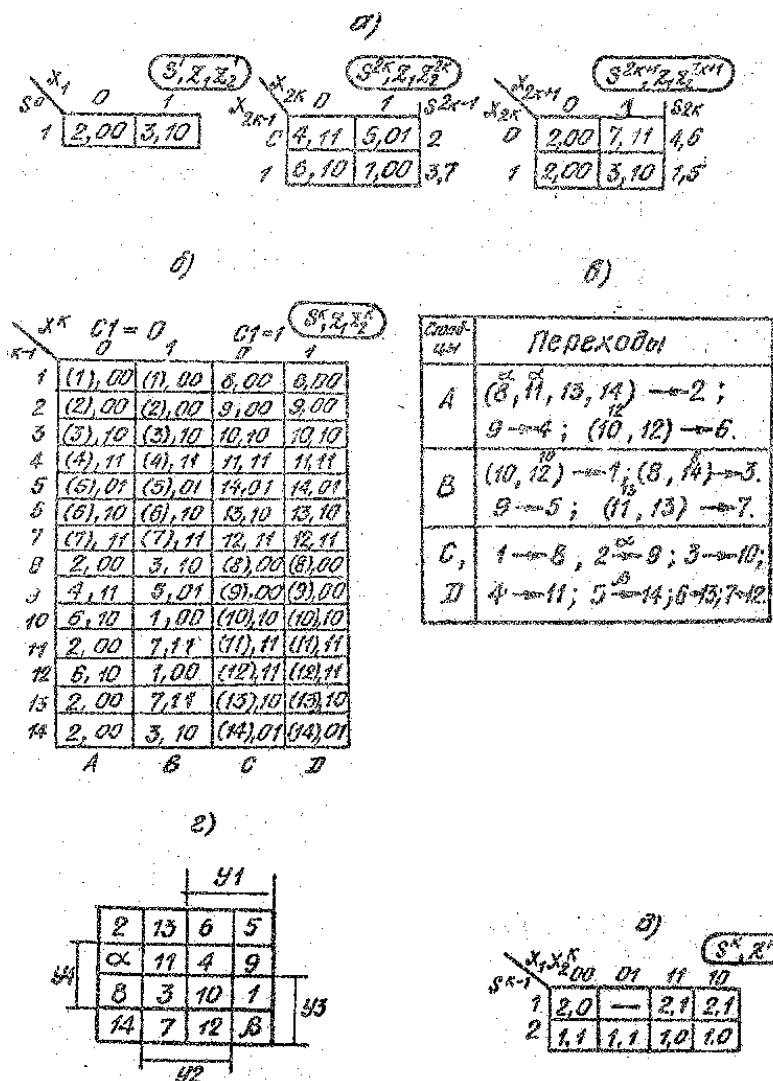


Рис. 2.3.4

Проектирование передатчика завершается выбором буферных усилителей для работы на линию связи и расчетом (при необходимости) навесных компонентов.

Наиболее серьезной работой при проектировании приемника является построение схемы декодера. Использование асинхронных принципов реализации приемника в целом (исключая маркер) в данном случае заведомо малоэффективно, т.к. присутствие входного регистра обязательно. Возможный эвристический подход подобен примененному для передатчика. Только сдвиги во входном регистре отсутствуют и надо предусмотреть некоторую задержку сигнала

установки. Достаточно ясен и синхронный автоматный подход.

Действительно, по условию, взаимная синхронизация моментов начала отсчета передаваемых и принимаемых чисел каким-то образом уже достигнута. Поэтому, однозначно, наличие на входе декодера комбинации 00 в первом такте отвечает  $x_1 = 0$ , а набору 10 в том же такте  $x_1 = 1$ , дальнейшее декодирование должно идти в соответствии с заданными кодовыми таблицами в предположении отсутствия ошибок передачи. В рассматриваемом примере получается весьма простая таблица переходов декодера (рис. 2.3.4, д). Для его реализации потребуется всего лишь один триггер и элементарная комбинационная схема. Необходимость маркера в данном случае отсутствует, т.к. проблема начальной установки RGY решается автоматически. В общем случае таблица переходов декодера может включать до 5 строк и наличие маркера обязательно.

На входах приемника необходимо обеспечить согласование с линиями связи и установить специальные усилители–формирователи сигналов  $C_2, Q_0, Q_1$ . Удачным решением может оказаться использование микросхемы KI55TJ12.