

В.А. РАЙХЛИН
Р.Ф. ГИБАДУЛЛИН

СХЕМОТЕХНИКА

ЭВМ



Министерство образования и науки Российской Федерации
Федеральное агентство по образованию
Казанский национальный исследовательский технический
университет им. А.Н. Туполева – КАИ

В.А. РАЙХЛИН
Р.Ф. ГИБАДУЛЛИН

СХЕМОТЕХНИКА ЭВМ

Учебное пособие
по практическим занятиям



Казань 2013

УДК 681.3 (07)
ББК 32.97
Р 11

Райхлин В.А., Гибадуллин Р.Ф.

Р 11 Схемотехника ЭВМ. Учебное пособие по практическим занятиям –
Казань: Изд-во «Яз», 2013. 80 с.

ISBN 978-5-904449-74-2

Рассматриваются принципы организации, функционирования и особенности использования базовых отечественных микросхем памяти, выполненных по разным технологиям, построения на их основе модулей памяти сравнительно больших объемов. Дается знакомство с секционными микропроцессорами на примере МПК БИС КР1804.

Для студентов вузов направления 230100.62: «Информатика и вычислительная техника»

Табл. 14. Ил. 33. Библиогр.: 8 назв.

ISBN 978-5-904449-74-2

© Изд-во «Яз», 2013

© В.А. Райхлин, Р.Ф. Гибадуллин, 2013

Предметом практических занятий по дисциплине «Схемотехника ЭВМ» в КНИТУ-КАИ им. А.Н. Туполева является изучение основ организации и функционирования микросхем памяти, модулей памяти сравнительно больших объемов и микропроцессорных комплектов (МПК) БИС на примерах отечественных серий. Именно – ОСНОВ как составляющей фундамента образовательной подготовки бакалавров по программе «Вычислительные машины, комплексы, системы и сети». Знакомство с современными устройствами памяти относится к последующим дисциплинам.

Интерес пользователей к широкому применению МПК БИС как таковых в настоящее время значительно ослаблен. Превалирует ориентация на однокристальные микропроцессоры, изучаемые в дисциплине «Микропроцессорные системы». Это обусловлено современными тенденциями развития информационных технологий и трудностями проектирования микропрограммного обеспечения при разработке устройств на основе МПК БИС. Но знание принципов построения секционных микропроцессоров всегда было и остается обязательным элементом инженерной культуры специалистов по вычислительной технике. Оно помогает созданию высокоэффективных специализированных систем.

Данное учебное пособие предназначено для закрепления у студентов знаний, полученных на практических занятиях. Наименования подразделов ассоциированы с темами занятий. Изложение каждой темы завершается домашним заданием в виде вопросов для самопроверки. С выборочного опроса студентов по предыдущей теме начинается любое занятие. Степень усвоения материала практики в целом проверяется в процессе поэтапных тестирований.

Конкретное рассмотрение на практических занятиях избранных представителей каждого класса из указанного ранее перечня дает достаточное знакомство с базовыми принципами построения подобных устройств. Поэтому материал практики не затрагивается на других видах занятий и на экзамен не выносится. Такой подход позволил усилить дисциплину теоретическими вопросами модульного проектирования цифровых схем.

Авторы

I. МИКРОСХЕМЫ ПАМЯТИ	5
1.1. Система параметров и мнемоники микросхем памяти. Микросхемы статических ОЗУ	5
1.2. Микросхемы динамических ОЗУ	14
1.3. Микросхемы масочных и программируемых ПЗУ	19
1.4. Микросхемы репрограммируемых ПЗУ и ПЛМ	27
<i>Литература по разделу I</i>	41
II. МОДУЛИ ПАМЯТИ	42
2.1. Понятие микропроцессорной системы. Организация модулей Памяти. Модуль статического ОЗУ	42
2.2. Модули динамического ОЗУ и РПЗУ	47
<i>Литература по разделу II</i>	53
III. МИКРОПРОЦЕССОРНЫЕ КОМПЛЕКТЫ БИС	54
3.1. Переход на МПК БИС. Понятие системного модуля. МПС КР1804ВС1. Организация операционного устройства	54
3.2. Микросхемы управления и организация устройства управления микропроцессора КР1804	64
3.3. Организация микропроцессора КР1804 в целом и пример микропрограммы	73
<i>Литература по разделу III</i>	79

I. МИКРОСХЕМЫ ПАМЯТИ [1-4]

В современных цифровых системах в зависимости от их назначения память занимает от 40 до 70% всего оборудования и во многом определяет технические характеристики системы в целом. Оперативная память (ОЗУ) отличается от постоянной (ПЗУ) тем, что допускает изменение своего содержимого в процессе непрерывного функционирования системы.

1.1. СИСТЕМА ПАРАМЕТРОВ И МНЕМОНИКИ МИКРОСХЕМ ПАМЯТИ. МИКРОСХЕМЫ СТАТИЧЕСКИХ ОЗУ

Под памятью (запоминающими устройствами – ЗУ) цифровых вычислительных систем понимают совокупность технических средств, предназначенных для приема (записи), хранения и выдачи (считывания) информации, представленной двоичным кодом. Развитие средств вычислительной техники связано с устойчивой тенденцией увеличения информационной емкости и быстродействия памяти ЭВМ и вычислительных систем.

Внутренняя (оперативная) память ЭВМ первых поколений была, в основном, ферритовой. Первые полупроводниковые микросхемы памяти емкостью 16... 64 бита, появившиеся в 1965 г., могли быть использованы лишь во вспомогательных узлах (таких, как регистры процессора). Только в 1970 г. появились микросхемы ЗУ емкостью 256 ... 1024 бита. В 1972 г. фирма IBM впервые применила в оперативной памяти ЭВМ семейства 370 (156 и 168 модели) микросхемы на МДП-транзисторах. Структура внутренней памяти ЭВМ стала меняться с появлением в 1974 г. дешевых микросхем ОЗУ емкостью 4096 бит (4 Кбит), а затем 16 384 бит (16 Кбит). Ферритовые ЗУ начали уступать свое место во внутренней памяти ЭВМ более быстродействующим полупроводниковым БИС ЗУ.

ЗУ современных ЭВМ имеют многоуровневую иерархическую структуру. Непосредственно связанные с процессором запоминающие устройства верхних уровней иерархии образуют внутреннюю память – ОЗУ. Они имеют максимальное быстродействие, но относительно малую информационную емкость. ЗУ нижних уровней (внешняя память ЭВМ) ранжируются по мере увеличения информационной емкости и (связанного с этим) уменьшения быстродействия.

Для пользователя желательно, чтобы система памяти, состоящая из различных по техническим характеристикам модулей ЗУ, функционировала как единый блок памяти с характеристиками, близкими: по быстродействию – к верхнему уровню, по емкости – к нижнему. Но избежать потерь времени при обращении к данным, размещенным на ниж-

них уровнях, практически невозможно. И это сказывается на производительности ЭВМ. В настоящее время не существует альтернативных решений, позволяющих строить одноуровневые системы памяти.

Чтобы повысить разрядность ОЗУ, образуют субмодуль из нужного числа микросхем, объединяя все их одноименные выходы, кроме информационных. Для увеличения числа хранимых слов соединяют все одноименные выходы субмодулей, кроме входов их инициализации (crystal select – CS). Выбор того или иного субмодуля осуществляется с помощью дешифратора, на входы которого поступают старшие разряды адреса. Такую организацию модуля памяти называют страничной, а субмодуль – страницей.

Любой блок ЗУ включает ряд модулей памяти, контроллер (устройство управления), буферные регистры и магистральные приемопередатчики (для сопряжения по нагрузке с шинами адресов и данных).

Система параметров и мнемоники микросхем памяти

Основными характеристиками ЗУ являются:

- **информационная емкость** $N \times n$ (число слов \times число разрядов), определяемая максимальным объемом хранимой информации в битах или байтах;
- **быстродействие**, характеризуемое временем выборки информации (t_b) из ЗУ и временем цикла обращения ($t_{ц.зп/сч}$) к ЗУ с произвольным доступом или временем поиска и количеством переданной в единицу времени информации в ЗУ (или из ЗУ) с последовательным доступом;
- **энергопотребление**, определяемое электрической мощностью, потребляемой ЗУ от источников питания в каждом из режимов работы, а также *надежность, стоимость, масса, габаритные размеры* и др.

В управлении микросхемой памяти обычно задействованы несколько сигналов. Поэтому, наряду с $t_{ц.зп/сч}$, оговариваются дополнительные временные параметры: длительности отдельных управляющих импульсов, временные сдвиги между ними, период регенерации $T_{рег}$ (для микросхем динамической памяти) и др. Период регенерации определяет максимальный интервал времени между двумя обращениями по каждому адресу для восстановления хранимой информации.

В УГО многообразия типов микросхем памяти используются следующие мнемоники:

RAM – статическое ОЗУ;

RAMD – динамическое ОЗУ;

RG – регистровое ОЗУ;

ROM – масочное постоянное ЗУ (МПЗУ);

PROM – ПЗУ с электрическим программированием (ППЗУ);

PLM – программируемая логическая матрица (ПЛМ);

EPROM – репрограммируемое ПЗУ (РПЗУ).

Необходимые пояснения принятой здесь и далее терминологии будут даны при знакомстве с соответствующими микросхемами.

Словарь мнемоник выводов, использованный при рассмотрении микросхем регистровой памяти, будет непрерывно пополняться в процессе этого знакомства. Символ \diamond обозначает выходы с открытыми коллекторами. Специальная организация выходов микросхем памяти обусловлена необходимостью их объединения в модули. Выход активен только при чтении. В режиме записи или хранения он находится в третьем состоянии Z (выход типа $\hat{\diamond}$) либо в единичном (выход типа \diamond). Это позволяет объединять вход и выход с образованием двунаправленной шины ввода/вывода.

Большинство интегральных серий имеет однородный состав микросхем ЗУ. Например, серии К541 (И²Л-ТТЛ) и К537 (КМОП) – только RAM; серия К565 (n-МОП) – только RAMD; серия К556 (ТТЛ) – только PROM и PLM; серия К573 (ЛИЗМОП) – только EPROM. При маркировке микросхем памяти вслед за номером серии идут две буквы, обозначающие тип микросхемы: РУ – ОЗУ, РЕ – МПЗУ, РТ – ППЗУ или ПЛМ, РР – РПЗУ с электрическим стиранием, РФ – РПЗУ с ультрафиолетовым стиранием, ИР – регистровое ЗУ.

Микросхемы статических ОЗУ ТТЛ

По этой технологии изготавливаются микросхемы ОЗУ статического типа. В качестве элемента памяти для них используется статический триггер с непосредственными связями. Наиболее представительной является серия К541 (технология И²Л-ТТЛ).

Параметры микросхем этой серии:

$N \times n = 4K \times 1$ (РУ1), $1K \times 4$ (РУ2), $8K \times 1$ (РУ3.1-3.4), $16K \times 1$ (РУ3);

$t_{ц.зп/сч} = 100 \dots 170$ нс;

$P_{пот} = 0,3 \dots 0,5$ Вт;

выходы – на три состояния.

УГО микросхемы К541РУ1 приведено на рис. 1.1,а; таблица ее функционирования - на рис. 1.1,б (символом « x » обозначается безразличное состояние входа).

Особенности построения микросхем ОЗУ ТТЛ рассмотрим на примере микросхемы К155РУ5 ($N \times n = 256 \times 1$; $t_b = 60$ нс; $P_{пот} = 0,7$ Вт). Это одна из первых микросхем рассматриваемого типа. Ее УГО отвечает рис. 1.1,в. Таблица функционирования – прежняя. Только в режимах хранения и записи вместо состояния Z имеем на выходе сигнал 1.

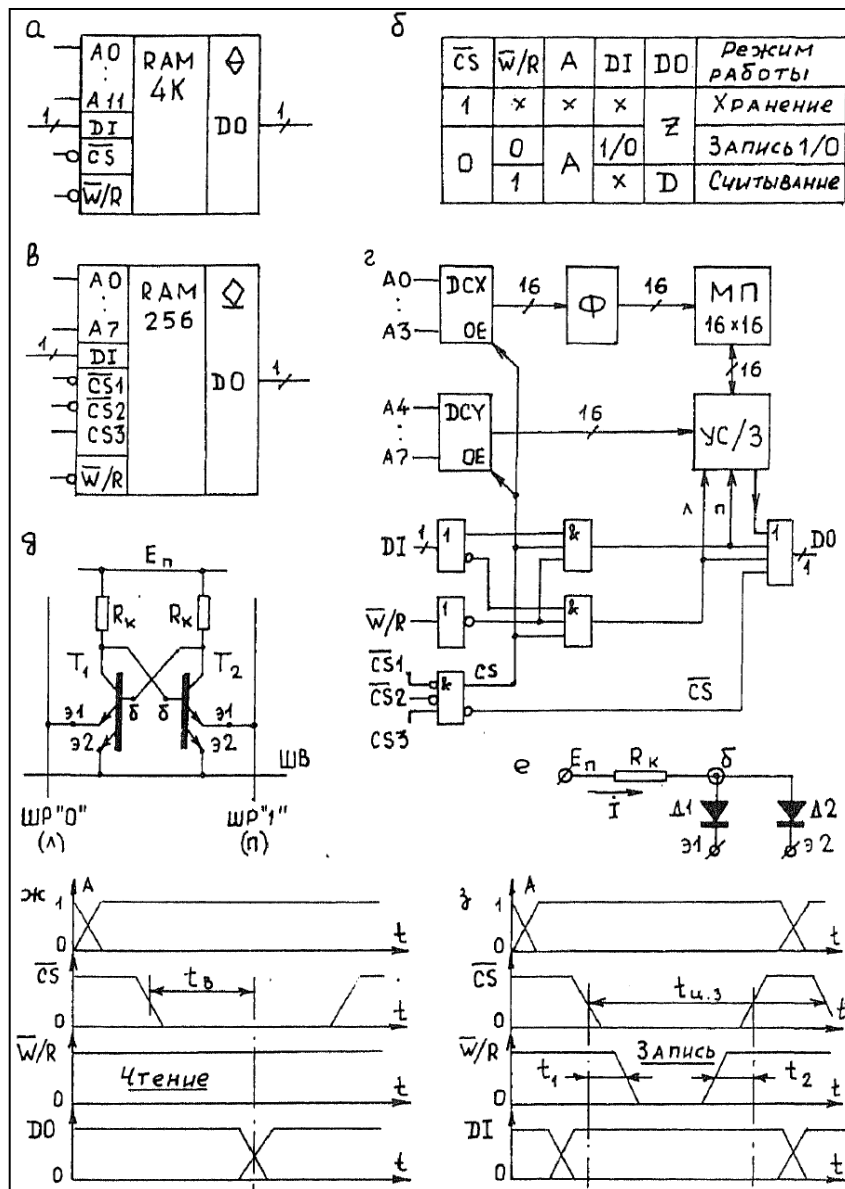


Рис. 1.1

Логическая структура микросхемы K155PY5 показана на рис. 1.1,г. Полный адрес $A = \langle A7, \dots, A0 \rangle$ разбивается на две части: $A_X = \langle A3, \dots, A0 \rangle$ и $A_Y = \langle A7, \dots, A4 \rangle$. Каждая часть дешифрируется отдельно. По адресу A_X выбирается одна строка матрицы памяти МП, по адресу

AY – один столбец. Активизация строк и столбцов осуществляется через посредство формирователей Ф и усилителей считывания/записи УС/З соответственно.

Выбранная строка содержит 16 ЭП (элементов памяти). Но операции чтения или записи проводятся только с одним из этих ЭП, определенным адресом столбца. Наличие трех входов выбора кристалла ($\overline{CS1}$, $\overline{CS2}$, $CS3$) позволяет нарастить объем памяти до 2048 слов без использования дополнительного дешифратора.

Сигнал разрешения дешифраторов $OE = CS$ активен, если входные управляющие сигналы $\overline{CS1} = \overline{CS2} = 0$, а $CS3 = 1$. В режиме хранения кристалл не выбран ($\overline{CS} = 1$, $OE = 0$) и выход $DO = 1$. Согласно схеме, при записи также $DO = 1$. При чтении DO определяется сигналом с выхода соответствующего УС.

Временные диаграммы микросхемы в режимах чтения и записи показаны на рис. 1.1,ж,з. Величина t_b определена процессами дешифрации адреса и включения выходных цепей выбранного ЭП. При записи необходимо исключить разрушение информации в невыбранных ЭП, которые могут ложно инициализироваться в переходном процессе дешифрации. Поэтому сигнал $\overline{W/R}$ подается с некоторой задержкой t_1 и снимается на время t_2 раньше по отношению к сигналу CS .

Элемент памяти ТТЛ (рис. 1.1,д) представляет собой статический триггер на двухэмиттерных транзисторах. Эмиттеры 2 подключены к внутренней шине выборки ШВ (от DCX), а эмиттеры 1 – к внутренней шине разряда данных ШР «0» или ШР «1». Эквивалентная схема базово-эмиттерных цепей насыщенного триода в статике (рис. 1.1,е) позволяет уяснить особенности работы ЭП.

В режиме хранения потенциал шины выборки $U_{шв} < U_{шр1,0}$. Поэтому ток насыщенного транзистора замыкается через э1 на ШВ, а ЭП отключен от ШР1,0. Выборка ЭП осуществляется подачей ВП на ШВ. При этом $U_{шв} > U_{шр1,0}$ и ток насыщенного триода переключается в эмиттер 1, повышая потенциал соответствующей разрядной линии в случае чтения (входное сопротивление приемника в линии сравнительно велико). Усилитель считывания, собранный по парафазной схеме, реагирует на изменение разности потенциалов $U_{шр1} - U_{шр0}$ и формирует адекватный логический потенциал на своем выходе,

В режиме записи, помимо подачи импульса выборки, на шинах ШР1 и ШР0 устанавливаются потенциалы, необходимые для переключения ЭП в нужное состояние. Эти потенциалы формируются усилителем записи с малым выходным сопротивлением. Пусть, например, при

хранении 1 триод T_1 насыщен, T_2 закрыт. Тогда установке единичного состояния ЭП отвечает соотношение: $U_{шв} > U_{шр1} > U_{шр0}$. Если $U_{шр1} < U_{шр0}$, то происходит установка нуля.

Микросхемы статических ОЗУ КМОП

Наиболее развитым функциональным составом микросхем ОЗУ КМОП обладает серия К537. Она включает 15 модификаций микросхем, которые различаются информационной емкостью (1К x 1; 4К x 1; 1К x 4; 2К x 8), быстродействием, типом корпуса, спецификацией выводов и т.д. Для этой серии в целом характерны: единое $E_n = 5$ В, ТТЛ-уровни входных и выходных сигналов, выходы на три состояния, высокая допустимая $C_n \geq 200$ пФ, отсутствие потерь информации при снижении E_n до 2-3 В. Наиболее «скоростными» являются микросхемы К537РУ14 ($N \times n = 4К \times 1$; $t_{ц.зп/сч} = 110$ нс) и К537РУ10 ($N \times n = 2К \times 8$; $t_{ц.зп/сч} = 180$ нс). По своему быстродействию они близки к ОЗУ ТТЛ, имея значительно более низкое энергопотребление. Это обуславливает их перспективность для применений в устройствах с существенно ограниченными энергоресурсами.

Микросхемы статических ОЗУ имеют, в основном, одноразрядную организацию. Ее принципы являются достаточно общими. Поэтому рассмотрение в данном разделе начнем с одной из наиболее ранних и простых микросхем К561 (564) РУ2. Принципы построения микросхем с многоразрядной организацией покажем на примере микросхемы К537РУ8.

Микросхема К561 (564) РУ2. Ее УГО и таблица функционирования приведены на рис. 1.2,а. Параметры микросхемы: $N \times n = 256 \times 1$; $t_{ц.зп/сч} = 800$ нс; $E_n = 6... 12$ В; $P_{пот} = 0,15$ Вт. Она включает (рис. 1.2,б) выполненные на едином кристалле кремния матрицу памяти МП, дешифраторы кода адреса строк DCX и столбцов DCY, ключи выбора столбцов КВСБ и устройство ввода/вывода УВВ.

Матрица памяти содержит 256 ЭП, расположенных на пересечениях 16 строк и 16 столбцов. Каждый ЭП – статический триггер с парафазными совмещенными входами/выходами (рис. 1.2,в). Ключевыми триодами T_5 и T_6 триггер соединен с разрядными шинами ШР0,1. При отсутствии сигнала выборки строки (на ШВ – НП) эти триоды закрыты и триггер изолирован от разрядных линий (режим хранения).

По условию, если триггер находится в единичном состоянии, то триоды T_1 и T_4 открыты, T_2 и T_3 закрыты. В режимах считывания и записи на ШВ подается ВП (T_5 и T_6 открыты). При чтении единицы имеем: ШР0 – НП, ШР1 – ВП, сами разрядные линии находятся в высокоомном состоянии (см. предыдущий раздел). Те же потенциалы действуют на

разрядных линиях и при записи единицы. Но теперь уже они создаются от низкоомного внешнего источника. В режиме хранения энергопотребление микросхемы пренебрежимо мало.

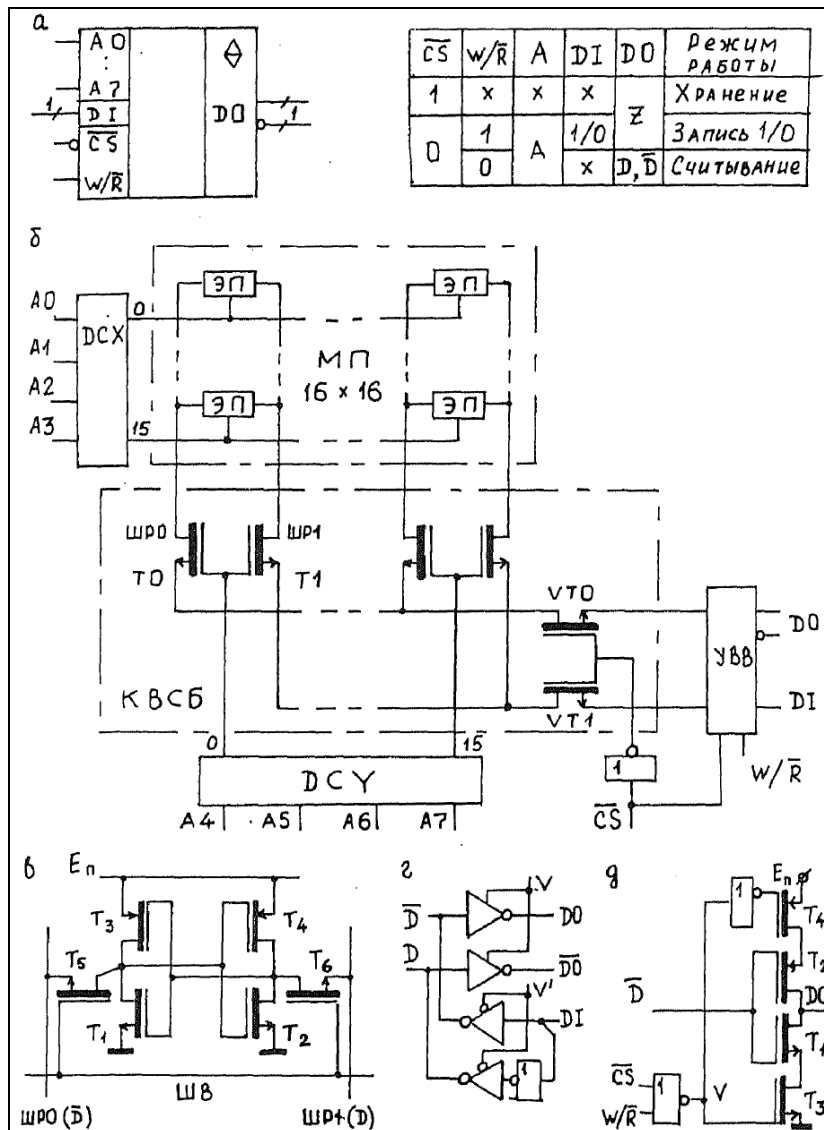


Рис. 1.2

Пара ключей T0 и T1 (рис. 1.2,б) выбирают столбец. Ключи VT0 и VT1 связывают МП с УВВ в режимах чтения и записи. Направление передачи информации определяется сигналом W/\overline{R} .

Устройство ввода/вывода (рис. 1.2,г) строится на основе инверторов с тремя состояниями выхода. Разрешающие сигналы

$$V = \overline{CS} \vee W/\overline{R}, \quad V' = \overline{CS} \vee W/\overline{R}.$$

На рис. 1.2,д приведена схема одного канала. Инвертор на триодах T_1, T_2 дополнен двумя ключевыми транзисторами T_3, T_4 . При $V=0$ эти транзисторы (оба) закрыты. Так реализуется третье состояние выхода в данном случае.

Микросхема K537PY8. (рис. 1.3,а - ее УГО и таблица функционирования) имеет параметры: $N \times n = 2K \times 8$; $t_{ц.зн/сч} = 350...530$ нс; $t_b = 200...400$ нс; $P_{пот} = 0,2$ Вт. В режиме хранения потребляемая от источника мощность снижается более чем в 1000 раз. Микросхема имеет объединенные входы/выходы DIO и специальный сигнал разрешения выхода \overline{OE} . Наличие этого сигнала позволяет запретить вывод информации в режиме считывания: при $\overline{OE} = 1$ выходы переводятся в состояние Z.

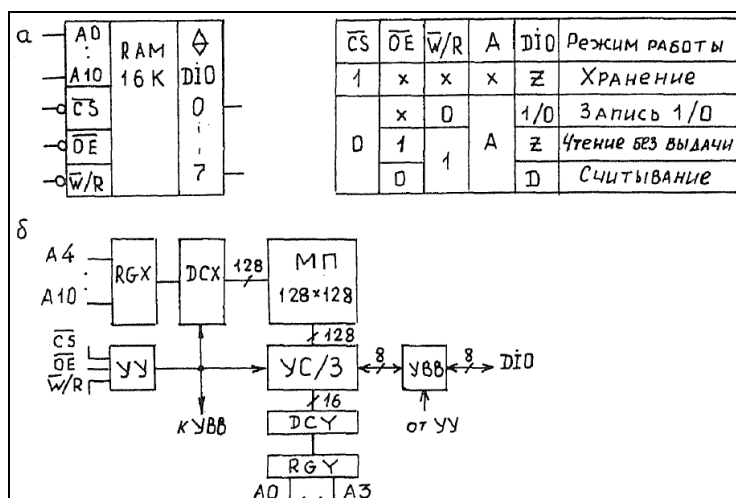


Рис.1.3

Микросхема включает (рис. 1.3,б) матрицу памяти (МП) со 128x128 ЭП, регистры и дешифраторы кода адреса строк (RGX и DCX) и столбцов (RGY и DCY), усилители считывания/записи (УС/З), устройство управления (УУ) и устройство ввода/вывода (УВВ). Матрица разбита на 8 секций по 128x16 ЭП в каждой. Четыре младших разряда адреса <A3-A0> выбирают по одному столбцу одновременно во всех секциях и коммутируют их с УВВ.

Вопросы для самопроверки

(Выбрать правильный из приведенных вариантов ответа)

1. Что такое ROM?

- A. Статическое ОЗУ.
 - B. Масочное ПЗУ.
 - C. Регистровое ОЗУ.
 - D. Репрограммируемое ПЗУ.
2. Что необходимо выполнить для записи информации в микросхему K541PY1?
- A. На второй вывод подать «0», на третий вывод подать «0».
 - B. На второй вывод подать «0», на третий вывод подать «1».
 - C. На второй вывод подать «1», на третий вывод подать «0».
 - D. На второй вывод подать «1», на третий вывод подать «1».
3. На рис.1.1,д изображен элемент памяти статического ОЗУ ТТЛ. Исходное состояние триггера: триод T_1 насыщен, T_2 закрыт, что отвечает хранению единицы. Как установить триггер в нуль?
- A. $U_{шв} > U_{шр1}(U_{шр0})$, $U_{шр1} < U_{шр0}$.
 - B. $U_{шв} > U_{шр1}(U_{шр0})$, $U_{шр1} > U_{шр0}$.
 - C. $U_{шв} < U_{шр1}(U_{шр0})$, $U_{шр1} > U_{шр0}$.
 - D. $U_{шв} < U_{шр1}(U_{шр0})$, $U_{шр1} < U_{шр0}$.
4. На рис.1.2,в изображен элемент памяти статического ОЗУ КМОП. Исходное состояние триггера: триоды T_1 и T_4 открыты, T_2 и T_3 закрыты, что отвечает хранению единицы. Как установить триггер в нуль?
- A. $U_{шв} - ВП$; $U_{шр0} - ВП$; $U_{шр1} - НП$.
 - B. $U_{шв} - НП$; $U_{шр0} - НП$; $U_{шр1} - ВП$.
 - C. $U_{шв} - ВП$; $U_{шр0} - ВП$; $U_{шр1} - ВП$.
 - D. $U_{шв} - НП$; $U_{шр0} - ВП$; $U_{шр1} - НП$.
5. На рисунке показан один канал устройства ввода/вывода микросхемы K561PY2. Третье состояние на выходе DO реализуется в случае, когда ...?
- A. T_3 - закрыт, T_4 - закрыт.
 - B. T_3 - открыт, T_4 - открыт.
 - C. T_3 - открыт, T_4 - закрыт.
 - D. T_3 - закрыт, T_4 - открыт.
6. На рис.1.3,б показана структурная схема микросхемы K537PY8. Почему дешифратор DCY имеет 16 выходов?
- A. Матрица памяти разбита на 8 секций по 128x16 элементов памяти.
 - B. Матрица памяти разбита на 64 секций по 16x16 элементов памяти.
 - C. Матрица памяти разбита на 32 секций по 32x16 элементов памяти.
 - D. Матрица памяти разбита на 16 секций по 64x16 элементов памяти.

1.2. МИКРОСХЕМЫ ДИНАМИЧЕСКИХ ОЗУ

В микросхемах памяти динамического типа функции ЭП выполняет электрический конденсатор, образованный внутри МОП-структуры. Информация представляется в виде заряда на емкости. Сопротивление утечки МОП-транзистора достаточно велико ($10^{12} \dots 10^{14}$ Ом), накопленный на емкости заряд сохраняется не менее 2 мс при температуре не более 100°C . Поэтому требуется периодическая регенерация хранимых данных (восстановление заряда на запоминающей емкости) с частотой не менее 500 Гц при помощи специальных схем. Вместе с тем, в сравнении со статическими ОЗУ снижается энергопотребление и значительно упрощается схема ЭП. Последнее позволяет повысить степень интеграции.

Технология n-МОП является основной для изготовления микросхем динамической памяти. Потенциально, она обеспечивает максимум быстродействия, уровня интеграции и времени сохранения заряда (минимум токов утечки). Эти микросхемы имеют ряд особенностей, существенно отличающих их от микросхем статических ОЗУ: мультиплексирование адресного кода, более сложные временные диаграммы сигналов управления, регенерация хранимой информации, сравнительно большое число контролируемых временных параметров. Все это значительно усложняет проектирование динамических ОЗУ. И все же указанные ранее достоинства сделали их основным видом главной памяти современных ЭВМ.

Серия K565 содержит, за исключением самых первых (PУ1,3) и самых последних (PУ8,9) вариантов, 14 разновидностей микросхем динамических ОЗУ с параметрами:

$N \times n = 16\text{K} \times 1, 32\text{K} \times 1, 64\text{K} \times 1, 256\text{K} \times 1;$

$t_{ц.зп/сч} = 230 \dots 460$ нс;

$E_n = 5$ В;

входы и выходы – ТТЛ и ТТЛ-3 соответственно;

$P_{пот} = 120 \dots 350$ мВт при обращении и $20 \dots 35$ мВт при хранении;

$I_{вых}^0 = 4$ мА, что определяет нагрузочную способность микросхем в статике. То же значение $I_{вых}^0$ характерно и для микросхем статической памяти КМОП и n-МОП. Но там допускается существенно большая емкостная нагрузка – в сотни пФ.

Развитие микросхем динамической памяти связывается с повышением уровня интеграции (так, микросхема K565PУ9 имеет $N \times n = 1\text{M} \times 1$), ростом быстродействия и совмещением в одном кристалле накопителя с устройством регенерации (так называемое квазистатическое ОЗУ). Элементы встроенной системы регенерации присутствуют в мик-

росхеме K565PY7. Это делает возможным для нее режим авторегенерации.

Микросхема K565PY5. Она достаточно распространена в настоящее время. Имеет 8 модификаций. Основные варианты информационной емкости – 64К x 1 и 16К x 1. На рис. 1.4,а представлены УГО и таблица функционирования для первого варианта, который рассматривается далее. Временные диаграммы сигналов в режимах записи и считывания показаны на рис. 1.4,б,в соответственно.

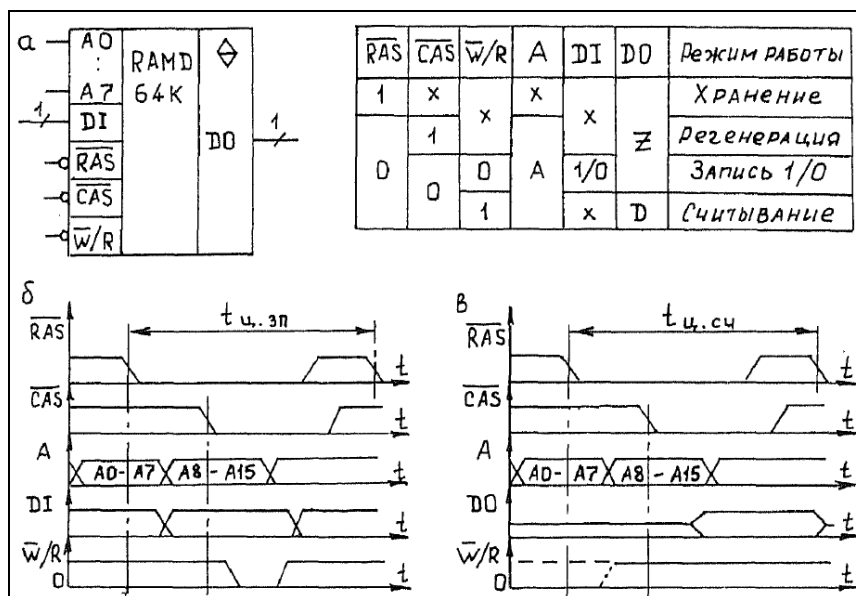


Рис.1.4

При обращении к микросхеме для записи информации необходимо последовательно подать:

1. Код адреса строк <A7,...,A0>.
2. Одновременно с ним или с некоторой задержкой (не нормируется) – сигнал \overline{RAS} , по срезу которого защелкивается адрес строки.
3. Затем с нормированной задержкой на время удержания адреса строк относительно среза \overline{RAS} подается код адреса столбцов <A15,...,A8>.
4. Далее через нормированное время установления этого адреса – сигнал \overline{CAS} . По его срезу защелкивается адрес столбца.
5. К моменту подачи кода адреса столбцов на вход DI поступает записываемый бит информации, который сигналом $\overline{W/R}$ при наличии $\overline{CAS} = 0$ фиксируется на входном триггере-защелке.

6. Запись должна успеть завершиться в течение действия импульса \overline{RAS} . Между двумя соседними импульсами должна быть выдержана пауза, необходимая для восстановления состояния внутренних цепей микросхемы.

В том же порядке должны быть поданы адресные и управляющие сигналы при считывании ($\overline{W}/R = 1$) – рис. 1.4, в. Временная диаграмма для режима регенерации включает только сигналы \overline{RAS} и кода адреса строки $\langle A7, \dots, A0 \rangle$. Так что \overline{RAS} – это сигнал инициализации микросхемы (аналогичен сигналу \overline{CS} выбора кристалла). Полный перечень контролируемых временных параметров динамического ОЗУ включает более десятка наименований.

Упрощенная структура кристалла РУ5 (64К x 1) отвечает рис. 1.5,а. Сначала на входы А подаются восемь младших разрядов адреса $\langle A7, \dots, A0 \rangle$, которые запоминаются во внутреннем адресном RGX по срезу \overline{RAS} . Затем на эти линии поступают восемь старших разрядов адреса $\langle A15, \dots, A8 \rangle$. Они фиксируются по срезу \overline{CAS} в RGY.

Сигналом \overline{RAS} строится и УВВ. Матрица памяти МП содержит 128 строк и 512 столбцов. Поэтому фактически $Ax = \langle A6, \dots, A0 \rangle$ и $Ay = \langle A15, \dots, A7 \rangle$. Разряд А7 запоминается в RGX, но дешифрируется в DCY вместе с содержимым RGY. Такая организация позволяет ускорить построчную регенерацию микросхемы в целом (см. далее).

Схема ЭП вместе с фрагментами цепей считывания и управления записью показана на рис.1.5,б. В состав ЭП входят конденсатор С емкостью 0,1 – 0,2 пФ и транзистор Т. Характерно, что запоминающая емкость не реализуется специально. Это паразитная емкость между "висячим" истоком и подложкой. Дополнительные компоненты рисунка: УС – усилитель считывания; Т₁ и Т₂ – ключи для задания на шине считывания ШС необходимых в процессе работы потенциальных уровней; С_ш – распределенная емкость шины. Значение $C_{ш}/C \geq 100$, так как ШС связывает ЭП множества строк; ШЗ – разрядная шина записи; У«0» и У«1» – линии установки нулевого и единичного значений потенциала ШС.

Считывание проводится в два этапа. Сначала С_ш заряжается до E_п через триод Т₁ (на У«1» – ВП). Затем на ШВ подается положительный импульс выборки. При этом триод Т в ЭП открывается, напряжения на емкостях С и С_ш выравниваются. Изменение потенциала шины ШС

$$\Delta U_{ш} = (E_{п} - U_c(0))C / (C + C_{ш}) \approx 0,01(E_{п} - U_c(0))$$

максимально при $U_c(0) = 0$ В (хранение 0). Значение $\Delta U_{ш}^{max} = 50$ мВ, что достаточно для переключения балансного усилителя в УС. Заметим,

что считывание нуля происходит в данном случае с разрушением информации.

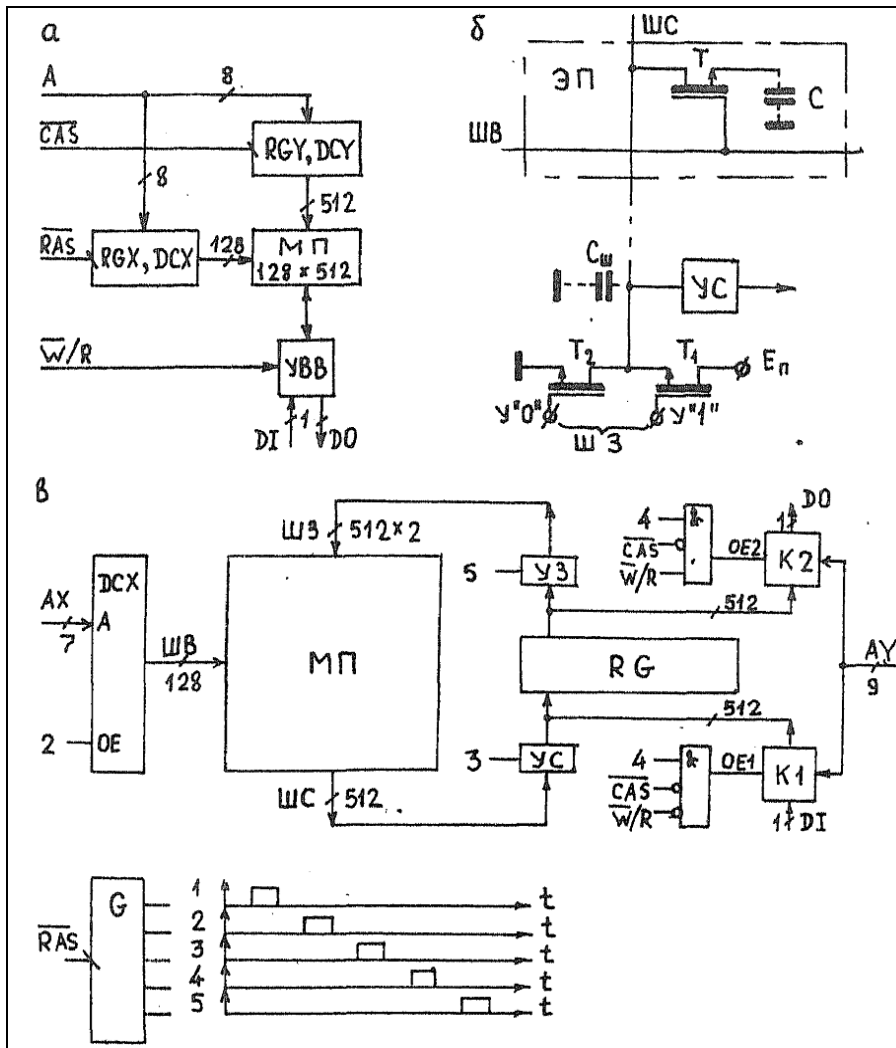


Рис. 1.5

При записи 0 оба конденсатора – C_w и C разряжаются через триод T_2 ($Y'0$, ШВ – ВП). В случае записи 1 эти конденсаторы заряжаются через триод T_1 ($Y'1$, ШВ – ВП) до E_n .

Более детальное, чем ранее, представление об организации функционирования микросхемы дает ее стилизованная логико-структурная схема (рис. 1.5,в). В этой схеме:

RG – внутренний регистр для промежуточного хранения состояний выбранной строки;

K1 – входной демультиплексор;

K2 – выходной мультиплексор;

УС – усилители считывания (стробируемые);

УЗ – усилители записи (стробируемые).

По срезу \overline{RAS} (разрешение обращения) вырабатывается серия из пяти строб-импульсов (рис. 1.5,в; внизу):

1 – формирование ВП на линии У«1» (рис.1.5,б) для начального заряда емкости $C_{ш}$;

2 – разрешение подачи ВП на одну из ШВ;

3 – стробирование УС для поразрядной записи в RG содержимого выбранной из МП строки;

4 – стробирование записи извне в выбранный разряд RG ($\overline{CAS} = 0$, $\overline{W/R} = 0$) либо чтения бита из этого разряда ($\overline{CAS} = 0$, $\overline{W/R} = 1$);

5 – стробирование поразрядной записи содержимого RG в выбранную строку МП.

Таким образом, как при чтении, так и при записи имеет место регенерация выбранной строки. Но если обращения к некоторой строке нет достаточно долго, то ее необходимо регенерировать принудительно. Полагая $t_{ц,рег} = 200$ нс, для времени непрерывной регенерации 128 строк получаем 25,6 мкс $\ll T_{рег} = 2$ мс. Следовательно, регенерация занимает примерно 1,3% от общего времени работы памяти, т.е. мало влияет на ее быстродействие. Различные режимы регенерации организуются с помощью специального контроллера динамической памяти.

Вопросы для самопроверки

(Выбрать правильный из приведенных вариантов ответа)

1. В основе работы динамической памяти лежит принцип хранения информации ...?
 - A. На триггере.
 - B. В регистре.
 - C. На емкости.
 - D. В RC-цепочке.
 - E. В RL-цепочке.
2. Требуется ли периодическая регенерация хранимых данных в динамическом ОЗУ?
 - A. Да.
 - B. Нет.
3. По сравнению со статическими в динамических ОЗУ ...?
 - A. Снижено энергопотребление и упрощена схема ЭП.

- В. Повышено энергопотребление и упрощена схема ЭП.
 - С. С. Снижено энергопотребление и усложнена схема ЭП.
 - Д. Повышено энергопотребление и усложнена схема ЭП.
4. На рис.1.5,а представлена упрощенная структура кристалла K565PY5. Где происходит дешифрация разряда A7, сохраненного в RGX?
- A. В RGY.
 - B. В DCX.
 - C. В DCY.
 - D. В МП.
 - E. В УВВ.
5. Схема ЭП микросхемы K565PY5 вместе с фрагментами цепей считывания и записи показана на рис.1.5,б. Что происходит при записи нуля?
- A. Оба конденсатора С, Сш разряжаются.
 - B. Оба конденсатора С, Сш заряжаются.
 - C. Конденсатор С заряжается, Сш разряжается.
 - D. Конденсатор С разряжается, Сш заряжается.
6. На рис.1.5,в представлена организация микросхемы K565PY5. По срезу вырабатывается серия из 5 строб-импульсов. Что происходит по первому стробу?
- A. Формирование ВП на линии У«1» для заряда емкости Сш.
 - B. Формирование ВП на линии У«1» для разряда емкости Сш.
 - C. Разрешение подачи ВП на одну из ШВ.
 - D. Запрещение подачи ВП на одну из ШВ.
 - E. Стробирование УС для поразрядной записи в RG выбранной из МП строки.
 - F. Стробирование УС для поразрядной записи в RG выбранного из МП столбца.

1.3. МИКРОСХЕМЫ МАСОЧНЫХ И ПРОГРАММИРУЕМЫХ ПЗУ

Основными требованиями к ПЗУ являются: неразрушаемость хранимой информации и энергонезависимость, т.е. способность сохранять информацию при отключении питания. ПЗУ могут работать в двух режимах: хранение и считывание. Поэтому основным временным параметром для них является время выборки t_n . Все микросхемы ПЗУ имеют многоразрядную организацию $N \times n$, $n > 1$.

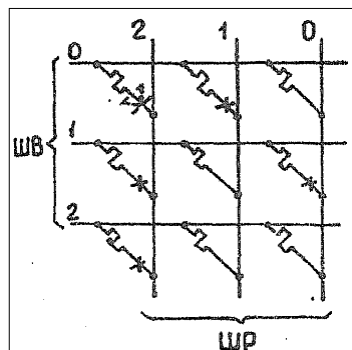
По способу программирования, т.е. записи информации, микросхемы ПЗУ подразделяются на 3 группы:

1) масочные ПЗУ (МПЗУ, ROM). Однократно программируются изготовителем по способу заказного фотошаблона (маски);

2) электрически программируемые ПЗУ (ППЗУ, PROM). Однократно программируются пользователем по способу пережигания плавких перемычек на кристалле;

3) репрограммируемые ПЗУ (РПЗУ, EPROM). Многократно программируются пользователем.

Принцип запоминания информации в случае ППЗУ иллюстрирует рис. 1.6. На кристалле, поставляемом пользователю, содержатся все



элементы связи (перемычки из нихрома, поликристаллического кремния и др.) между словарными и разрядными линиями. При программировании в разряде, где должен быть записан 0, перемычка разрушается. На рисунке дан пример записи трех слов: ячейка 0 – 101, ячейка 1 – 010 и ячейка 2 – 011. Разрушенная перемычка отмечена символом «х». Передача сигнала от ШВ к ШР обычно сопровождается его усилением, для чего последовательно

Рис. 1.6 с перемычкой включается активный элемент.

На любой ШР выполняется объединение по ИЛИ. Поэтому элемент связи должен как минимум содержать диод (показан пунктиром на рис. 1.6).

В МПЗУ программирование осуществляется не разрушением ненужных, а напротив, созданием нужных перемычек. Такая технология обеспечивает повышенную надежность записи. Но она применяется только при изготовлении достаточно крупных партий однотипных ПЗУ (с одной и той же записанной информацией), ибо изготовление фотошаблонов – довольно дорогостоящий процесс. Чтобы запрограммировать РПЗУ, надо предварительно стереть записанную ранее информацию. То и другое достаточно специфично.

Микросхемы масочных ПЗУ

Микросхемы МПЗУ (ROM) изготавливаются по ТТЛ-, МОП- и КМОП-технологиям с информационной емкостью от 1К до 1М бит. Их разрядность – от 4 до 16, выходы - ТТЛ-ОК (с открытым коллектором) либо ТТЛ-3. Номенклатура ROM достаточно велика и постоянно растет. Занесенную в ROM информацию в технической документации называют «прошивкой». Большинство микросхем имеет стандартные прошивки. Но имеются и микросхемы, прошивка которых выполняется изготовителем по специальным картам заказа. К таковым относятся, например, микросхемы K1801PE1 и K1809PE1 ($N \times n = 4K \times 16$).

Стандартные прошивки достаточно стереотипны. Вот некоторые примеры:

K155PE21...24 – буквы русского, латинского алфавитов, арифметические знаки и цифры;

KP555PE4 – символы кода обмена информацией КОИ 2-8;

K505PE3 (разные модификации) – буквы, знаки и цифры, коэффициенты быстрого преобразования Фурье, значения синусов и квадратов;

KP568PE2 (разные модификации) – буквы, знаки и цифры, символы международных телеграфных кодов №2 и 5, кодовые таблицы, значение синусов, ассемблер и редактор текстов;

KP1610PE1 (8 модификаций) – программное обеспечение микро-ЭВМ «Искра».

Микросхемы K155PE21-24. Их УГО показано на рис. 1.7,а. Это одни из наиболее ранних микросхем МПЗУ. Тем не менее, по своей структуре они достаточно представительны для всего класса ROM. Микросхема PE21 содержит буквы русского алфавита, PE22 – латинского, PE23 – арифметические знаки и цифры, PE24 – дополнения различных символов (см. далее). Параметры этих микросхем: $N \times n = 256 \times 4$; $t_n = 30$ нс; $P_{\text{пот}} = 650$ мВт; тип выхода – ТТЛ-ОК.

Отметим особенности их структуры (рис. 1.7,б). Матрица памяти МП содержит 32 m -эмиттерных транзистора T_m , $m=32$. Базы T_m образуют строки матрицы. Они подключены к выводам DCX. Компоненты адреса подаются на DCX парафазно через формирователь FX. Коллекторы всех T_m соединены с шиной питания. Эмиттеры либо связаны с разрядной шиной (в данном разряде записана 1), либо не связаны (записан 0). Соответствующая иллюстрация будет дана в следующем разделе на примере ППЗУ.

Разрядные шины разделены на 4 группы по 8 линий в каждой. Селекторы групп SEL_i , $i = 1...4$, представляют собой наборы ключей, управляемых с выходов DCY. Любой селектор выбирает из 8 входных линий одну и коммутирует ее на выход через стробируемый усилитель считывания УС. Активизация всех УС происходит при $\overline{CS1} = \overline{CS2} = 0$.

В своей совокупности микросхемы K155PE21-24 образуют генератор символов на 96 знаков формата 7x5 точек. Возможная реализация такого генератора представлена на рис.1.7,г (внешние резисторы не показаны). В данном случае код адреса разбивается на три части: $\langle A2...A0 \rangle$, $\langle A7...A3 \rangle$ и $\langle A9 A8 \rangle$. Два старших разряда выбирают микросхему и дополняющий выход PE24 (через мультиплексор КП2). Разряды A7–A3 определяют вид символа из набора символов выбранной микросхемы. Младшие разряды выделяют строку символа. Сигналы с выходов V1–V5 поступают на устройство отображения.

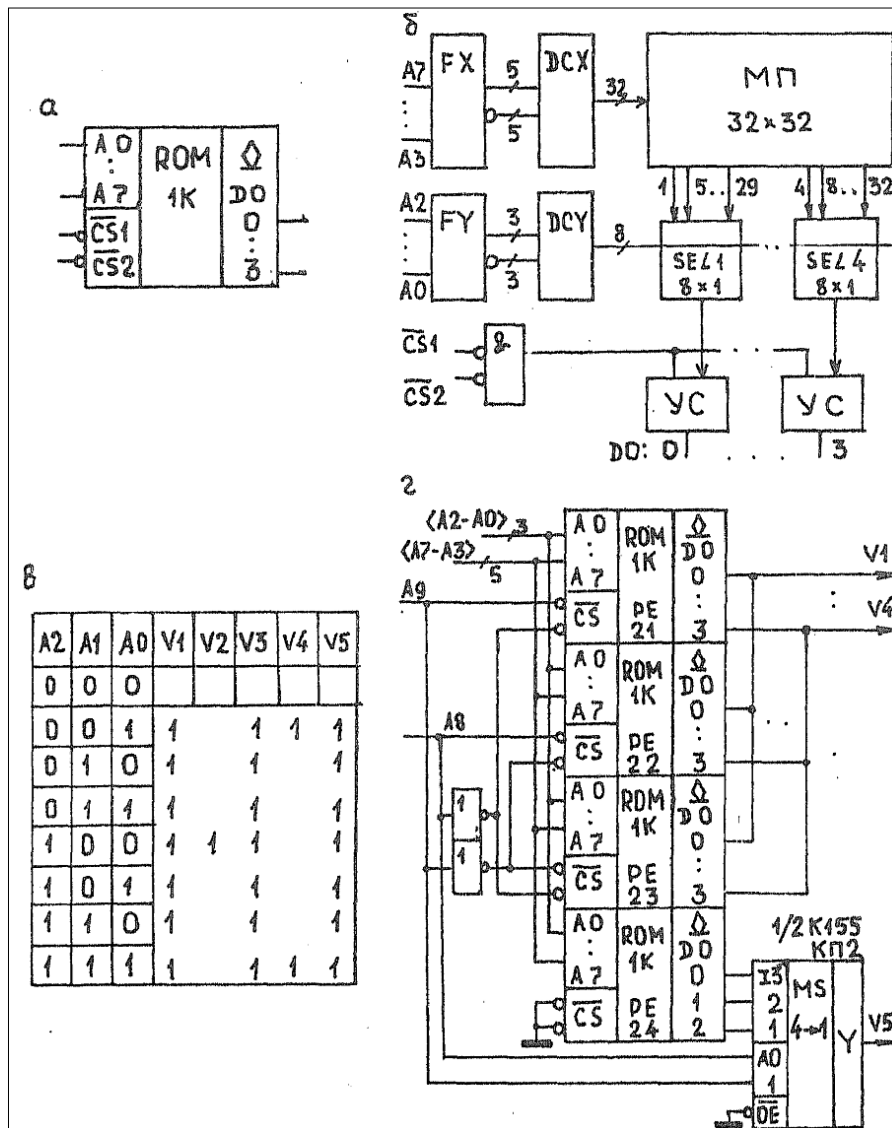


Рис.1.7

Так, при $\langle A9 A8 \rangle = 01$ выход формируется микросхемой PE21 и выводом DO2 микросхемы PE24. В соответствии с таблицей прошивки микросхемы PE21 при $\langle A7 \dots A3 \rangle = \langle 0 \dots 0 \rangle$ и последовательном переборе комбинаций $\langle A2 \dots A0 \rangle$ временная совокупность управляющих сигналов V1–V5 отвечает букве Ю (рис.1.7,в). Нулевая комбинация $\langle A2 \dots A0 \rangle$ не используется.

Некоторые тенденции. Для БИС памяти в целом характерна устойчивая тенденция к их функциональному усложнению. В частности, в структуру микросхем ROM встраивают интерфейсные узлы для их сопряжения со стандартной магистралью. Так, микросхемы K1801PE1 и K1809PE1 имеют встроенный контроллер ПЗУ. Микросхемы K596PE2 (64Kx16) и K563PE2 (32Kx8) – встроенные схемы самоконтроля и исправления одиночных ошибок при считывании. Наиболее перспективной считается технология КМОП как наименее энергоемкая. Например, $P_{\text{пот}}$ для микросхемы K563PE2 (КМОП) в 50 раз меньше энергопотребления микросхемы K596PE2 (ТТЛ) при практически одинаковом быстродействии. В изготовлении КМОП-микросхем ПЗУ достигнуты значительные успехи.

Микросхемы программируемых ПЗУ

Большинство PROM изготавливается по ТТЛШ-технологии. Ведущее положение занимает серия K556. Она включает микросхемы емкостью до 64К бит (PT16) с 4- и 8-разрядной организацией, $t_b = 45...85$ нс, $P_{\text{пот}} = 0,6... 1$ Вт. Серия КМОП (K1623) имеет более низкое быстродействие. Так, для микросхемы K1623PT1: $N \times n = 2K \times 8$, $t_b = 200$ нс.

Микросхема K556PT4 (рис.1.8,а – ее УГО) имеет параметры: $N \times n = 256 \times 4$; $t_b = 70$ нс; $P_{\text{пот}} = 690$ мВт; выход ТТЛ-ОК. Структура микросхемы подобна K155PE21-24, за исключением выходных цепей (рис. 1.8,б). Формирователи записи F разрешаются в режиме программирования подачей ВП на $\overline{CS2}$. При этом они шунтируют (блокируют) усилители считывания УС. Выбор кристалла в режиме обычного функционирования ПЗУ (хранение-чтение) осуществляется по $\overline{CS1} = \overline{CS2} = 0$. Значение $\overline{CS2} = 0$ блокирует формирователи, и они не влияют на работу схемы.

Усилители УС – инвертирующие. Поэтому наличие перемычки отвечает записи 0, ее отсутствие – записи 1. Кристалл поставляется пользователю с записью 0 во всех словах и разрядах. У всех микросхем серии K556 перемычки – из нихрома (в серии K541 – из поликристаллического кремния). Предприятие-изготовитель оставляет за собой право поставлять микросхемы ППЗУ с начальной информацией в некотором числе ячеек памяти (обычно не более 4). Причиной могут быть испытания микросхем на программируемость при их выпуске. Ячейки с начальной информацией указываются в сопроводительном документе.

Упрощенная схема кристалла K556PT4 приведена на рис. 1.8,в. Матрица памяти МП имеет организацию 32×32 бит. Она содержит 32 m-эмиттерных транзисторов $MЭT_i$, $m = 32$. База $MЭT_i$ образует строку матрицы из восьми 4-разрядных слов. Эмиттеры каждой строки разде-

лены на 4 группы по 8 бит. Селектор (ключи $T_0 \dots T_7$) выбирает в каждой группе по одному эмиттеру. Любую группу обслуживает свой УС (8-входовый элемент И-НЕ с дополнительным логическим входом $\overline{CS1}$) и свой F ($T_M, j \in \{0,3\}$), управляемый сигналом $\overline{CS2}$.

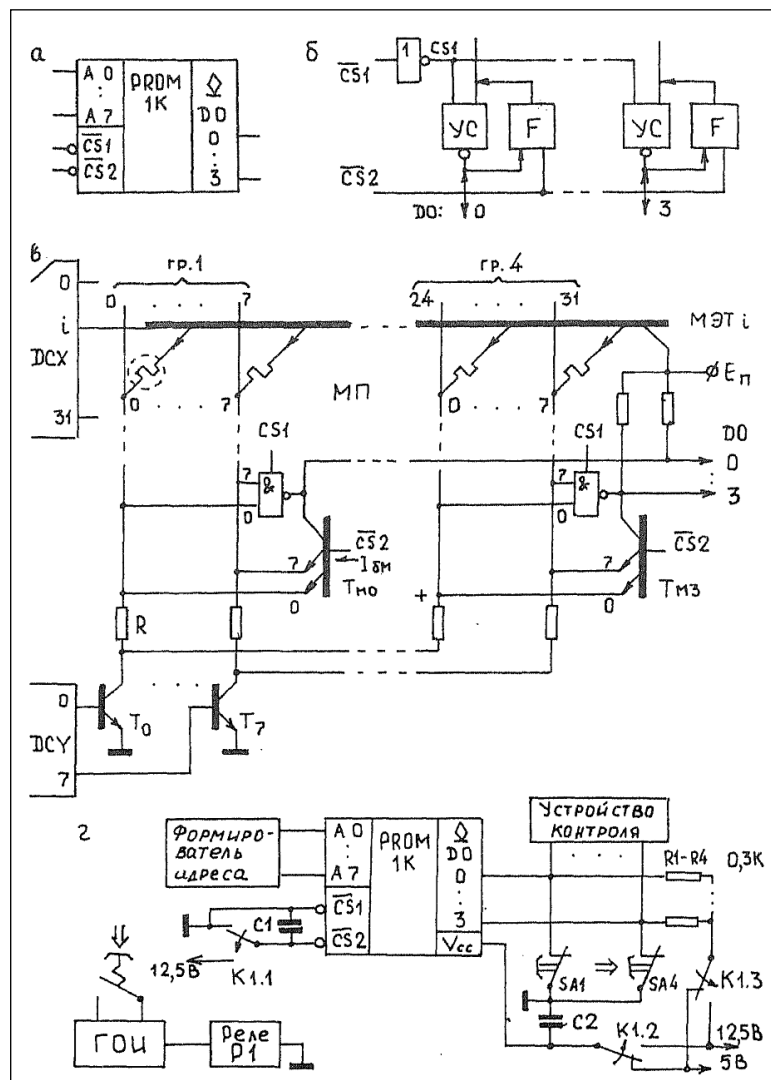


Рис.1.8

В режиме считывания $\overline{CS1} = \overline{CS2} = 0$. При этом все T_{Mj} закрыты. Сигнал на выбранной ключом T_k ($k \in \{0,7\}$) разрядной линии каждой

группы инвертируется и передается на выход. Если в данном разряде выбранного слова записан 0 (перемычка цела), то на линии действует ВП с выхода DCX. В случае разрушенной перемычки (записи 1) – НП (потенциал насыщенного T_k).

Рассмотрим режим программирования. При этом во избежание объяснительных коллизий из-за упрощения схемы будем условно считать $\overline{CS1} = 1$ (УС заблокирован), хотя в реальной схеме это не так. В каждый момент времени программируется только один разряд выбранного слова. Последовательность действий такова:

1. На адресные входы микросхемы подается адрес ячейки памяти.
2. Выход DO того разряда, где надо разрушить перемычку (записать 1), заземляется.

3. На выходы E_n , $\overline{CS2}$ коммутируется положительный импульс напряжения амплитудой 10... 14 В и длительностью 100...300 мс.

Пусть, например, требуется разрушить перемычку, выделенную на рис. 1.8, в пунктиром (адрес $A = \langle 0 \rangle$, выход – DO 0). Поскольку DO 0 заземлен, то все эмиттеры T_{M0} обесточены (ток $I_{бм}$ ответвляется в цепь коллектора) и T_{M0} не создает падения напряжения на резисторе R. Поэтому через выделенную перемычку протекает ток 20...30 мА, который замыкается через T_0 . Перемычка расплавляется. Транзисторы $T_{M1} - T_{M3}$ создают падения напряжений на трех других резисторах, связанных с T_0 . Поэтому соответствующие эмиттерные переходы выбранной ячейки закрыты, и перемычки в их эмиттерах сохраняются. Все другие перемычки выбранной строки МП остаются целыми, так как они связаны с закрытыми ключами $T_1 - T_7$.

Особенности реальной схемы проявляются в том, что при записи 1 в некоторый разряд соответствующий выход надо оставлять свободным, а все другие следует заземлять. У некоторых микросхем, в частности – K556PT5 и PT17 (512x8), имеется специальный (не логический) вывод U_{PR} для подачи напряжения программирования. В режиме считывания этот вывод не задействован.

Техника программирования. Технические средства для выполнения этой операции достаточно просты и могут быть изготовлены самим пользователем. Простейший программатор представлен на рис. 1.8, г. Он функционирует следующим образом.

На этапе подготовки микросхему проверяют на наличие 0 во всех ЭП, подавая на адресные входы $\langle A7, \dots, A0 \rangle$ все адресные наборы и контролируя состояния выходов устройством контроля. При этом ключи SA1...SA4 разомкнуты, реле P1 обесточено, его контакты K1.1...K1.3 находятся в показанных на рисунке состояниях. По окончании контроля выходы микросхемы заземляют ключами SA1...SA4. Управляющие входы $\overline{CS1}$, $\overline{CS2}$ по-прежнему соединены с корпусом.

На этапе программирования кодом адреса выбирают ячейку памяти, затем размыкают ключ того выхода, которому принадлежит программируемый ЭП (в него надо записать 1), и запускают генератор одиночных импульсов ГОИ. Реле Р1, переключив свои контакты К1.1 – К1.3, коммутирует на выводы $\overline{CS2}$, U_{cc} (E_n) и внешнего E_n напряжение 12,5 В. Прожигание перемычек проводится по одной последовательно во времени, чтобы не нарушить температурный режим микросхемы.

Серийно выпускаются программаторы АУПП, 815, УЗП-80 и др. Активно разрабатываются встроенные средства программирования, ориентированные на конкретные микроЭВМ. Перспективным является направление создания универсальных программаторов для всех микросхем ППЗУ и РПЗУ, способных к быстрой перенастройке при изменении типа микроЭВМ. Процесс программирования в целом достаточно трудоемок.

Во-первых, по окончании записи следует проверить состояния всех ячеек памяти и при необходимости повторить программирование. Такая необходимость вполне вероятна, так как предприятие-изготовитель гарантирует надежное программирование только части выпускаемых микросхем. Эту часть оговаривают в технических условиях (ТУ) коэффициентом программирования, значения которого для разных типов микросхем меняются от 0,3 до 0,9. Так, для К556РТ4 он равен 0,65. Это означает, что из 100 микросхем, подвергнутых программированию, только у 65 гарантирована правильная запись информации.

Во-вторых, надо учитывать возможность восстановления проводящей перемычки со временем из-за явления «миграции ионов». Чтобы выявить слабые (в указанном смысле) места в запрограммированной микросхеме, ее подвергают электротермотренировке (искусственному «старению») в течение не менее 168 часов при температуре 125°С с последующим полным контролем. В случае нарушения записи повторяют цикл программирования и тренировку. При повторном нарушении микросхему бракуют.

Более надежным является программирование путем подачи серии импульсов (1000 импульсов и более) длительностью 25...50 мкс каждый со скважностью 10 и временем нарастания 0,3...3 мкс. Такой режим требует усложнения схемы программатора. Установлено, что если прожигание происходит под действием импульса с крутым фронтом, то оно носит характер микровзрыва с интенсивной окислительной реакцией на краях разрыва. В таком случае вероятность восстановления перемычки существенно уменьшается. Эффект восстановления после пережигания практически отсутствует для перемычек из поликристаллического кремния (серия К541). Тренировку запрограммированных микросхем с такими перемычками можно не проводить.

Вопросы для самопроверки

(Выбрать правильный из приведенных вариантов ответа)

1. Как осуществляется программирование в масочных ПЗУ?
 - A. Созданием нужных перемычек на кристалле.
 - B. Пережиганием перемычек на кристалле.
 - C. Ультрафиолетовым стиранием.
2. На рис.1.7,г показана реализация генератора символов на 96 знаков формата 7x5 точек с применением микросхем K155PE21-24. Какой из ROMов (кроме PE24) будет активен, если на A8 подать «1», а на A9 подать «0»?
 - A. PE21.
 - B. PE22.
 - C. PE23.
3. На рис.1.8,в показана упрощенная схема кристалла K556PT4. Что будет считано с 0-го разряда группы 1, если обведенная пунктиром перемычка разрушена?
 - A. 0.
 - B. 1.
 - C. Высокоимпедансное состояние.
4. В программируемом ПЗУ разрушенная перемычка может восстановиться. Вследствие чего это происходит?
 - A. Миграции ионов.
 - B. Миграции катодов.
 - C. Миграции анодов.
5. Какой по номеру выход DO следует заземлить для пережигания перемычки в четвертой группе эмиттеров на рис. 1.8,в?
 - A. Нулевой.
 - B. Первый.
 - C. Второй.
 - D. Третий.

1.4. МИКРОСХЕМЫ РЕПРОГРАММИРУЕМЫХ ПЗУ И ПЛМ

Микросхемы репрограммируемых ПЗУ

Микросхемы РПЗУ способны к многократному (от 10 до 10 тыс.) перепрограммированию самим пользователем. Это достигается применением ЭП со свойствами «управляемых перемычек». Функции таких перемычек выполняют транзисторы со структурой МНОП (металл Al – нитрид кремния Si_3N_4 – окисел кремния SiO_2 – полупроводник Si) и МОП-транзисторы с плавающим затвором (ПЗ) – со структурой ЛИЗ-МОП. В последних использован механизм лавинной инжекции заряда.

Элементы памяти. Структура МНОП (рис. 1.9,а) имеет двухслойный диэлектрик под затвором. Верхний слой формируется из нитрида кремния, нижний - из оксида кремния. Толщина нижнего слоя значительно меньше, чем верхнего.

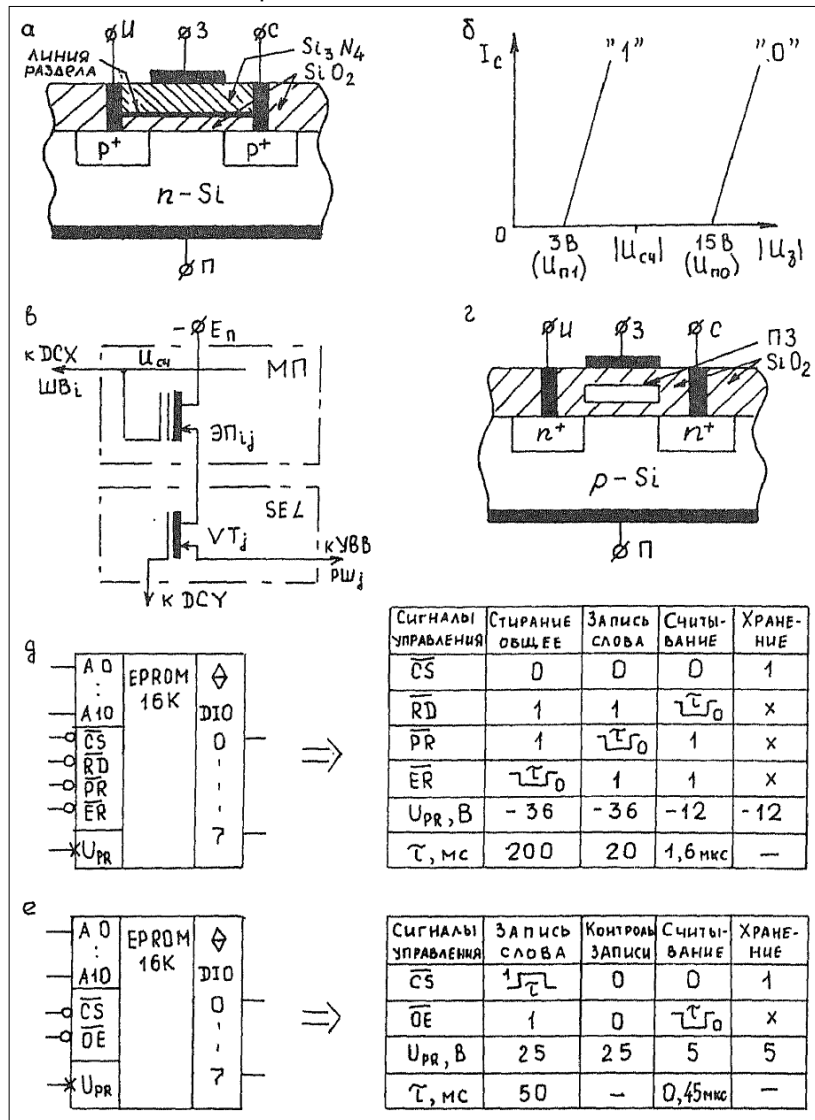


Рис. 1.9

Если на затвор относительно подложки подать положительный импульс амплитудой 30...40 В, то под действием электрического поля

электроны приобретают достаточную энергию, чтобы пройти тонкий диэлектрический слой до границы раздела двух диэлектриков. Накопленный на этой границе заряд электронов снижает пороговое напряжение и смещает передаточную характеристику транзистора влево, что отвечает записи 1 (рис. 1.9,б). Для записи 0 на затвор подают отрицательный импульс той же амплитуды. При этом электроны вытесняются в подложку, передаточная характеристика смещается вправо (процесс «стирания»).

Программирование (локальная запись 1) и стирание (массовая запись 0) можно осуществить импульсами одной полярности: отрицательной – для р-МНОП, положительной – для n-МНОП. Так, в случае р-МНОП, если на исток и сток подать отрицательный импульс амплитудой 30...40 В, а затвор и подложку соединить с корпусом, то наблюдается следующее. В результате электрического пробоя переходов И – П и С – П происходит лавинное размножение электронов, инжекция некоторых из них (так называемых «горячих», т.е. обладающих достаточной энергией) на границу между слоями диэлектриков. Стирание осуществляется по-прежнему.

В режиме считывания (рис. 1.9,в) на шине выборки ШВ_i действует напряжение $U_{сч}$, такое что $|U_{п1}| < |U_{сч}| < |U_{п0}|$. Если в ЭП записана 1, то триод откроется, по разрядной шине РШ_j протекает ток. Иначе триод закрыт, и ток отсутствует.

Структура ЛИЗМОП (рис. 1.9,г) представляет собой n-МОП транзистор, у которого в подзатворном диэлектрике SiO₂ сформирована изолированная проводящая область из металла или поликристаллического кремния. Этот второй затвор называют "плавающим".

В режиме программирования на И, З, С подают положительный импульс амплитудой 21...25 В. В обратно смещенных р-п переходах возникает процесс лавинного размножения носителей заряда, и часть электронов инжектирует на ПЗ. Накопленный на ПЗ отрицательный заряд смещает передаточную характеристику вправо, что отвечает записи 0. Считывание – как и в МНОП.

Стирание записанной информации (массовая запись 1), т.е. вытеснение заряда с ПЗ, может быть выполнено в данном случае двумя способами:

- 1) электрическим (РПЗУ-ЭС) – подачей положительного импульса на затвор. Аналогичный способ применяют в структурах МНОП;
- 2) ультрафиолетовым (УФ) облучением (РПЗУ-УФ) электроны рассасываются с ПЗ в подложку в результате усиления теплового движения под действием УФ-облучения.

В режиме хранения обеспечивают отсутствие напряжений на электродах ЭП, чтобы исключить рассасывание заряда в диэлектриче-

ской среде. Теоретическое время сохранения заряда – сотни лет. Практическое – от нескольких тысяч часов до нескольких лет.

Характеристика микросхем. Достоинством микросхем группы ЭС (МНОП и ЛИЗМОП) является значительное число циклов перепрограммирования (до 10 тыс.). Поэтому они широко используются в качестве встроенных ПЗУ с часто изменяемой информацией. Гарантийный срок сохранения информации при отключении питания составляет от 3 тыс. часов до 5 лет.

Микросхемы р-МНОП (КР558РР1; КР1601РР1,3) имеют сравнительно низкое быстродействие ($t_b = 1,6...5$ мкс), высокое напряжение программирования ($U_{PR} = -30...-40$ В), требуют два источника питания (5 В и -12 В). Микросхемы n-МНОП (КР558РР2,3; К1611РР3) имеют $t_b = 0,3...0,4$ мкс, $U_{PR} = 22$ В и единственное $E_n = 5$ В. Их применение предпочтительно.

Рассмотрим пример микросхемы КР1601РР3 (рис. 1.9,д – ее УГО и условия реализации различных режимов) с параметрами: $N \times n = 2K \times 8$; $t_b = 1,6$ мкс; $P_{пот} = 850$ мВт; $E_{п1,2} = 5, -12$ В; $U_{PR} = -36$ В; суммарное время программирования и стирания – 40 с и 0,2 с соответственно. Эта микросхема имеет структуру, аналогичную структуре микросхемы К537РУ8 (см. рис. 1.3,а). Но она содержит дополнительные функциональные узлы для реализации режимов стирания и программирования под действием логических сигналов \overline{ER} и \overline{PR} .

По окончании стирания все ЭП находятся в состоянии 0. В режиме стирания сигналы на адресных и информационных входах безразличны. Допускается и построчное стирание. Оно отличается от массового значением $\overline{PR} = 0$, наличием на выводах DIO уровня 1, а на выводах <A10...A4> – адреса стираемой строки. Время стирания прежнее. В режиме программирования на выводы DIO подается записываемый байт, на адресные входы – код адреса. В режиме считывания на вывод U_{PR} коммутируют $E_{п2} = -12$ В.

Группа микросхем РПЗУ-УФ представлена серией К573. Общим недостатком таких микросхем является малое число циклов перепрограммирования (от 10 до 100), что обусловлено быстрым «старением» диэлектрика под действием УФ-облучения, и высокая чувствительность к освещению. Но для них характерны сравнительно малое $t_b \leq 0,45$ мкс, дешевизна и доступность, большая информационная емкость (так, для микросхемы К573РФ9 параметр $N \times n = 128K \times 8$).

Наиболее сложной структурой и широкими функциональными возможностями обладает микросхема К573РФ3 (емкость – 4К x 16; допустимое число циклов перепрограммирования – 10). Она имеет встроенные интерфейсные средства обеспечения обменов со стандартной

магистралью. Достаточно удобна для использования микросхема K573 РФ5 (рис.1.9,е). Ее параметры: $N \times n = 2K \times 8$; $t_b = 0,45\text{мкс}$; $P_{\text{пот}} = 580\text{мВт}$; $E_n = 5 \text{ В}$; число циклов перепрограммирования – 16. В режиме записи на вход \overline{CS} подается положительный импульс логической единицы.

Чтобы реализовать стирание, микросхему УФ извлекают из контактного устройства, замыкают все ее выводы полоской фольги и помещают под источник УФ-облучения на расстоянии 2,5 см с обеспечением обдува микросхемы. Время стирания – 30...60 мин. Стирание можно проводить и без извлечения микросхемы. Тогда надо отключить E_n и подачу всех входных сигналов. Типовые источники УФ-облучения: дуговые ртутные лампы либо лампы с парами ртути в кварцевых баллонах (ДРТ-200, 375; ДБ-8, 60 и др.). Излучение проникает к кристаллу РПЗУ через прозрачное окно в крышке корпуса.

РПЗУ-ЭС на технологии Intel StrataFlash. История показала, что цена на память неизменно понижается с увеличением емкости. И это, в свою очередь, ведет к неизменному росту требований к памяти. Цена на полупроводниковую память (RAM, DRAM, ROM и другие виды) в большой степени определяется количеством кремния, необходимым для запоминания одного бита информации. Как и другие типы полупроводниковой памяти, РПЗУ-ЭС (или flash-память) достигла больших плотностей и довольно низкой цены за счет развития технологии масштабирования, т.е. уменьшения размера транзистора.

Далее рассматривается технология изготовления flash-памяти, которая позволяет увеличить удельную емкость не только за счет уменьшения размеров, но и за счет возможности хранить на одном транзисторе несколько бит информации. В результате уменьшается цена, так как для хранения большего количества информации требуется та же площадь. Эта технология, названная MLC (Multi-Level-Cell), была представлена фирмой Intel под торговой маркой StrataFlash. Переход к новой технологии был осуществлен с использованием оборудования предыдущей.

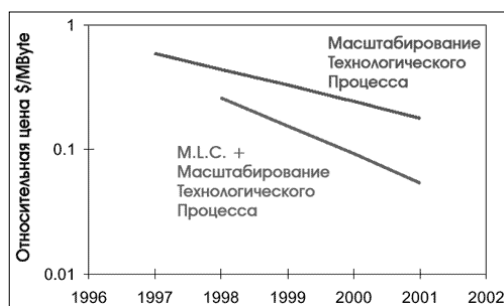


Рис. 1.10

На рис.1.10 показано снижение цены за счет применения MLC. Комбинация энергонезависимости, электрической программируемости и низкой цены стала на сегодняшний день весьма привлекательной для портативных систем, не имеющих доступа к постоянным источникам питания, какими являются батареи.

Например, большинство продаваемых сегодня сотовых телефонов снабжены flash-устройствами. Эти устройства хранят программу связи пользователя с сетью. Часто flash-память применяют для хранения входящих SMS-сообщений или в качестве автоответчика, сохраняющего запись голосового сообщения. И теперь при изъятии, замене или просто разряде батареи энергонезависимость обеспечит сохранение программы связи и всех пришедших сообщений.

Уникальные свойства flash-памяти расширили рынок таких устройств с \$50 млн в 1987 году до \$2.5 млрд в 1997 году. Устройства на flash-памяти сейчас встраиваются в 90% всех персональных компьютеров, более чем в 90% сотовых телефонов и в 50% всех модемов. Они находят применение в «черных ящиках» самолетов, медицинском записывающем оборудовании, цифровых автоответчиках, детских игрушках, принтерах, сетевых устройствах и др. Кроме того, flash-память является одной из составляющих в цифровой аудио- и видеотехнике, где она используется в качестве носителя аудио- и видеопотоков.

Расширение рынка flash-памяти происходит из-за непрерывного увеличения емкости носителей и уменьшения цены. Это позволяет вне-

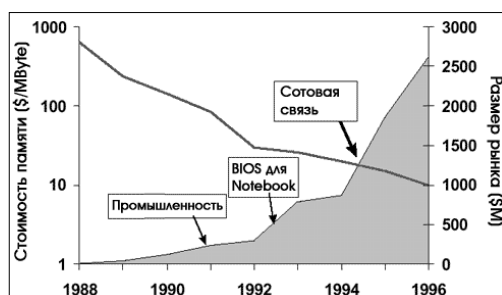


Рис. 1.11

дрять память во все большее количество устройств и таким образом поддерживать этот рынок. На рис.1.11 показано быстрое увеличение размера рынка за счет уменьшения цены на память. С уменьшением цены возникает спрос на flash-память в новых областях, в которых она раньше не использовалась.

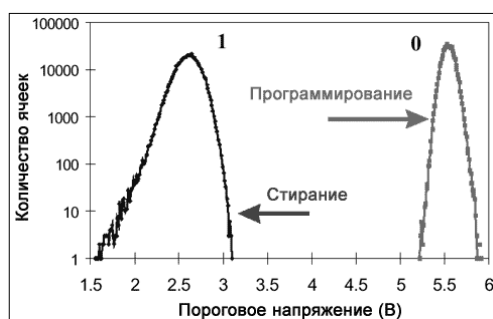
Обычно уменьшение цены и увеличение плотности памяти связано с уменьшением размеров транзисторов при переходе от одной технологии производства к другой (это справедливо для любого типа полупроводниковой памяти, в том числе RAM и DRAM). При этом на одинаковых по площади кремниевых пластинах может располагаться большее количество ячеек памяти, что влечет уменьшение цены за единицу объема памяти.

Ячейка flash-памяти состоит только из одного транзистора, где может храниться один бит информации. Для RAM, к примеру, требуется 6 транзисторов (или 4 транзистора и 2 резистора), для DRAM – один транзистор и одна емкость, для EPROM – два транзистора. Один транзистор считался наименьшей единицей для хранения одного бита данных. В 1992 году группа инженеров компании Intel начала разработки с целью

уменьшить удельную площадь кремниевой пластины, требуемой для хранения одного бита данных. Они решили использовать только часть транзистора для хранения 1 бита, т.е. транзистор должен хранить не один, а несколько бит данных. Так появилась новая технология Intel StrataFlash, обеспечивающая хранение 2 бит на одном транзисторе.

Как уже говорилось ранее, flash-память – это транзистор с плавающим затвором, который позволяет хранить электроны. Поведение транзистора зависит от количества электронов. Операция программирования (заряд плавающего затвора) создает поток электронов между истоком и стоком транзистора. Часть этих электронов набирает достаточное количество энергии, чтобы преодолеть барьер Si-SiO₂ и оказаться запертой на плавающем затворе.

Если заряд плавающего затвора у однобитного транзистора меньше 5000 электронов, то ячейка хранит логическую "1", а если заряд больше 30000 электронов, то – "0". Заряд ячейки вызывает изменение порогового напряжения транзистора. При операции чтения измеряется величина этого порогового напряжения. По нему определяется количество заряда на плавающем затворе.



На рис.1.12 показано распределение пороговых напряжений для массива из полумиллиона ячеек. После операции стирания, или программирования каждой его ячейки было проведено измерение порогового напряжения. Результаты измерений представлены на

рисунке. Стертые ячейки (логическая 1) имели порог 3.1В, в то время как запрограммированные (логический 0) – более 5В. Рис.1.12

рисунке. Стертые ячейки (логическая 1) имели порог 3.1В, в то время как запрограммированные (логический 0) – более 5В.

Flash-ячейка является аналоговым запоминающим устройством, а не цифровым. Она хранит определенный заряд (с точностью до одного электрона), а не биты. Поэтому, используя контролируемый метод программирования, на плавающий затвор можно поместить точное количество заряда. Если найден способ установления четырех разных порций величины заряда в одно из состояний, то можно запрограммировать два бита данных на одной ячейке. Каждое из четырех состояний соответствует одному из двухбитных наборов.

На рис.1.13 показано распределение порогового напряжения для полумиллиона ячеек, способных хранить два бита данных. После сти-

рания или точного программирования одного из трех состояний (трех, потому что одно состояние получается при стирании) были измерены величины пороговых напряжений, и результаты помещены на рисунок. Заметим, что точное управление зарядом позволило двум средним состояниям сузить разброс напряжений до 0.3В, что соответствует 3000 электронов.

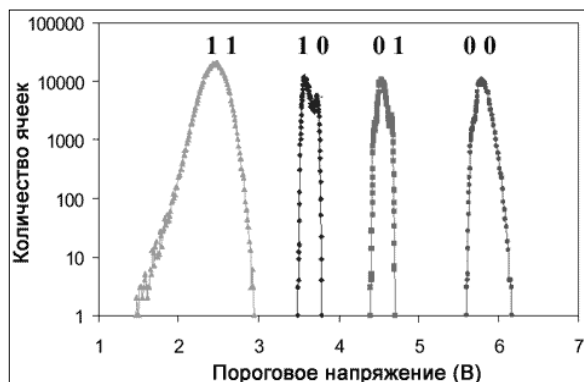


Рис.1.13

В начале 90-х flash-память рассматривалась как потенциальная замена жестких дисков малых объемов для применения в устройствах, требующих хранения небольшого количества данных и потребляющих мало энергии. Одной из проблем применения flash-памяти была ее высокая цена по сравнению с магнитными носителями. К надежности flash-памяти предъявлялись более высокие требования, чем к магнитным носителям, потому что в последних применялся механизм коррекции ошибок, да и скорость вращения диска была не велика для правильного чтения информации.

Технология многобитной ячейки представляла собой идеальное решение для замены жесткого диска с меньшей, чем для однобитной flash-памяти, ценой. Но требовалось удовлетворить нескольким жестким требованиям, которые касались надежности такой памяти. Этой целью задалась фирма Intel, когда начала выполнение программы MLC. В лаборатории компании велись разработки методов размещения и чтения точного заряда, создавался тестовый 32Mb чип по данной технологии с возможностью сохранения нескольких бит информации в одной ячейке памяти. При этом решались три основные задачи:

- Точное размещение заряда: программирование ячейки flash-памяти должно хорошо контролироваться (что требует детального изучения физики программирования). Это значит, что во время программирования нужно подводить к ячейке ток на строго определенное время.

- Точное чтение количества заряда: операция чтения MLC-памяти – это, в основном, аналого-цифровое преобразование заряда, сохраненного в ячейке, в цифровые данные (новое решение для устройств памяти).

– Надежное хранение заряда: для сохранения заряда на долгое время требовалось сделать его утечку меньше одного электрона за день (утечка даже одного электрона в день даст ошибку в бите за десять лет хранения).

Такой чип был создан в 1994 году. Исследования показали, что при нормальной температуре ошибка в бите может возникнуть примерно через 50 лет. Это позволило убрать дополнительные схемы коррекции ошибок для памяти и сэкономить оборудование. С 1995г. Intel развернул большой проект по разработке и созданию на его основе серийной памяти. 32Мб чип показал стабильность и надежность методов, используемых для программирования и чтения данных.

Регуляторы напряжения, необходимые для чтения, поместили внутрь чипа, избавившись от внешнего конвертера напряжения. Позже, в связи с ростом спроса на такую память, было решено делать 64Мб чипы. В сентябре 1997 года был создан первый такой чип. А в 1999 году получен чип с напряжением питания 3В, используемым сейчас для большинства видов flash-памяти. Сравнение обычной flash-памяти и Intel StrataFlash проведено в табл.1.1.

Таблица 1.1

	Однобитовая flash-память (Intel)	5В StrataFlash память	3В StrataFlash память
Размер (Mbit)	32	64	128
Размер одного блока (Kb)	64	128	128
Напряжение питания (В)	2.7 – 3.6	4.5 – 5.5	2.7 – 3.6
Время чтения (ns)	120	150	150
Время записи (ms)	11.3	12.6	13.6
Время стирания (s)	0.55	0.7	1.2
Рабочая температура (°C)	От -40 до +85	От -20 до +70	От -20 до +70
Количество циклов записи	100000	100000	100000

Как видно из таблицы, скорость чтения одного блока для StrataFlash-памяти превосходит скорость чтения для обычной памяти более чем в полтора раза. Это связано с тем, что из одной ячейки памяти читаются сразу два бита, а не один. Вместе с тем, прибавляется некоторое время задержки, связанное с расшифровкой значений битов. То же – при записи и стирании. Остальные параметры достаточно похожи для всех видов памяти.

Программируемы логические матрицы

Переход от ПЗУ к программируемым логическим матрицам (ПЛМ, PLM) обеспечивает практическую безызбыточность реализации логиче-

ских преобразователей и в конечном итоге – значительное снижение необходимой степени интеграции и энергопотребления для данных M и N .

Технические идеи, которые легли в основу построения ПЛМ:

- 1) трансформация матрицы в частичный дешифратор, реализующий заданное подмножество (мощностью $q \ll 2^M$) импликант от M переменных;
- 2) разрешение одновременной активизации в матрице любого числа входов элементов ИЛИ (в пределах 'q').

На языке логики это означает исходное представление системы булевых функций (СБФ) не в виде таблицы истинности, а в виде сокращенной ДНФ. Получение последней связано с использованием развитого аппарата совместной минимизации СБФ.

Проводя аналогию ПЛМ с модулем памяти, следует считать, что каждому адресу (входному набору) ПЛМ могут отвечать несколько возбужденных линий связи между матрицами (в сокращенной ДНФ несколько импликант одновременно могут принимать единичные значения). Иными словами, адресуемая ячейка памяти ПЛМ представляет собой множество подъячеек, содержимое которых читается поразрядно дизъюнктивно. Множества подъячеек для разных адресов могут пересекаться, ибо одна и та же неполная конъюнкция может принимать единичное значение на разных входных наборах.

Характеристика микросхем ПЛМ. За их структурную характеристику принята тройка $\{M, q, N\}$. Программирование может быть масочным (пример микросхемы DM7575/76 фирмы National – $\{20,94,24\}$) либо электрическим (микросхема 82S100/101 фирмы Signetics – $\{16,48,8\}$; отечественный аналог – K556PT1/PT2). Принципиально возможно создание и репрограммируемых ПЛМ.

На рис.1.14,а дана упрощенная иллюстрация ТТЛ-технологии ПЛМ с электрическим программированием на конкретном примере. В этом примере реализуется СБФ:

$$\{f_1 = x_1 \overline{x_2} \vee \overline{x_1} x_2; f_2 = x_1 \overline{x_2}; f_3 = \overline{x_1} x_2; f_4 = 0\}.$$

Заданной СБФ отвечают две базовые конъюнкции:

$$K_1 = x_1 \overline{x_2}; K_2 = \overline{x_1} x_2.$$

Через I_p^x на рисунке обозначен путь протекания расплавляющего тока в $M1$, через I_p^f – в $M2$.

Для программирования $M1$ необходимо подать питание на один из конъюнкторов и последовательно соединить с корпусом те входы $\tilde{x}_i \in \{x_i, \overline{x_i}\}$, для которых надо расплавить перемычки (выходы – свободные).

Программирование M2 связано с выбором конъюнктора и соединением с корпусом нужного выхода (входы – свободные).

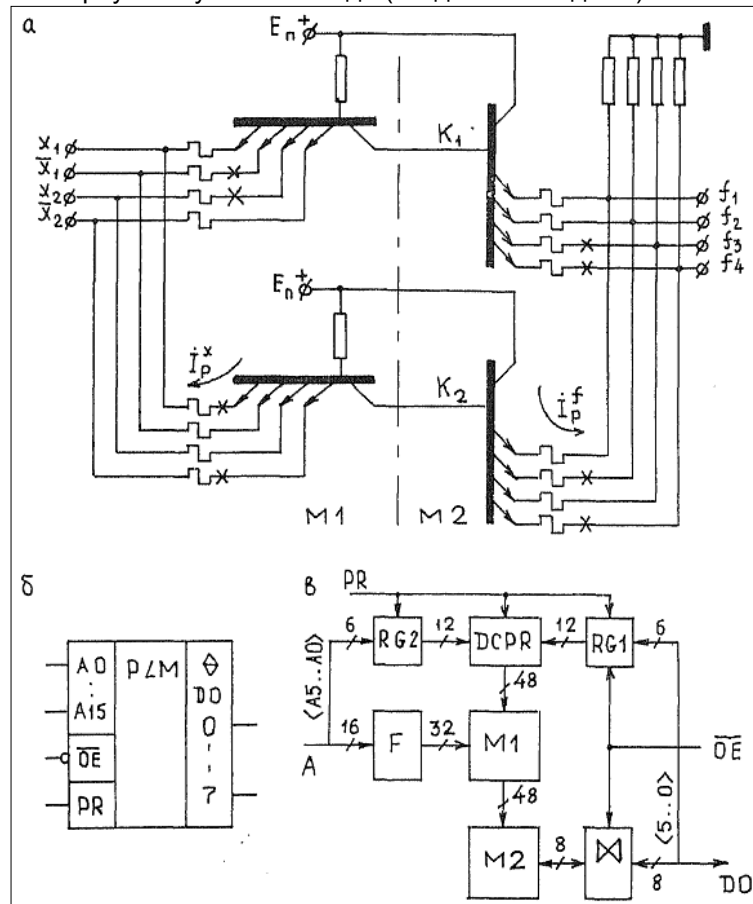


Рис. 1.14

Микросхема K556PT2 (рис. 1.14,б – ее УГО) имеет выходы на три состояния (ТТЛ-3), PT1 – с ОК. Для обеих микросхем $t_b = 70...80$ нс; $P_{\text{пот}} = 850...950$ мВт; вход PR (логический) – разрешение программирования; структура отвечает рис.1.14,в.

В этой структуре:

Регистры RG1 и RG2 – адресные формирователи. Они фиксируют адрес конъюнктора, задаваемый при программировании матриц M1 и M2 по входным и выходным линиям соответственно.

DCRP – дешифратор для задания напряжения питания на выбранный конъюнктор.

Число точек коммутации, которое характеризует трудоемкость программирования, равно в данном случае 1920 (1536 – для M1 и 384 – для M2).

Вопросы использования. С появлением первых ПЛМ вопросы их широкого применения для реализации модульных структур сразу же привлекли внимание исследователей. С этими вопросами связывалось решение следующих задач:

- 1) прямое преобразование таблицы переходов автомата или заданной СБФ в матрицы ПЛМ;
- 2) минимизация СБФ применительно к ПЛМ;
- 3) кодирование состояний асинхронных автоматов, реализуемых в ПЛМ;
- 4) декомпозиция СБФ на множестве микросхем ПЛМ с ограниченными характеристиками.

И ряд других.

Проведенные исследования показали сравнительную эффективность использования ПЛМ при реализации памяти микрокоманд (ПМК). Это учитывается при построении ПМК современных микропроцессоров. И все же практический интерес к исследованиям в области ПЛМ в настоящее время значительно снизился. Причиной явилось развитие новых технологий матричных БИС (МАБИС) и программируемых логических интегральных схем (ПЛИС), изучение которых относится к курсу автоматизации проектирования. Поэтому далее ограничимся кратким знакомством с вопросами структурного синтеза логических преобразователей на микросхемах ПЛМ.

Если необходимое число конъюнкций превышает 'q', то исходная таблица разбивается на несколько подтаблиц, каждая из которых содержит не более 'q' строк. Пусть, например, задана таблица на рис.1.15,а. Ее минимизация дает программную таблицу ПЛМ (рис. 1.15,б; прочерк означает безразличное состояние входа). Выполняя сегментирование последней по значениям переменной x_2 , число безразличных состояний которой в таблице минимально, получаем две подтаблицы (рис.1.15,в,г). Каждая из них реализуется на своей ПЛМ (рис. 1.15,д).

Троичное представление переменных в программной таблице ($x_i \in \{0,1,-\}$) дает полную информацию для программирования матрицы M1: значение '0' – отсутствие подачи x_i , на вход соответствующего конъюнктора (разрушение перемычки для x_i); '1' – не подается \bar{x}_i ; прочерк – не подается ни то, ни другое (разрушение обеих перемычек).

Подтаблица выходов информативна для программирования матрицы M2: значение '0' – отсутствие связи с соответствующим конъюнктором (разрушение перемычки); '1' – сохранение перемычки.

Если число реализуемых функций превышает N, то используют несколько по-разному запрограммированных ПЛМ с объединением соответствующих входов и отдельными выходами.

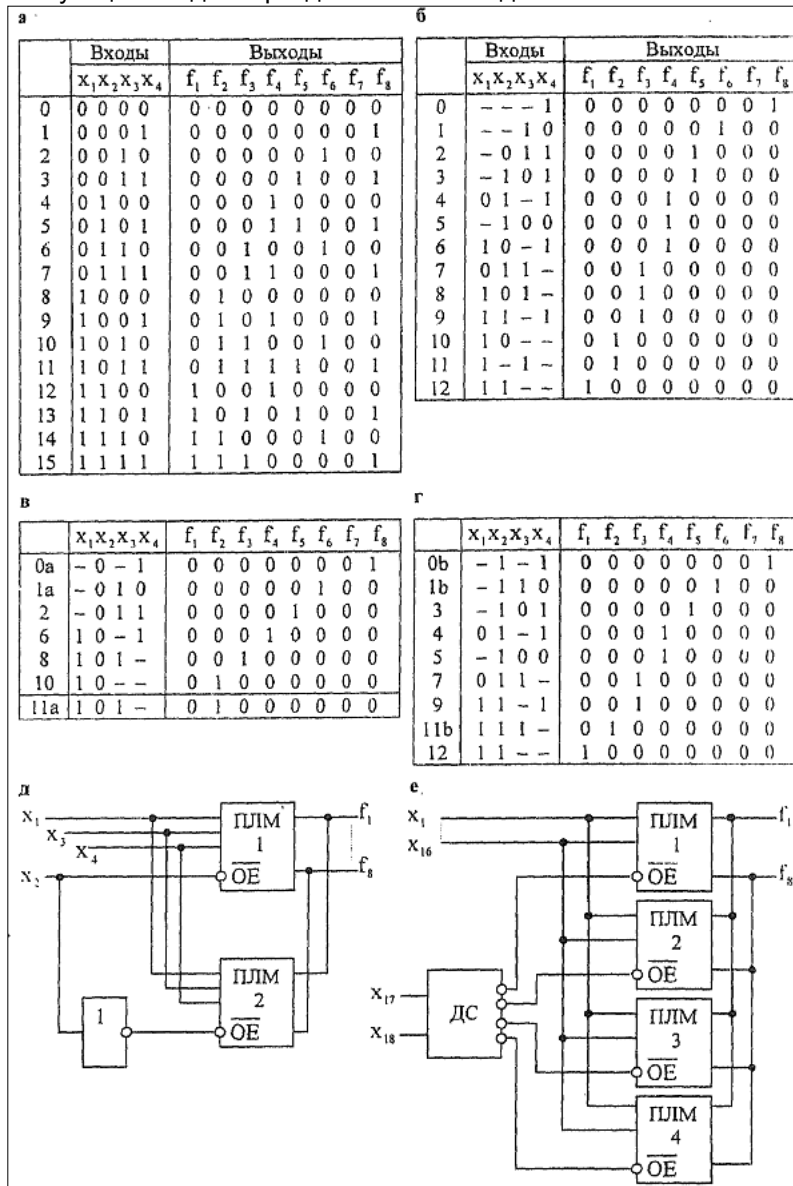


Рис. 1.15

Более сложной является задача декомпозиции по входным переменным, когда их число M_x превышает M . Стандартный подход дает одномерную реализацию с предварительным дешифратором (рис.1.15,е; случай $M_x = 18, M = 16$). При этом используется рассмотренный ранее метод сегментации. Найдены и более экономичные (по числу корпусов ПЛМ) решения.

Вопросы для самопроверки

(Выбрать правильный из приведенных вариантов ответа)

1. На рис.1.9,г показан элемент памяти со структурой ЛИЗМОП. Если на затвор подать положительный импульс 21...25В, то в какую сторону произойдет смещение передаточной характеристики транзистора?
 - A. Влево.
 - B. Вправо.
2. Что обеспечивает переход от ПЗУ к ПЛМ?
 - A. Снижение степени интеграции и энергопотребления.
 - B. Снижение степени интеграции.
 - C. Снижение энергопотребления.
 - D. Увеличение быстродействия.
3. Что представляет собой адресуемая ячейка памяти ПЛМ?
 - A. Множество подъячеек, содержимое которых читается поразрядно дизъюнктивно.
 - B. Множество подъячеек, содержимое которых читается поразрядно конъюнктивно.
 - C. Статический триггер.
 - D. Набор перемычек.
4. На рис.1.14,а дана упрощенная иллюстрация ТТЛ-технологии ПЛМ с электрическим программированием. С чем связано программирование M_2 ?
 - A. С выбором конъюнктора и соединением с корпусом нужного выхода.
 - B. С выбором дизъюнктора и соединением с корпусом нужного выхода.
 - C. С выбором инвертора и соединением с корпусом нужного выхода.
 - D. С выбором компаратора и соединением с корпусом нужного выхода.
5. На рис.1.14,в показана структурная схема микросхемы K556PT2. Для чего предназначены регистры RG1 и RG2 в этой схеме?

- A. Для фиксации адреса конъюнктора.
- B. Для фиксации адреса дизъюнктора.
- C. Для задания напряжения питания на выбранный конъюнктор.
- D. Для задания напряжения питания на выбранный дизъюнктор.

ЛИТЕРАТУРА ПО РАЗДЕЛУ I

1. Райхлин В.А. Основы цифровой схемотехники. Учебное пособие. Издание второе, переработанное и дополненное. – Казань: Изд-во КГТУ, 2006.
2. Применение интегральных микросхем в электронной вычислительной технике: Справочник / Под ред. *Б.Н. Файзулаева и Б.В. Тарабрина*. – М.: Радио и связь, 1988.
3. *Лебедев О.Н.* Микросхемы памяти и их применение. – М.: Радио и связь, 1990.
4. Обзор flash-памяти на технологии Intel StrataFlash [Электронный ресурс]. iXBT.com © 2012. URL: <http://www.ixbt.com/storage/flash-theory-p1.shtml>.

II. МОДУЛИ ПАМЯТИ [1-3]

Термин Методу связывается обычно с главной (внутренней) памятью микропроцессорной системы (МПС) – внутренним запоминающим устройством, или просто ЗУ. Оно может включать ряд модулей памяти – оперативной (ОЗУ) и постоянной (ПЗУ). При этом каждому типу ЗУ отводится своя область общего адресного пространства памяти. Выбор того или иного модуля осуществляется дешифрацией старших разрядов адреса.

Настоящий раздел знакомит студентов с принципами построения подсистем памяти для микропроцессорных систем 18086 (отечественный аналог – МПС на основе микросхем серии К1810). Для них полный адрес главной памяти – 20-разрядный: $A = \langle A_{19} \dots A_0 \rangle$. Любой модуль памяти разделен на два банка: банк L (хранит младшие байты слов) и банк H (хранит старшие байты).

2.1. ПОНЯТИЕ МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ. ОРГАНИЗАЦИЯ МОДУЛЕЙ ПАМЯТИ. МОДУЛЬ СТАТИЧЕСКОГО ОЗУ

Понятие микропроцессорной системы. Магистральность и модульность – два основополагающих принципа построения микропроцессорных систем. Ядро системы образуют устройства центрального процессора (ЦП) и основной, или главной памяти (Мет). Эти устройства связаны общей магистралью (системной шиной) из многоразрядных шин данных (ШД), адреса (ША) и управления (ШУ). К ней подключаются и различные внешние устройства.

Подключение устройств к системной шине выполняется не непосредственно, а через специальные интерфейсные модули – контроллеры и схемы сопряжения. Это необходимо для согласования по нагрузке и трансляции сигналов управления.

Для МПС фундаментально понятие цикла шины. С ним связываются временные диаграммы передачи адресов, данных и сигналов управления, генерируемых ЦП и интерфейсными модулями. Цикл шины – это период обмена данными (по словам или байтам) между ЦП и Мет либо устройствами ввода-вывода.

Последовательность прохождения сигналов по системной шине в смежных тактах регламентируется стандартами интерфейсов. Разрядность шин и семантика сигналов управления – неперенные атрибуты интерфейса. Мы будем следовать стандартам интерфейса Multibus (отечественный аналог – И-41).

Простейшие интерфейсные микросхемы. Ограниченная нагрузочная способность микросхемы ЦП и использование одних и тех же ее выводов для раздельной во времени передачи адресов и данных делает необходимым применение специальных буферных микросхем для сопряжения центрального процессора с системной шиной:

- регистра-защелки 8282/83.
- двунаправленного шинного формирователя (приемо-передатчика) 8286/87,

Наклонная черта в обозначениях разделяет модификации с прямыми и инверсными выходами.

Условно-графические обозначения микросхем 8282 и 8286 вместе с функциональными схемами их разрядных секций показаны на рис. 2.1,а,б.

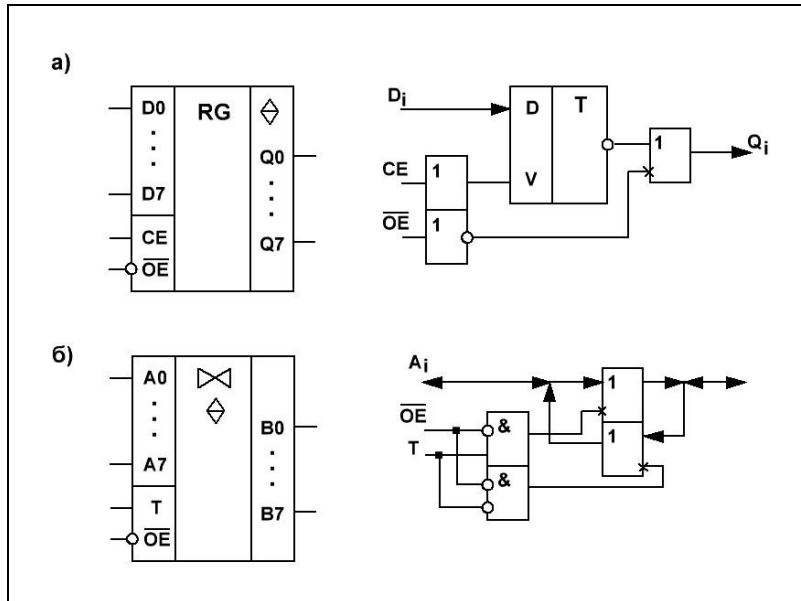


Рис. 2.1

Обычно регистр 8282 применяется для буферизации адреса, а формирователь 8286 – данных. Их нагрузочная способность по выходам, обращенным к системной шине (выводы Q_i , B_i), достаточна для большинства применений: $I_{\text{вых}}^0 = 32\text{mA}$, $C_H = 300\text{пФ}$. Аналогичные оценки по выводам A_i значительно ниже. Однако это допустимо, так как нагрузка со стороны центрального процессора сравнительно невелика.

Некоторые интерфейсные сигналы. Сигнал \overline{BNE} – разрешение старшего байта. Значение $\overline{BNE} = 0$ показывает использование

старших линий данных $D_{15} - D_8$. При $\overline{BHE} = 1$ передается только младший байт по линиям $D_7 - D_0$.

Вектор $\langle \overline{BHE}, A_0 \rangle$ выбирает банк памяти:

- 00 - активны оба банка - L и H;
- 01 - только банк H;
- 10 - только банк L;
- 11 - ни тот, ни другой.

Сигнал $\overline{MWT\overline{C}}$ – сигнал записи в память,

\overline{MRDC} – сигнал чтения из памяти.

Сигнал READY (RDY) – сигнал подтверждения готовности данных от интерфейса памяти или ввода-вывода. Вплоть до восприятия этого сигнала центральный процессор находится в состоянии ожидания и текущий цикл шины остается незавершенным.

Организация модуля памяти. Информационная емкость отдельной микросхемы памяти ограничена по числу хранимых слов (N_1 и разрядов (n_1). Модуль памяти нужного объема с требуемой характеристикой ($N \times n$) организуется следующим образом.

Строится множество субмодулей памяти разрядности 'n'. Каждый субмодуль состоит из $\lceil n/n_1 \rceil$ микросхем, у которых объединены все одноименные выходы, кроме информационных.

Модуль в целом состоит из $\lceil N/N_1 \rceil$ субмодулей, у которых объединены все одноименные выходы, кроме выводов выбора кристалла.

Такая организация модуля памяти называется страничной. В любой момент времени идет обращение только к одной странице (субмодулю).

Для сопряжения модулей ОЗУ с магистралью требуются специальные микросхемы для выполнения функций:

- дешифрации старших разрядов адреса,
- увеличения нагрузочной способности шин,
- выбора субмодуля,
- мультиплексирования линий магистрали,
- трансляции стандартных интерфейсных сигналов в сигналы управления конкретных микросхем памяти.

Поэтому каждый модуль включает свой контроллер памяти (устройство управления) и блоки сопряжения по нагрузке с шинами адресов и данных. Сложность контроллера зависит от вида памяти и типа интерфейса.

Связь модулей памяти с ША осуществляется обычно через буферы адреса, реализованные на регистрах 8282/83. Буферизация необходима для повышения нагрузочной способности шины по току и емкости.

Каждый модуль со стороны любого своего входа должен представлять для СШ единичную (или близкую к тому) нагрузку ТТЛ.

Вместе с тем емкостная нагрузка по каждому адресному входу, например, микросхем серии К537 составляет 5-10 пФ. Поэтому при объединении в submodule до 8 микросхем и 4-страничной организации модуля получаем суммарную емкостную нагрузку на каждую линию адреса 160 – 320 пФ, которую регистр 8282/83 обеспечивает.

Сопряжение модулей ОЗУ с ШД осуществляется через посредство приемо-передатчиков 8286/87.

Ниже рассматриваются примеры построения модулей ЗУ разных типов на основе микросхем наиболее развитых отечественных серий. Микросхемы статической памяти представлены серией К537 (КМОП), динамической – К565 (п-МОП), постоянной – К573 (ЛИЗМОП, репрограммируемые ПЗУ с ультрафиолетовым стиранием).

При этом использованы понятия, условно-графические обозначения (УГО) и мнемоники, принятые в современной схемотехнике.

Модуль статического ОЗУ. Рассмотрим организацию 16-страничного модуля статического ОЗУ объемом 64 Кбайт на основе микросхем К537РУ8. На рис. 2.2,а показаны блоки сопряжения, контроллер и один submodule памяти.

Каждый submodule содержит 2К 16-разрядных слов и разбит на 2 банка. Информационные выходы банка L подключены к линиям D7 – D0 шины данных. Банка H – к линиям D15 – D8.

Модуль в целом инициализируется по коду $\langle A_{19} - A_{16} \rangle$ сигналом с выхода дешифратора DC1. Код $\langle A_{15} - A_{12} \rangle$ идентифицирует обращение к данному submodule.

Управление доступом к банкам и режимом их работы осуществляется сигналами \overline{BHE} , A_0 , \overline{MWTC} , \overline{MRDC} в соответствии с таблицей на рис. 2.2,б. Модуль ОЗУ выполняет операции записи и считывания как 16-разрядного слова, так и любого из его байтов. Сигналы выбора банков формируются элементами ИЛИ в зависимости от значений сигналов \overline{BHE} , A_0 при наличии сигнала разрешения с выхода DC2.

В приведенной схеме контроллера отсутствует (опущен) формирователь сигнала RDY. Она довольно проста еще и потому, что из-за наличия в базовой микросхеме управляющего входа \overline{OE} в контроллере нет специальной логики управления режимами записи и считывания. Сигналы \overline{MWTC} и \overline{MRDC} подаются на микросхемы памяти непосредственно с выхода буфера ШУ, который на схеме рис. 2.2,а не показан. Требуется и буферизация сигнала \overline{BHE} в буфере адреса.

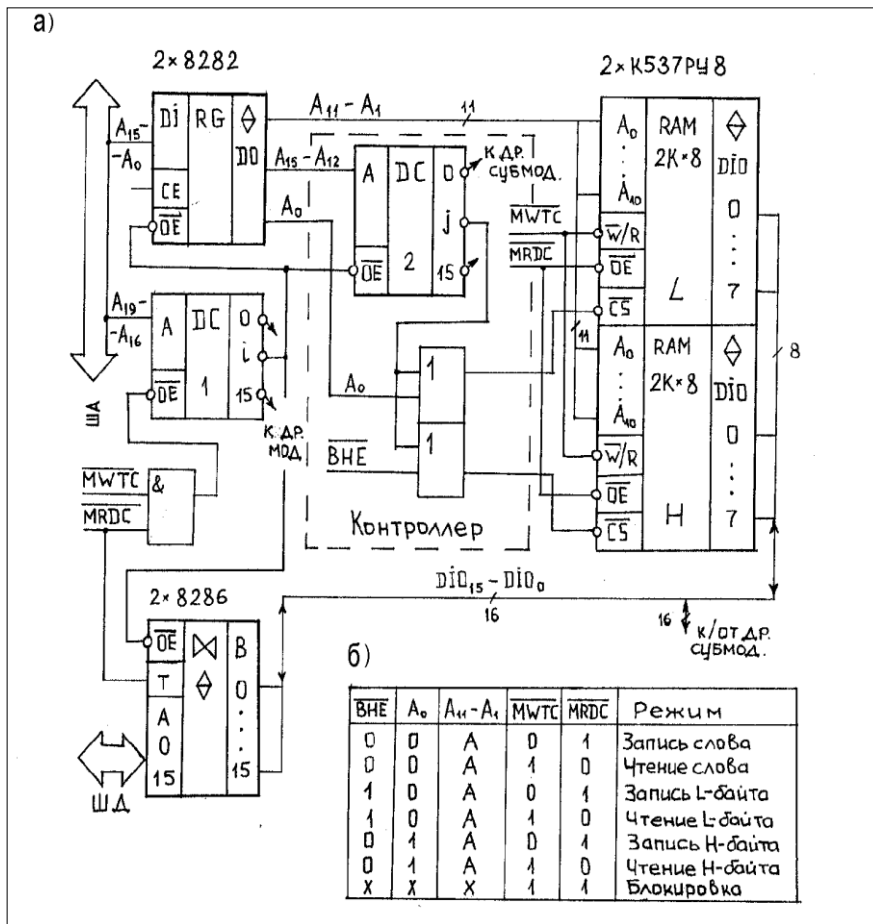


Рис. 2.2

Вопросы для самопроверки

(Выбрать правильный из приведенных вариантов ответа)

1. Назовите основополагающие принципы построения микропроцессорных систем?
 - A. Магистральность и модульность.
 - B. Магистральность и кроссплатформенность.
 - C. Модульность и кроссплатформенность.
 - D. Иерархичность и магистральность.
2. Для какой цели применяются буферные микросхемы в микропроцессорных системах?
 - A. Для сопряжения центрального процессора с системной шиной.

- В. Для повышения быстродействия центрального процессора.
 С. Для оптимизации работы с памятью.
 D. Для увеличения разрядности системной шины.
3. Какие банки памяти активны при $\overline{BHE}, A_0 \gg 01$?
- A. Активны оба банка – L и H.
 B. Только банк H.
 C. Только банк L.
 D. Ни тот, ни другой.
4. Какими функциями должны обладать микросхемы использующиеся для сопряжения модулей ОЗУ с магистралью?
- A. Активны оба банка – L и H.
 B. Только банк H.
 C. Только банк L.
 D. Ни тот, ни другой.
5. Сигнал READY (RDY) – это ...?
- A. Дешифрации старших разрядов адреса.
 B. Увеличения нагрузочной способности шин.
 C. Выбора субмодуля.
 D. Мультиплексирования линий магистрали.
 E. Мультиплексирования младших разрядов адреса.
6. На рис. 2.2 представлена организация 16-страничного модуля статического ОЗУ объемом 64 Кбайт на основе микросхем K537PY8. Какими сигналами осуществляется управление доступом к банкам памяти и режимом их работы?
- A. $\overline{BHE}, A_0, \overline{MWTC}, \overline{MRDC}$
 B. $\overline{BHE}, A_0, \overline{MRDC}$.
 C. $\overline{BHE}, A_0, \overline{MWTC}$.
 D. $A_0, \overline{MWTC}, \overline{MRDC}$.

2.2. МОДУЛИ ДИНАМИЧЕСКОГО ОЗУ И РПЗУ

Модуль динамического ОЗУ. Ограничимся случаем использования микросхем динамической памяти K565PY5.

Схема контроллера динамической памяти (КДП) оказывается достаточно сложной. Для микросхем K565PY5 разработана БИС КДП K1810BT02/03 (рис. 2.3,а – ее УГО). Дробь отвечает модификациям 16К/64К. Соответственно модуль памяти может быть 4- или 2-страничным (включает 4 или 2 субмодуля-банка). Если емкость банка равна 16К слов (на вывод $16/\overline{64}$ микросхемы подано напряжение питания +5В), то

$AL_7 := B0$, $AH_7 := B1$. Выбор того или иного субмодуля инициализируется сигналами $\overline{RAS} 3-0$ по вектору $\langle B1, B0 \rangle$. При этом $\overline{RAS} 2 := \overline{OUT}_7$.

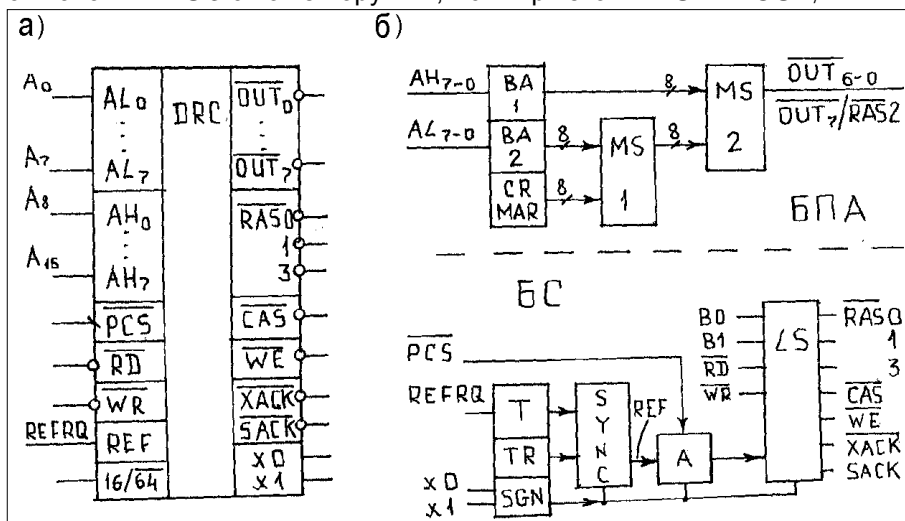


Рис. 2.3

Для банков по 64K слов (вывод $16/\overline{64}$ заземлен) $\overline{RAS} 3 := B0$ – вход выбора банка; $\overline{RAS} 1,0$ – сигналы инициализации банков.

Семантика сигналов на других выводах микросхемы КДП:

- \overline{PCS} – инициализация обращения по чтению/записи;
- $REFRQ$ – внешний запрос регенерации;
- \overline{XACK} – готовность данных. Вырабатывается в конце цикла чтения/записи. Сигналы $\overline{RD}/\overline{WR}$ должны быть активны, пока не установится $\overline{XACK} = 0$;
- \overline{SACK} – готовность системы. Вырабатывается в начале цикла чтения/записи. Оповещает ЦП о фактическом начале цикла памяти, если оно задерживается относительно момента активизации \overline{PCS} .
- \overline{WE} – выход разрешения записи;
- $x0, x1$ – выводы подключения кварцевого резонатора. При его отсутствии на вход $x1$ подается сигнал CLK.

Структурная схема КДП (рис. 2.3,б) условно разбита на 2 блока:

1. БПА – блок приема адреса. В него входят:
 - BA1,2 – буферы адреса;
 - CR MAR – счетчик/регистр адресов регенерации;
 - MS1,2 – мультиплексоры.

2. БС - блок синхронизации. Состав БС:

T – триггер формирования запроса на регенерацию по сигналу от внешнего источника;

TR – счетчик/таймер, инициирующий внутренний запрос на регенерацию; SGN – генератор синхроимпульсов (СИ);

SYNC – схема, которая выдает при активных REFRQ или TR сигнал REF в момент поступления соответствующего СИ;

A – арбитр, который разрешает конфликты между \overline{PCS} и REF;

LS – логическая схема, которая реализует требуемую временную диаграмму управляющих сигналов памяти.

В цикле регенерации к адресным выходам КДП подключаются выходы CR MAR и вырабатывается только сигнал \overline{RAS} . Выходы \overline{CAS} , \overline{WE} , \overline{XACK} и \overline{SACK} остаются неактивными. По окончании очередного цикла регенерации содержимое CR MAR увеличивается на 1.

Таймер выставляет запросы на регенерацию каждые 10 - 16 мкс. По любому запросу регенерируется одна строка. Так что 128 строк при REFRQ = 0 будут регенерированы за 2 мс. Это случай распределенной регенерации.

По REFRQ = 1 память переводится в режим непрерывной (пакетной) регенерации. При этом запросы циклов памяти на чтение/запись по $\overline{PCS} = 0$ арбитром игнорируются. Но точно так же арбитр игнорирует сигнал REF = 1 до окончания цикла памяти.

Если

$$REFRQ = \overline{XACK} \& \overline{RD} \& \overline{WR},$$

то внешний запрос на регенерацию будет формироваться всякий раз, когда обращение к памяти отсутствует. Это случай так называемой “прозрачной” (скрытой) регенерации.

Использование КДП в составе модуля динамической памяти емкостью 256К байт показано на рис. 2.4,а. Память в целом имеет объем 1М байт и содержит 4 таких модуля.

Модуль включает 32 микросхемы K565PY5. Разбит на 2 банка-субмодуля по 64К 16-разрядных слов каждый. Любой банк делится на 2 подбанка по 64К байт для хранения байтов H и L слова. Выбор модуля, банка и байта определяется соответствующими полями адреса рис. 2.4,б.

Разгрузки ША в данном случае не требуется. Буферизация данных осуществляется приемопередатчиками 8286, управляемыми сигналами \overline{MWTC} и \overline{MRDC} .

Сигнал \overline{NACK} с выхода КДП используется как сигнал RDY для ЦП.

Модуль репрограммируемого ПЗУ. Рассмотрим пример построения 8-страничного модуля РПЗУ емкостью 32К байт (16К 16-раз-

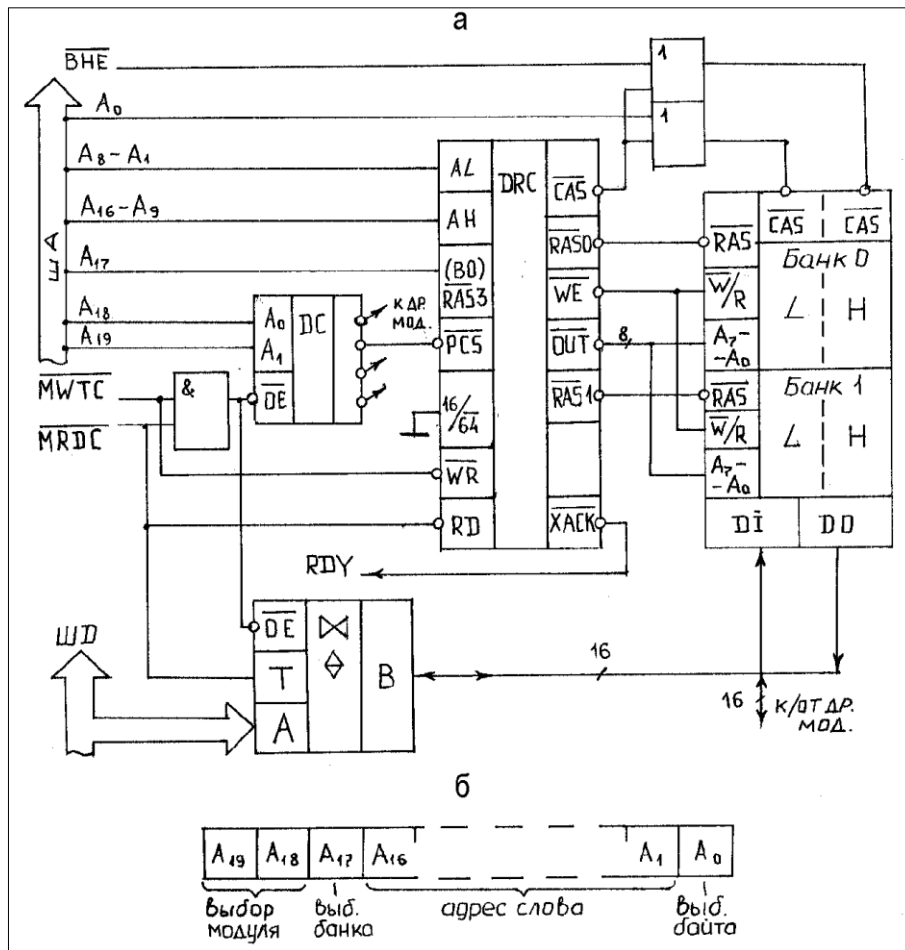


Рис. 2.4

рядных слов) на микросхемах К573РФ5. Структура модуля в целом с "раскрытием" субмодуля *i* представлена на рис. 2.5. При этом учтены особенности управления в используемых микросхемах дешифраторов (DC) и генератора импульсов (G). Субмодуль реализован на двух микросхемах памяти – для хранения байтов L и H. В модуле 16 таких микросхем. Буферы ША, ШД и внешняя времязадающая цепь генератора G в схеме рис. 2.5 не показаны.

Сигнал $\overline{\text{EPROM}}$ идентификации модуля РПЗУ поступает с выхода соответствующего DC.

Модуль может работать в режимах хранения, считывания и записи (программирования). Стирание информации выполняют ультрафио-

летовым облучением микросхем памяти с соблюдением определенных требований.

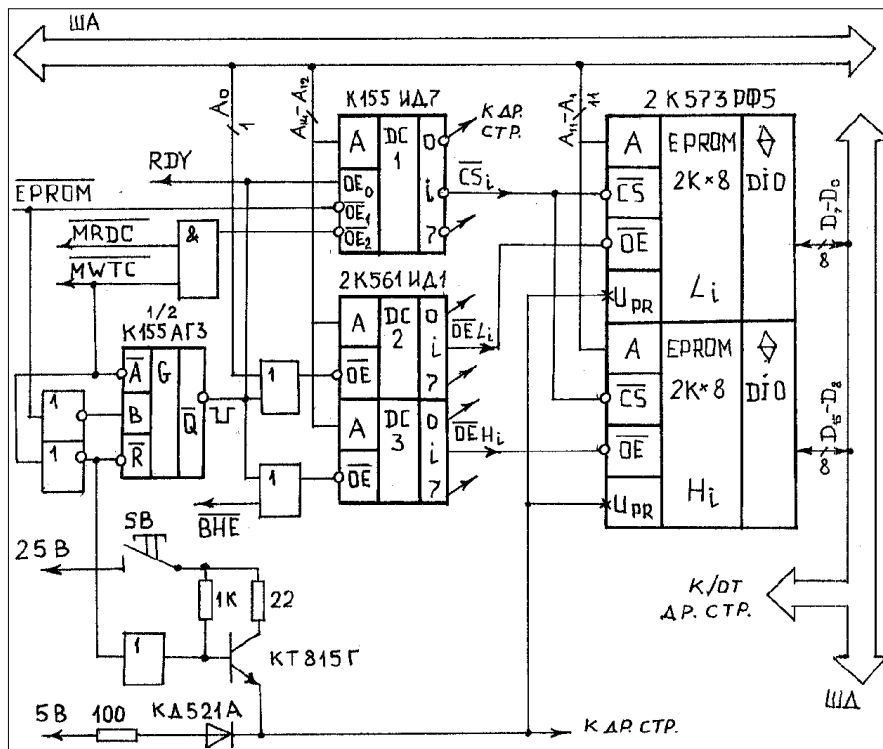


Рис. 2.5

В режиме считывания по $\overline{MRDC} = 0$. Дешифратор DC1 выбирает i -страницу сигналом $\overline{CS}_i = 0$. На всех выходах DC2 и DC3 имеем 0 из-за блокирующего действия сигнала 1 от генератора G на их входах \overline{OE} . Этот генератор находится в исходном устойчивом состоянии $\overline{Q} = 1$, так как его управляющие входы \overline{A} , \overline{R} пассивны ($\overline{A} \overline{R} = 10$).

Наличие 0 на входах \overline{OE} всех микросхем памяти означает, что они подготовлены к считыванию информации по выставленному адресу. Но реализация режима считывания происходит только в двух микросхемах выбранной страницы. Чтение в данном случае выполняется словами, что характерно для работы с памятью программ.

Режим программирования обеспечивают сигналы $\overline{EPROM} = 0$, $\overline{MWTC} = 0$ (при этом управление на входе генератора $\overline{A} \overline{B} \overline{R} = 011$). На выходе \overline{Q} генератора формируется отрицательный импульс длитель-

ностью 50 мс, который транслируется DC1 в требуемый положительный импульс \overline{CS}_i . При этом $\overline{OE}_L_i \vee \overline{OE}_H_i = 1$ в соответствии с заданным $\langle \overline{BHE}, A_0 \rangle$.

Запись происходит при подаче 26В на входы U_{PR} нажатием ключа SB. Записываемое слово или байт поступает на информационные выходы микросхем памяти по линиям ШД. На время записи в процессор посылается сигнал $RDY = \overline{Q} = 0$, который переводит ЦП в состояние ожидания.

Программирование модуля РПЗУ выполняется в обычном цикле обращения для записи по команде MOV (переслать), но с увеличением длительности цикла.

Вопросы для самопроверки

(Выбрать правильный из приведенных вариантов ответа)

1. На рис. 2.3,б показана структурная схема блока синхронизации контроллера динамической памяти для микросхем K565PY5. Для чего предназначен арбитр (блок А)?
 - A. Для разрешения конфликтов между \overline{PCS} и REF.
 - B. Для формирования запроса на регенерацию по сигналу от внешнего источника.
 - C. Для генерации синхроимпульсов.
 - D. Для инициирования цикла чтения/ записи.
2. На каких микросхемах можно построить модуль репрограммируемого ПЗУ?
 - A. K573PФ5.
 - B. K565PY5.
 - C. K155ИЕ7.
 - D. K155PE21.
3. Как осуществляется стирание информации в модуле репрограммируемого ПЗУ, построенного на микросхемах K573PФ5?
 - A. Ультрафиолетовым облучением.
 - B. Пережиганием перемычек.
 - C. Сбросом статического триггера.
 - D. Разрядом емкости.
4. На рис. 2.5 представлен 8-страничный модуль РПЗУ емкостью 32 Кбайт. Какие сигналы обеспечивают режим программирования?

- A. $\overline{EPROM}=0, \overline{MWTC}=0.$
 - B. $\overline{EPROM}=0, \overline{MWTC}=1.$
 - C. $\overline{EPROM}=1, \overline{MWTC}=0.$
 - D. $\overline{EPROM}=1, \overline{MWTC}=1.$
5. На время записи в процессор посылается сигнал $RDY = 0$ (рис. 2.5). В какое состояние переходит ЦП после этого?
- A. Активное.
 - B. Пассивное.
 - C. Ожидание.
 - D. Хранение.

ЛИТЕРАТУРА ПО РАЗДЕЛУ II

1. Райхлин В.А. Основы цифровой схемотехники. Учебное пособие. Издание второе, переработанное и дополненное. – Казань: Изд-во КГТУ, 2006.
2. Лебедев О.Н. Микросхемы памяти и их применение. – М.: Радио и связь, 1990.
3. Райхлин В.А., Борисов А.Н. Основы организации микропроцессорных систем. – Казань: Изд-во КГТУ, 1998.

III. МИКРОПРОЦЕССОРНЫЕ КОМПЛЕКТЫ БИС

[1 – 3]

3.1. ПЕРЕХОД НА МПК БИС. ПОНЯТИЕ СИСТЕМОГО МОДУЛЯ. МПС КР1804ВС1. ОРГАНИЗАЦИЯ ОПЕРАЦИОННОГО УСТРОЙСТВА

Переход на МПК БИС

Радикальное решение проблемы унификации элементной базы ЭВМ при значительном повышении уровня интеграции связывается с применением микропроцессорных комплектов (МПК) БИС – *секционных* микропроцессоров. В недавнем прошлом они достаточно широко применялись при построении универсальных и специализированных систем (см. табл.3.1).

Таблица 3.1. Отечественные МПК-БИС

Серия	Технология	Число БИС	Разрядность (АЛУ)	Применение / аналог.
К583	И ² Л	11	8n	Контроллеры
К584	И ² Л	4	4n	SBPO 400
585	ТТЛШ	8	2n	/ К589, I 3000
К587	КМОП	4	4n	ЧПУ
К588	КМОП	21	16n	ЧПУ
К589	ТТЛШ	8	2n	/ I3000
К1800	ЭСЛ	10	4n	М 10800
К1802	ТТЛШ	15	8n	СМ 1300
КР1804	ТТЛШ	29	4n	СМ 1600, СМ 1420, АМД 2900, СМ 1700 / Ам 2900
1822	ТТЛШ	10 (1989)	8n	Супермини-ЭВМ
1824	КМОП	3 (1989)	16n	ЧПУ, бортовая аппаратура
КР1828	ТТЛШ	2	8n	Диагностика МПС

И хотя в настоящее время по объективным причинам (тенденции развития информационных технологий, трудности проектирования микропрограммного обеспечения при разработке устройств на основе секционных микропроцессоров) преобладают *однокристалльные* микропро-

цессоры, МПК БИС продолжают занимать свою нишу. Среди отечественных серий наибольший познавательный интерес представляет комплект КР1804. Он удобен для реализации специализированных систем средней производительности силами небольших коллективов. Состав комплекта представлен в табл.3.2.

Таблица 3.2

Тип микросхемы	Назначение микросхемы	Разрядность	Быстродействие, нс	$P_{ср}$, мВт	Число выводов
КР1804 ВС1	Микропроцессорная секция (МПС)	4	95	1250	40
КР1804 ВР1	Схема ускоренного переноса	-	7	545	16
КР1804 ИР1	Параллельный регистр	4	10	650	16
КР1804 ВУ1	Схема управления адресом МК	4	95	650	28
КР1804 ВУ2	“	“	“	“	20
КР1804 ВУ3	Схема управления следующим адресом	8	35	575	16

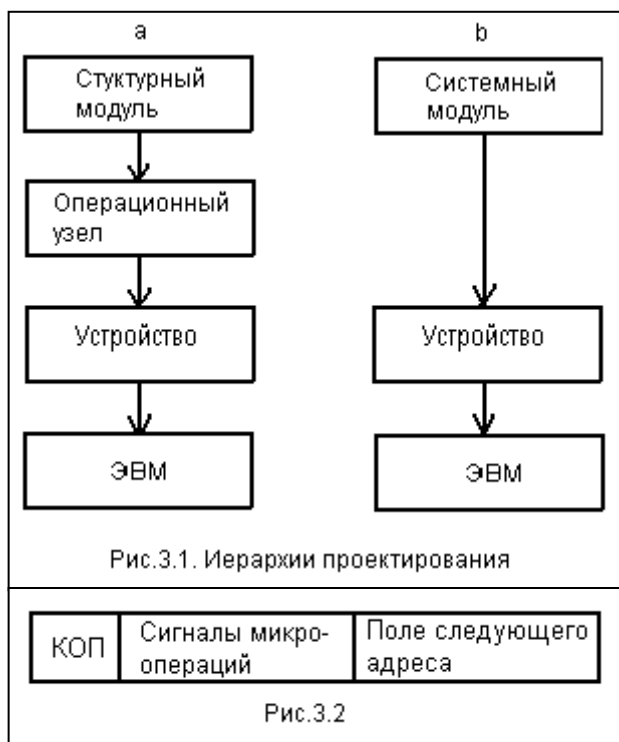
Понятие системного модуля

Рассмотренные в курсе «Схемотехника» микросхемы со средней степенью интеграции можно назвать *структурными модулями*. Любая из них – это фрагмент (k-разрядная секция) некоторого операционного узла (*структуры*) – схемы контроля, АЛУ, регистра, счетчика и др. Произвольное цифровое устройство представляет собой взаимосвязанную совокупность различных операционных узлов.

В отличие от структурного модуля каждый элемент МПК БИС – это фрагмент не отдельного операционного узла, а устройства в целом – процессорного (с минимальным объемом внутренней памяти), устройства управления и т.д. – как составной части *системы*. Поэтому такие модули можно назвать *системными*. Любой из них представляет собой взаимосвязанную совокупность различных структурных модулей.

При использовании МПК БИС исключается этап проектирования операционных узлов (рис.3.1). Множество внутренних связей размещается на самом кристалле. Это позволяет значительно повысить степень интеграции модуля, сохранив неизменным число выводов его корпуса.

Для секционных БИС характерно: 1) наращивание разрядности путем каскадирования однотипных модулей; 2) микропрограммное управление. Разрядность модуля ограничена допустимой степенью интеграции и числом выводов корпуса. Использование микропрограммно-



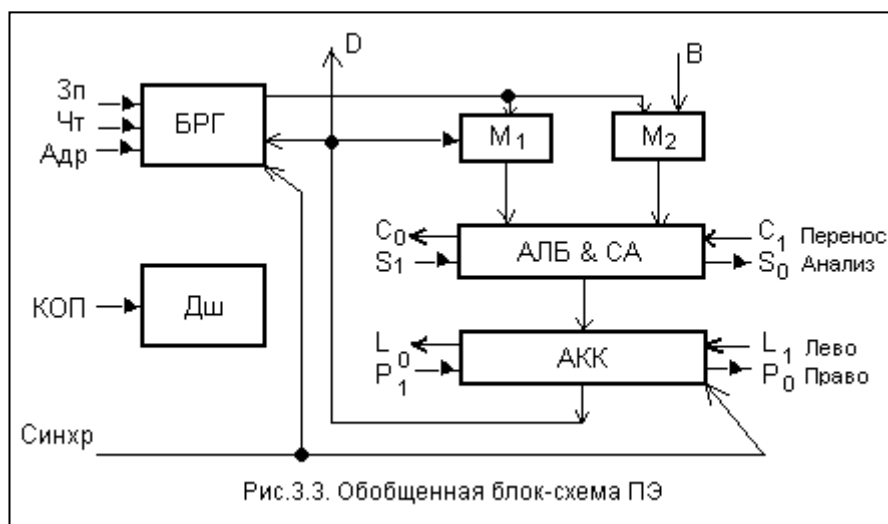
го управления позволяет разрабатывать системы с произвольным набором команд. При этом каждой команде отвечает своя последовательность микрокоманд, генерируемая блоком микропрограмного управления (БМУ). Микропрограммы выполнения команд хранятся в ОЗУ или ПЗУ.

Типовой формат микрокоманды показан на рис.3.2. Здесь КОП – код операции, подаваемый на входы дешифраторов процессорных элементов (ПЭ). Число ПЭ определено требуемой раз-

рядностью процессора в целом. Сигналы микроопераций обеспечивают управление по дополнительным входам модулей, входящих в состав микроЭВМ. Биты поля следующего адреса подаются на БМУ для генерации адреса следующей микрокоманды.

Состав микрокоманд ПЭ ограничен: чтение, запись (операции с памятью), сложение, вычитание, простейшие логические операции, сдвиги, некоторые операции анализа (все – нули, все – единицы и др.). В общем случае арифметико-логические операции подразумевают выполнение бинарных арифметических либо логических действий в АЛУ над тремя потоками данных: содержимое накапливающего регистра (АКК), одного из регистров внутренней памяти (БРГ), входным потоком (В) из внешней памяти. Операции чтения, записи и сдвигов можно проводить с использованием АКК и БРГ. Для проведения анализов в состав ПЭ полезно включать специальную схему анализов (СА). Соответствующая обобщенная схема ПЭ показана на рис.3.3.

Помимо модулей памяти (микрокоманд и данных), ПЭ, компонентов БМУ, в состав МПК БИС входит модуль ускорения переносов и ряд т.н. интерфейсных модулей (регистры, дешифраторы, формирователи, обработчики прерываний и др.) для организации обменов между центральным процессором и внешними устройствами (ВУ): дисками и др.



Набор и организация шин для приема и передачи данных, адресных шин, набор управляющих сигналов и кодов признаков состояний определяют протокол обмена, или метод синхронизации процессора и ВУ. Интерфейсные модули, включаемые в состав МПК БИС, ориентированы на реализацию принятого для этого МПК протокола. Компоненты интерфейса, относящиеся непосредственно к ВУ, обычно называют контроллерами. Их разработка представляет собой самостоятельную задачу для каждого нового протокола и каждого ВУ. Необходимым условием унификации контроллеров является стандартизация протоколов.

Микропроцессорная секция (МПС) КР1804ВС1

Структурная схема МПС показана на рис.3.4. Узлы микросхемы сгруппированы в 4 блока:

- **Блок внутренней памяти (БВП)** включает регистровое запоминающее устройство (РЗУ) – 16 4-разрядных регистров с двумя группами адресов $\langle A_3 \dots A_0 \rangle$ и $\langle B_3 \dots B_0 \rangle$, задаваемыми из микрокоманды (МК). По этим адресам можно одновременно читать содержимое двух регистров РЗУ в регистры RrA и RrB соответственно. При совпадении адресов на выходы A и B передается содержимое одного и того же регистра. RrA и RrB служат источниками операндов, над которыми выполняется обработка.

Запись в РЗУ в каждом тактовом периоде может производиться лишь в один из регистров по адресу $\langle B_3 \dots B_0 \rangle$. Данные на вход РЗУ поступают из АЛУ через узел сдвигателя данных АЛУ (СДА). Данные

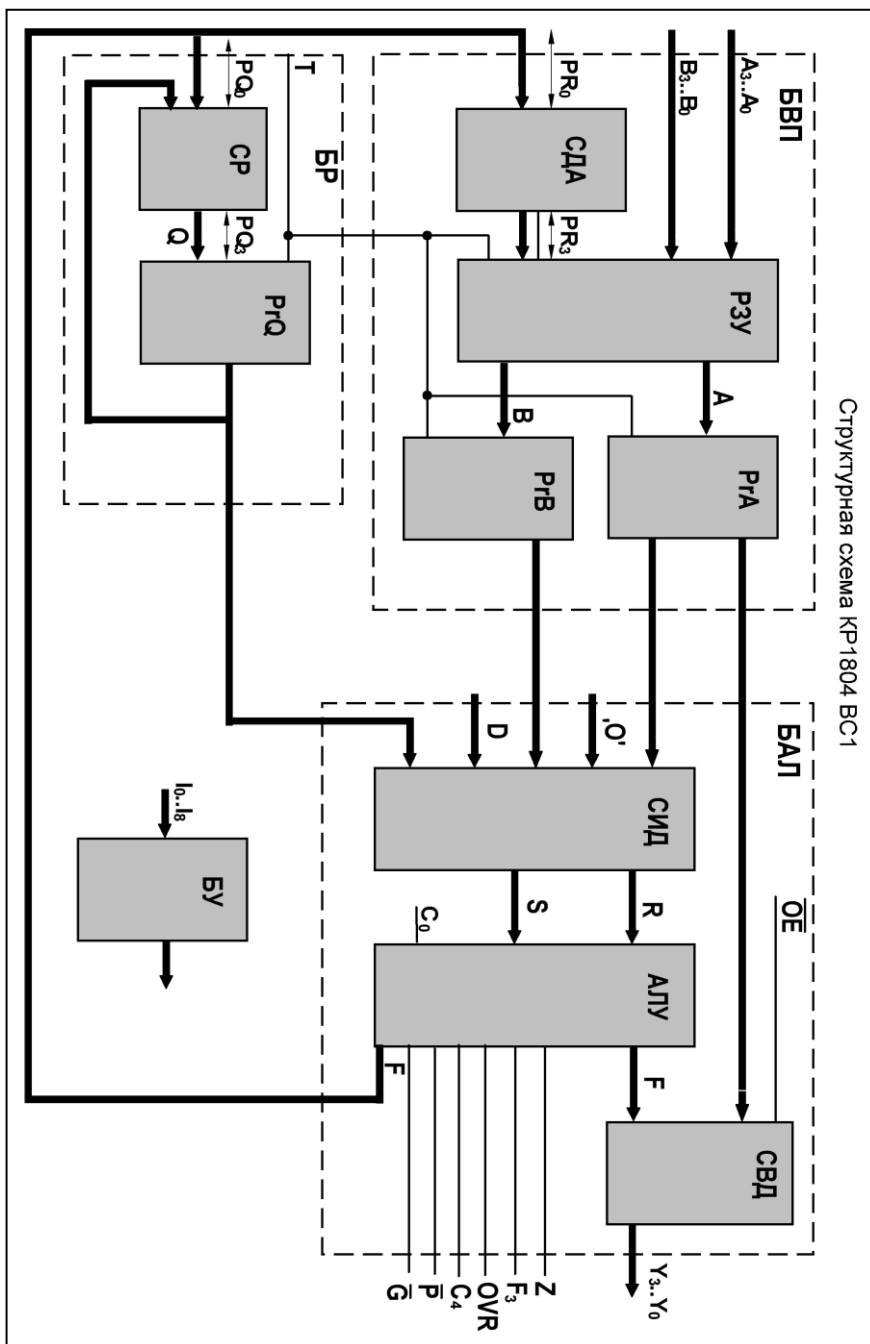


Рис.3.4

могут передаваться без сдвига либо со сдвигом на 1 разряд влево или вправо. В зависимости от направления сдвига выходы PR_0 и PR_3 служат входом или выходом для записи вдвигаемого или выдачи выдвигаемого разрядов.

Временная диаграмма чтения и записи в РЗУ приведена на

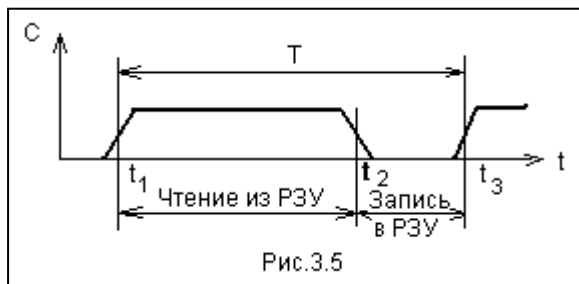


Рис.3.5

рис.3.5. В процессе чтения вход РЗУ логически отключен (интервал $t_1 \dots t_2$). В интервале $t_2 \dots t_3$ входы R_A и R_B логически отключены от выходов РЗУ и сохраняют принятую ранее информацию.

– **Блок рабочего регистра Q (БР)** содержит 4-разрядный R_Q на D-триггерах. Содержимое регистра *постоянно* передается в узел АЛУ. Запись в R_Q происходит *по фронту* синхросигнала. Данные на его вход передаются через узел сдвигателя регистра (СР), который работает аналогично СДА. Через СР на вход R_Q могут передаваться данные с выхода АЛУ либо самого регистра. Последнее обеспечивает выполнение сдвига R_Q параллельно с операцией АЛУ.

– **Блок арифметическо-логический (БАЛ)** включает АЛУ с двумя 4-разрядными входами R и S. Данные на эти входы поступают с выхода селектора источников данных (СИД). СИД коммутирует: на вход R – выход R_A , внешнюю шину данных $D_3 \dots D_0$ либо нулевое значение; на вход S – один из трех источников (R_A , R_B , R_Q) или 0. Результат операции АЛУ поступает не только на СДА и СР, но и на селектор выходных данных (СВД), который коммутирует в выходную шину $\langle Y_3 \dots Y_0 \rangle$ содержимое R_A либо выход АЛУ. СВД построен на элементах с тремя состояниями и управляется сигналом OE.

Дополнительные выходы АЛУ:

Z (открытый коллектор) – признак нулевого результата ($Z=1$, если $F=0$);

F_3 – старший разряд результата (знаковый);

C_4 – перенос из старшего разряда;

OVR – признак переполнения (при выполнении арифметических операций $OVR = C_3 \oplus C_4$, где C_3 – перенос в старший разряд);

\bar{P} и \bar{G} – предназначены для подключения схемы ускорения переносов.

– **Блок управления (БУ)** предназначен для преобразования содержимого поля кода операций $\langle I_8 \dots I_0 \rangle$ МК в систему управляющих сигналов. Это поле делится на 3 части: I_{210} – поле управления источни-

ками данных; I_{543} – поле управления операциями АЛУ; I_{876} – поле управления приемником. В табл.3.3 приведены комбинации значений I_{210} и соответствующие им операнды на входах R и S АЛУ. Данные на шину D могут поступать из разных источников (рис.3.6).

Таблица 3.3

I_2	I_1	I_0	R	S	I_2	I_1	I_0	R	S
0	0	0	A	Q	1	0	0	0	A
0	0	1	A	B	1	0	1	D	A
0	1	0	0	Q	1	1	0	D	Q
0	1	1	0	B	1	1	1	D	0

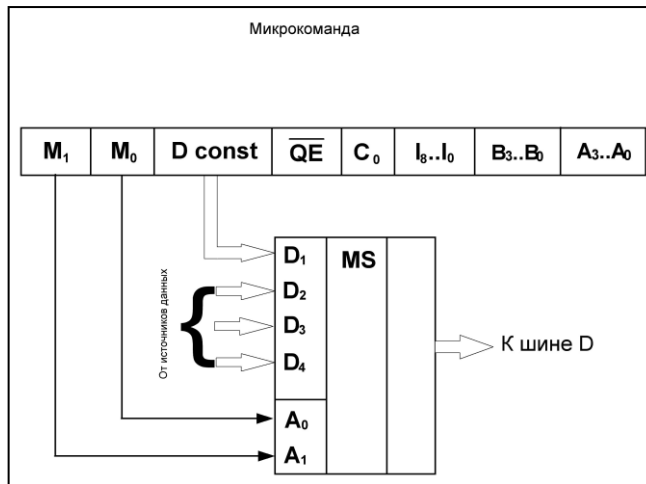


Рис.3.6

В АЛУ предусмотрено выполнение 3 арифметических и 5 логических операций (табл.3.4). Операция вычитания ($C_0 = 1$) – суммирование обратных кодов (без учета переноса из старшего разряда), а при $C_0 = 0$ – дополнительных. Величина «-1» в обратном коде – 1111.

Таблица 3.4

I_5	I_4	I_3	Операция АЛУ	I_5	I_4	I_3	Операция АЛУ
0	0	0	$R + S + C_0$	1	0	0	$R \wedge S$
0	0	1	$S - R - 1 + C_0$	1	0	1	$\overline{R} \wedge S$
0	1	0	$R - S - 1 + C_0$	1	1	0	$R \oplus S$
0	1	1	$R \vee S$	1	1	1	$\overline{R \oplus S}$

ПРИМЕР: Пусть $I_{543} = 001$; $S = 6_{10} (0110_2)$, $R = 5_{10} (0101_2)$, $C_0 = 1$.

Тогда $S + (-R - 1) + C_0 = S + \overline{R} + C_0 = 0110 + 1010 + 1 = 10001$.

Поле управления приемником операнда I_{876} определяет (см. табл. 3.5), должен ли:

- на выход Y быть выдан результат операции с выхода АЛУ или же содержимое RA;

Таблица 3.5

I_8	I_7	I_6	РЗУ		PrQ		Вых. Y	СДА		СР	
			Сдвиг	Загрузка	Сдвиг	Загрузка		PR_0	PR_3	PQ_0	PQ_3
0	0	0	-	-	-	$F \rightarrow Q$	F	x	x	x	x
0	0	1	-	-	-	-	F	x	x	x	x
0	1	0	-	$F \rightarrow B$	-	-	A	x	x	x	x
0	1	1	-	$F \rightarrow B$	-	-	F	x	x	x	x
1	0	0	Вправо	$F/2 \rightarrow B$	Вправо	$Q/2 \rightarrow Q$	F	F_0	Вход	Q_0	Вход
1	0	1	Вправо	$F/2 \rightarrow B$	-	-	F	F_0	Вход	Q_0	x
1	1	0	Влево	$2F \rightarrow B$	Влево	$2Q \rightarrow Q$	F	Вход	F_3	Вход	Q_3
1	1	1	Влево	$2F \rightarrow B$	-	-	F	Вход	F_3	x	Q_3

- результат операции АЛУ загружаться в регистр РЗУ, адресуемый полем $\langle V_3 \dots V_0 \rangle$;
- результат операции АЛУ при загрузке РЗУ сдвигаться влево или вправо;
- одновременно с этим производится сдвиг в PrQ.

Организация операционного устройства (ОУ)

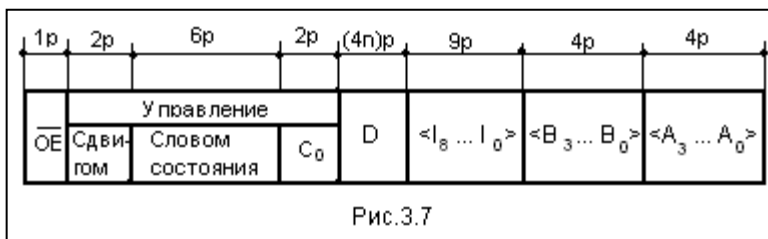
При объединении нескольких МПС с целью наращивания разрядности ОУ выходы PR_0 и PQ_0 старшей секции соединяются с выводами PR_3 и PQ_3 соседней младшей. Выводы Z всех секций объединяются и подключаются через резистор 470 Ом к источнику питания.

Задержка переноса от входа C_0 до выхода C_4 в одной секции составляет 20 нс, от входов адресов $\langle A_3 \dots A_0 \rangle$ и $\langle V_3 \dots V_0 \rangle$ до выхода C_4 в первой секции – 70 нс. Так что задержка поступления переноса на вход C_0 старшей секции 16-разрядного ОУ составит $70 + 2 \cdot 20 = 110$ нс. При использовании схемы ускорения переносов (СУП) время распространения сигналов от входов адресов до выходов P и G равно 59 нс, задержка СУП – 5 нс и рассмотренная ранее задержка снижается до 64 нс. Выигрыш увеличивается с ростом числа объединяемых МПС. Этот вопрос уже изучался в курсе «Схемотехника» на примере совместного использования микросхем К155ИП3 и К155ИП4.

Можно по-разному распорядиться остающимися свободными выводами PR_3 и PQ_3 старшей секции и выводами PR_0 и PQ_0 младшей. В зависимости от этого с помощью дополнительных мультиплексоров, управляемых из микрокоманды (МК), могут быть реализованы различные варианты сдвигов (включая циклический и образование единого сдвигового регистра из РЗУ и Q).

За исключением выводов Z, используются только выходы признаков старшей МПС. Из этих признаков и значений выходов PR_0 , PQ_0 младшей секции (при сдвиге вправо) и PR_3 старшей секции (при сдвиге влево) формируется и 4-разрядное слово состояния (СС) ОУ. Три разряда СС хранят признаки Z, F_3 , OVR, принимаемые с выходов признаков ОУ. В 4-м разряде СС хранится одно из: C_4 , PR_3 , PR_0 , PQ_0 , 0, 1. Этот разряд используется для получения значения C_0 младшей МПС. Формирование СС и C_0 происходит с помощью мультиплексора и регистра РСС ОУ под управлением соответствующих полей МК.

Формат микрокоманды в рассмотренном варианте организации управления операционным устройством показан на рис.3.7 (n – число МПС).



Вопросы для самопроверки

(Выбрать правильный из приведенных вариантов ответа)

- Системный модуль – это ...?
 - Фрагмент некоторого операционного узла.
 - Фрагмент некоторого устройства.
 - Составная часть вычислительной системы.
 - Взаимосвязанная совокупность различных структурных модулей.
- Микропроцессорные комплекты БИС применяются для построения ...?
 - Универсальных вычислительных систем.
 - Специализированных систем.
 - Высокопроизводительных систем.
 - Систем малой и средней производительности.
- На основе МК БИС строятся ...?
 - Однокристалльные микропроцессоры.
 - Секционные микропроцессоры.

- C. Микропроцессоры со стандартным составом команд.
 - D. Микропроцессоры со специальным составом команд.
4. Для секционных микропроцессоров характерно ...?
- A. Нарращивание разрядности путем каскадирование одно-типных модулей.
 - B. Микропрограммное управление.
 - C. Специализация состава команд.
 - D. Универсализация состава команд.
5. Микропроцессорная секция КР1804ВС1 включает ...?
- A. Блок внутренней памяти.
 - B. Блок внешней памяти.
 - C. Блок рабочего регистра.
 - D. Блок арифметическо-логический.
 - E. Блок управления.
 - F. Блок прерываний.
6. Блок внутренней памяти секции КР1804ВС1 включает ...?
- A. Регистровое запоминающее устройство.
 - B. Кеш-память.
 - C. Выходные регистры.
 - D. Входные регистры.
 - E. Узел сдвигателя данных.
7. Блок рабочего регистра секции КР1804ВС1 включает ...?
- A. АЛУ.
 - B. Регистр.
 - C. Сдвигатель регистра.
 - D. Узел управления.
8. Данные на вход рабочего регистра секции КР1804ВС1 могут подаваться ...?
- A. С выхода самого регистра.
 - B. С выхода АЛУ.
 - C. От блока внутренней памяти.

9. Данные на входы АЛУ секции КР1804ВС1 могут подаваться ...?
- А. От блока внутренней памяти.
 - В. С внешней шины данных.
 - С. От селектора выходных данных.
 - Д. От блока регистров.
10. Микрокоманда управления микропроцессорной секцией КР1804 включает ...?
- А. Поле управления источником данных.
 - В. Поле управления операциями АЛУ.
 - С. Поле управления передатчиком.
 - Д. Поле управления приемником.
 - Е. Другие поля.
11. Слово состояния операционного устройства (ОУ) МПУ КР1804 формируется ...?
- А. С выходов признаков старшей секции ОУ.
 - В. С выходов признаков младшей секции ОУ.
 - С. Из сигналов Z, F₃, C₄, OVR.

3.2. МИКРОСХЕМЫ УПРАВЛЕНИЯ И ОРГАНИЗАЦИЯ УСТРОЙСТВА УПРАВЛЕНИЯ МИКРОПРОЦЕССОРА КР1804

Микросхемы управления КР1804ВУ1 и КР1804ВУ3

Схема управления адресом микрокоманды (СУАМ) КР1804 ВУ1 показана на рис.3.8 сверху. Она формирует на своем выходе 4 разряда адреса. Объединение нескольких СУАМ обеспечивает нужную разрядность адреса, по которому из управляющей памяти считывается очередная микрокоманда.

Таблица 3.6

S ₁	S ₀	Источник адреса
0	0	СМК
0	1	РА
1	0	СТ ₀
1	1	D

В микросхеме предусмотрены 4 источника адреса: счетчик микрокоманд (СМК), регистр адреса (РА), стек, входная шина адреса <D₃ ... D₀>. Блок выбора адреса (БВА) в соответствии с комбинацией управляющих сигналов S₁, S₀ передает содержимое одного из этих источников на свой выход (см. табл.3.6).

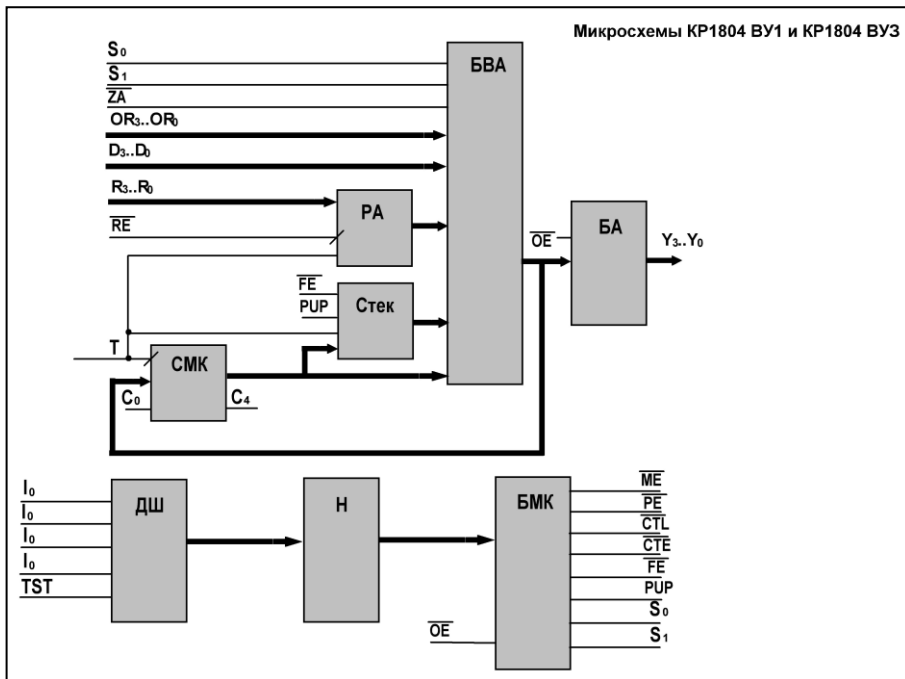


Рис.3.8

СМК – 4-разрядный. По *фронту* синхросигнала С в него заносится значение [БВА]+С₀ (значение адреса предыдущего такта, увеличенное на единицу). При объединении нескольких СУАМ выход переноса С₄ подключается ко входу С₀ следующей старшей секции. На вход С₀ младшей секции подается логическая 1. Перенос С₄ из старшей секции теряется. Так формируется адрес МК, если не нарушается естественный порядок следования адресов.

РА принимает данные с шины R при $\overline{RE}=0$ по *фронту* С.

Стек содержит накопитель из 4 регистров СТ₀, СТ₁, СТ₂, СТ₃ и 2-разрядный указатель стека, хранящий адрес входа в накопитель (адрес СТ₀). Работой стека управляют сигналы \overline{FE} и PUP (рис.3.9). Значение

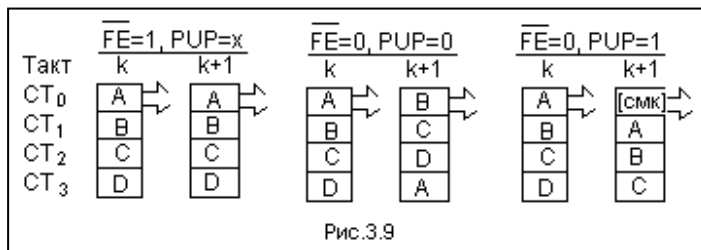


Рис.3.9

$\overline{FE}=0$ разрешает изменение указателя (PUP=0 – уменьшение, PUP=1 – увеличение). При $\overline{FE}=1$ в текущем

такте из стека на вход БВА поступает содержимое CT_0 . В следующем такте размещение информации в накопителе остается неизменным..

Показанные на рис.3.9 значения \overline{FE} и PUP относятся к такту k . Если $\overline{FE} = 0$ и $PUP = 0$ – режим *выталкивания*. В случае $\overline{FE} = 0$ и $PUP = 1$ – режим *записи*. В обоих случаях в такте k на вход БВА выдается адрес A с изменением содержимого CT_0 согласно режиму.

Стек используется при обращении к подпрограммам. В k -такте адрес первой МК подпрограммы выдается на выход СУАМ из РА или с шины D . Стек устанавливается в режим записи. При переходе к такту $(k+1)$ в регистр CT_0 принимается содержимое СМК, т.е. адрес очередной МК, на которой было остановлено выполнение главной программы. Этот адрес выдается из стека по окончании выполнения подпрограммы, и происходит возврат в основную программу.

БВА имеет дополнительные входы \overline{ZA} и $\langle OR_3 \dots OR_0 \rangle$. Вход \overline{ZA} используется для установки на выходе БВА нулевого адреса ($\overline{ZA} = 0$). Вход маски OR служит для модификации выдаваемого адреса: любой его разряд устанавливается в 1 при наличии 1 в соответствующем разряде OR . Адрес с выхода БВА передается на выход $\langle Y_3 \dots Y_0 \rangle$ СУАМ через буфер адреса (БА) с тремя состояниями. Микросхема ВУ2 отличается от ВУ1 отсутствием шины маски OR и объединением шин D и R в общую шину D . Это позволило снизить число выводов корпуса с 28 до 20.

Схема управления следующим адресом (УСА) КР1804ВУЗ (рис. 3.8, снизу) предназначена для формирования сигналов управления модулями, входящими в состав БМУ и участвующими в формировании адреса МК. В частности, эта схема формирует сигналы S_1 , S_0 , PUP , \overline{FE} для микросхемы СУАМ.

На вход ДШ подается 4-разрядный код $\langle I_3 \dots I_0 \rangle$ управления микросхемой и сигнал признака ветвления TST , используемый при выполнении условных переходов. Накопитель H выполнен в виде модуля памяти на 32 8-разрядных слова. Содержимое ячейки памяти – набор 8 управляющих сигналов. Этот набор передается на выход через буфер микрокоманды (БМК) на 3 состояния. Каждый набор представляет собой отдельную микрокоманду управления

Полный состав таких МК показан в табл.3.7. Семантика сигналов \overline{ME} , \overline{PE} , \overline{CT} , \overline{STE} будет ясна из дальнейшего.

Организация устройства управления микропроцессора

Возможный вариант построения управляющего устройства микропроцессора (микропроцессорного устройства – МПУ), построенного с использованием МПК БИС КР1804, показан на рис.3.10.

Таблица 3.7

Мне- мо- ника	Микро- команда	Входы					Выходы							
		I ₃	I ₂	I ₁	I ₀	TST	S ₁	S ₀	FE	PUP	CL	CE	ME	PE
JZ	Переход на нулевой адрес	0	0	0	0	x	1	1	1	1	0	0	1	0
CJS	Условный переход к подпрограмме по [PMK]	0 0	0 0	0 0	1 1	0 1	0 1	0 1	1 0	1 1	1 1	1 1	1 1	0 0
JMAP	Переход по адресу в ОП	0	0	1	0	x	1	1	1	1	1	1	0	1
CJP	Условный переход	0 0	0 0	1 1	1 1	0 1	0 1	0 1	1 1	1 1	1 1	1 1	1 1	0 0
PUSH	Засылка в стек и условная загрузка счетчика	0 0	1 1	0 0	0 0	0 1	0 0	0 0	0 0	1 1	1 0	1 1	1 1	0 0
JSRP	Условный переход к подпрограмме по [PA] или [PMK]	0 0	1 1	0 0	1 1	0 1	0 1	1 1	0 0	1 1	1 1	1 1	1 1	0 0
CJV	Условный переход по адресу вектора	0 0	1 1	1 1	0 0	0 1	0 1	0 1	1 1	1 1	1 1	1 1	1 1	1 1
JRP	Условный переход по [PA] или [PMK]	0 0	1 1	1 1	1 1	0 1	0 1	1 1	1 1	1 1	1 1	1 1	1 1	0 0
RFCT	Повторить цикл	1 1	0 0	0 0	0 0	0 1	1 0	0 0	1 0	0 0	1 1	0 1	1 1	0 0
RPCT	Повторить по адресу [PMK], если [Сч] ≠ 0	1 1	0 0	0 0	1 1	0 1	1 0	1 0	1 1	1 1	0 1	1 1	1 1	0 0
CRTN	Условный возврат из подпрограммы	1 1	0 0	1 1	0 0	0 1	0 1	0 0	1 0	0 0	1 1	1 1	1 1	0 0
CJPP	Условный переход по [PMK] и прием из стека	1 1	0 0	1 1	1 1	0 1	0 1	0 1	1 0	0 0	1 1	1 1	1 1	0 0
LDCT	Загрузка счетчика и продолжение	1	1	0	0	x	0	0	1	1	0	1	1	0
LOOP	Проверка конца цикла	1 1	1 1	0 0	1 1	0 1	1 0	0 0	1 0	0 0	1 1	1 1	1 1	0 0
CONT	Продолжение (переход на след. адрес)	1	1	1	0	x	0	0	1	1	1	1	1	0
JP	Безусловный переход по [PMK]	1	1	1	1	x	1	1	1	1	1	1	1	0

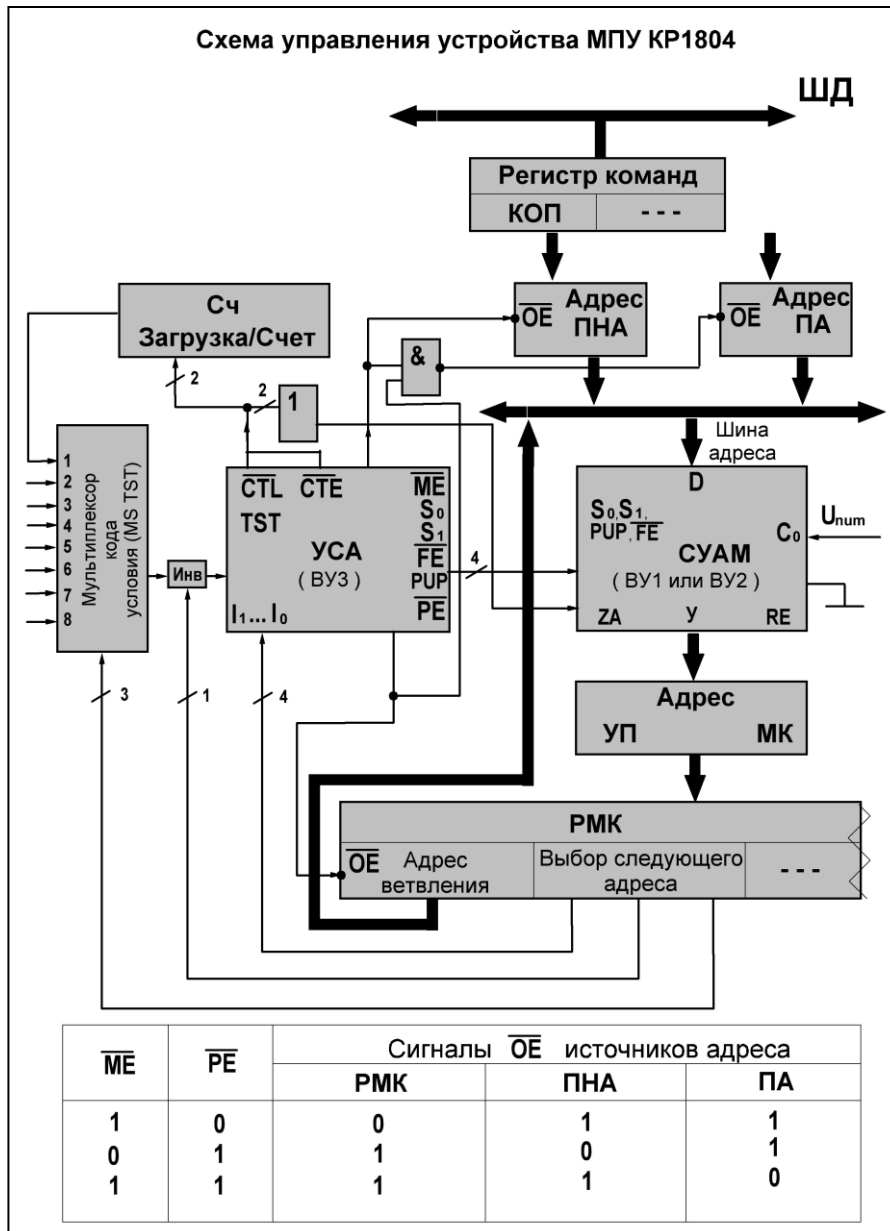


Рис.3.10

СУАМ (ВУ1 или ВУ2) выдает в управляющую память (УП) адрес очередной МК. Считанная из УП микрокоманда фиксируется в регистре микрокоманд (РМК) по фронту синхроимпульса. Наряду с полями управ-

ления ОУ, МК содержит и поля для управления самим УУ. В общей МК МПУ могут быть поля, управляющие работой других блоков МПУ (оперативная память, диски и др.).

Адрес на шину D (одни из источников адреса в СУАМ) может поступать от трех источников. Одним из них является МК, принятая в РМК. В МК предусматривается поле адреса, по которому из УП может считываться очередная МК.

При программировании на уровне команд УП хранит набор микропрограмм выполнения отдельных операций (команд). Команда программы указывает, какая из этих микропрограмм должна выполняться. Сама программа хранится в оперативной памяти (ОП). Код операции (КОП) – содержимое одного из полей команды – с помощью преобразователя начального адреса (ПНА) преобразуется в адрес первой МК соответствующей микропрограммы. В этой МК содержится указание о том, как получить адрес второй МК и т.д. По окончании выполнения микропрограммы из ОП вызывается очередная команда. ПНА является вторым источником адреса для шины D. Он может быть выполнен на ПЗУ или ПЛМ.

По запросам от внешних устройств (ВУ) выполняется прерывание выполнения текущей программы. Для реализации прерывания от ВУ должна поступить информация о микропрограмме, исполнение которой запрашивается. Эта информация в виде некоторой кодовой комбинации, называемой *вектором прерывания*, подается на вход преобразователя адреса (ПА) – третьего источника адреса на шине D, который формирует адрес первой МК микропрограммы прерывания.

Таблица 3.8

\overline{ME}	\overline{PE}	Сигналы \overline{OE} источников адреса		
		РМК	ПНА	ПА
1	0	0	1	1
0	1	1	0	1
1	1	1	1	0

Выходы всех источников адреса – на 3 состояния. Их сигналы \overline{OE} удовлетворяют табл.3.8. Фактически, \overline{PE} – сигнал включения выхода РМК, \overline{ME} – сигнал активации ПНА. При $\overline{ME} = \overline{PE} = 1$ – инициация ПА через элемент И – НЕ.

Формирование признаков ветвления в микропрограмме происходит по сигналу TST на входе ВУЗ. Этот сигнал берется с выхода мультиплексора кода условия MS NST, на входы которого поступают *слово состояния*, формируемое в регистре РСС ОУ в каждом такте, и сигнал [Сч] = 0 с выхода счетчика циклов (Сч). Перед входением в цикл в Сч помещается определенное число от некоторого источника. В процессе каждого повторного исполнения тела цикла из содержимого Сч вычитается единица. Сигнал [Сч]=0 выхода из цикла – один из признаков ветвления. Управление MS TST осуществляется

сигналами микроопераций из микропрограммы. В зависимости от значения некоторого бита МК элемент Инв передает признак с выхода мультиплектора в прямом либо инверсном виде.

16 комбинаций кода $\langle I_3 \dots I_0 \rangle$ на входе ВУЗ дают 16 видов переходов (см. табл.3.7). Все они могут быть сгруппированы в 5 типов переходов (табл.3.9).

Таблица 3.9

Тип перехода	$I_3 \dots I_0$ (16-чный)	TST	Адрес МК	Стек	Счетчик циклов
Естественный	4	0	[СМК]	Запоминание	-
		1	[СМК]	Запоминание	Загрузка
	C_{12}	X	[СМК]	-	Загрузка
	E_{14}	X	[СМК]	-	-
Безусловный	0	X	0	-	0
	2	X	[ПНА]	-	-
	F_{15}	X	[РМК]	-	-
Условный	3	0	[СМК]	-	-
		1	[РМК]	-	-
	6	0	[СМК]	-	-
		1	[ПА]	-	-
	7	0	[РА]	-	-
		1	[РМК]	-	-
	A_{10}	0	[СМК]	-	-
		1	[CT ₀]	Выталкивание	-
B_{11}	0	[СМК]	-	-	
	1	[РМК]	Выталкивание	-	
Условный переход к подпрограмме	1	0	[СМК]	-	-
		1	[РМК]	Заполнение	-
	5	0	[РА]	Заполнение	-
1		[РМК]	Заполнение	-	
Условный переход в циклах	8	0	[CT ₀]	-	Уменьшение
		1	[СМК]	Выталкивание	-
	9	0	[РМК]	-	Уменьшение
		1	[СМК]	-	-
	D_{13}	0	[CT ₀]	-	-
		1	[СМК]	Выталкивание	-

При **естественном** типе переходов адрес следующей МК на единицу превышает адрес текущей и выбирается из СМК блока СУАМ. Это обеспечивается выдачей из ВУЗ комбинации $S_1S_0 = 00$. В СУАМ возможна запись в стек содержимого СМК ($FE = 0$, $PUP = 1$ при $\langle I_3 \dots I_0 \rangle = 0100 = 4$)

и загрузка счетчика циклов (при $\langle I_3 \dots I_0 \rangle = 4$ и C_{12}), для выполнения которой ВУЗ выдает в Сч сигналы $\overline{CL} = 0$, $\overline{CE} = 1$.

При **безусловных** переходах ВУЗ выдает сигналы $S_1S_0 = 11$, и СУАМ выбирает адрес МК с шины D. Возможные переходы:

1. Переход к МК, содержащейся в ячейке УП с нулевым адресом ($\langle I_3 \dots I_0 \rangle = 0$). Этот переход выполняется выдачей из ВУЗ сигналов $\overline{CL} = \overline{CE} = 0$, что обеспечивает на входе \overline{ZA} СУАМ уровень логического 0.

2. Использование адреса D := ПНА ($\langle I_3 \dots I_0 \rangle = 2$). При этом на выходе ВУЗ имеем $\overline{ME} = 0$, и ПНА активен.

3. Переход по адресу из РМК ($\langle I_3 \dots I_0 \rangle = F_{15}$), когда на выходе ВУЗ сигнал $\overline{PE} = 0$.

Для **условных** переходов значения выдаваемых из ВУЗ сигналов S_1 и S_0 зависят от TST, что влияет на выбор источника адреса. Например, если $\langle I_3 \dots I_0 \rangle = 3$, то при TST = 0 значения $S_1S_0 = 00$ и Адр := [СМК] СУАМ (адрес, больший на единицу в сравнении с текущим), а при TST = 1 $S_1S_0 = 11$ и Адр := [РМК] ($\overline{PE} = 0$). Если же $\langle I_3 \dots I_0 \rangle = A_{10}$ или B_{11} , то в стеке возможен процесс выталкивания путем выдачи из ВУЗ в СУАМ комбинации $\overline{FE} = 0$, PUP = 0.

Условные переходы к подпрограмме имеют особенность: путем выдачи из ВУЗ сигналов $\overline{FE} = 0$ и PUP = 1 в СУАМ выполняется запись [СМК] в стек. Тем самым запоминается адрес МК, которую надо вызвать по окончании выполнения подпрограммы.

Условные переходы в циклах при TST = 0 обеспечивают переход на начало тела цикла по адресу, содержащемуся в CT_0 или РМК. При TST = 1 происходит выход из цикла (с выталкиванием из стека, если в нем хранился адрес начала цикла). При $\langle I_3 \dots I_0 \rangle = 8$ или 9 из [Сч] вычитается единица. Признак [Сч] = 0 может быть использован для выхода из цикла.

Вопросы для самопроверки

(Выбрать правильный из приведенных вариантов ответа)

1. Одна секция СУАМ КР1804 ВУ1 (ВУ2) формирует на своем выходе ...?
 - А. 2-разрядный адрес.
 - В. 4-разрядный адрес.
 - С. 8-разрядный адрес.

2. Микросхема УСА КР1804ВУ3 предназначена для формирования ...?
 - А. Управляющих сигналов УУ МПУ КР1804.
 - В. Сигналов S_1 , S_0 , PUP, \overline{EE} микросхемы КР1804ВУ1
 - С. Слова состояния КР1804ВС1.
3. В СУАМ КР1804ВУ1 источником адреса могут быть ...?
 - А. Блок управления секции КР1804ВС1.
 - В. Счетчик микрокоманд.
 - С. Регистр адреса.
 - Д. Стек.
 - Е. Входная шина адреса.
 - Ф. Выход БВА.
4. Микрокоманда МПУ КР1804 содержит ...?
 - А. Поле управления ОУ.
 - В. Поле управления УУ.
 - С. Поле следующего адреса.
 - Д. Другие поля.
5. При программировании МПУ КР1804 на уровне команд управляющая память УУ хранит ...?
 - А. Начальные адреса микропрограмм выполнения соответствующих команд.
 - В. Набор микропрограмм реализации отдельных операций.
 - С. Набор программ решения отдельных задач.
6. Вектор прерывания МПУ КР1804 указывает ...?
 - А. Начальный адрес программы обработки прерываний.
 - В. Начальный адрес микропрограммы обработки прерываний.
 - С. Точку выхода из прерывания.
7. Вход TST микросхемы КР1804ВУ3 используется для приема сигнала, по значению которого осуществляется ...?
 - А. Выход из прерывания.

В. Формирование слова состояния ОУ.

С. Ветвление в микропрограмме.

8. На вход мультиплексора кода условия УУ МПУ КР1804 подается ...?

А. Микропрограмма МПУ.

В. Слово состояния ОУ.

С. Сигналы от счетчика циклов.

3.3. ОРГАНИЗАЦИЯ МИКРОПРОЦЕССОРА КР1804 В ЦЕЛОМ И ПРИМЕР МИКРОПРОГРАММЫ

Организация микропроцессора КР1804

Объединение рассмотренных ранее возможных подходов к построению операционного и управляющего устройств дает схему микропроцессора, показанную на рис.3.11. Формируемый в СУАМ (ВУ1 или ВУ2) адрес МК подается на адресный вход управляющей памяти (ПЗУ МК). Считанная из нее общая МК микропроцессорного устройства (МПУ) по фронту синхросигнала С принимается в регистр МК, где она хранится в течение всего тактового периода.

МК содержит поля, предназначенные для управления работой отдельных блоков МПУ. Поле МК УСА (ВУЗ) совместно с поступающим на вход ТST признаком формирует сигналы, под действием которых в СУАМ происходит формирование адреса очередной МК. При условных и безусловных переходах по адресу ветвления из МК схема УСА коммутирует содержимое этого поля на вход D СУАМ.

МК ОУ (с полями А, В, I, C₀, D) поступает в блоки ВС1 и управляет в них выполнением операций. При реализации сдвигов соответствующее поле МК ОУ, воздействуя на мультиплексор сдвига, обеспечивает требуемую коммутацию цепей сдвига (PR₃, PR₀, PQ₃, PQ₀). Поле управления мультиплексором признаков определяет признак (содержимое определенного разряда регистра состояния), по которому выполняется условный переход, и передает его на вход УСА. Вновь формируемые признаки принимаются в регистр состояний по срезу СИ.

Особенностью используемого в МПУ рис.3.11 регистра КР1804ИР1 является наличие, помимо прямых, дополнительных выходов на 3 состояния, управляемых сигналом по входу \overline{OE} . Это позволяет использовать такие микросхемы для реализации двунаправленной передачи информации.

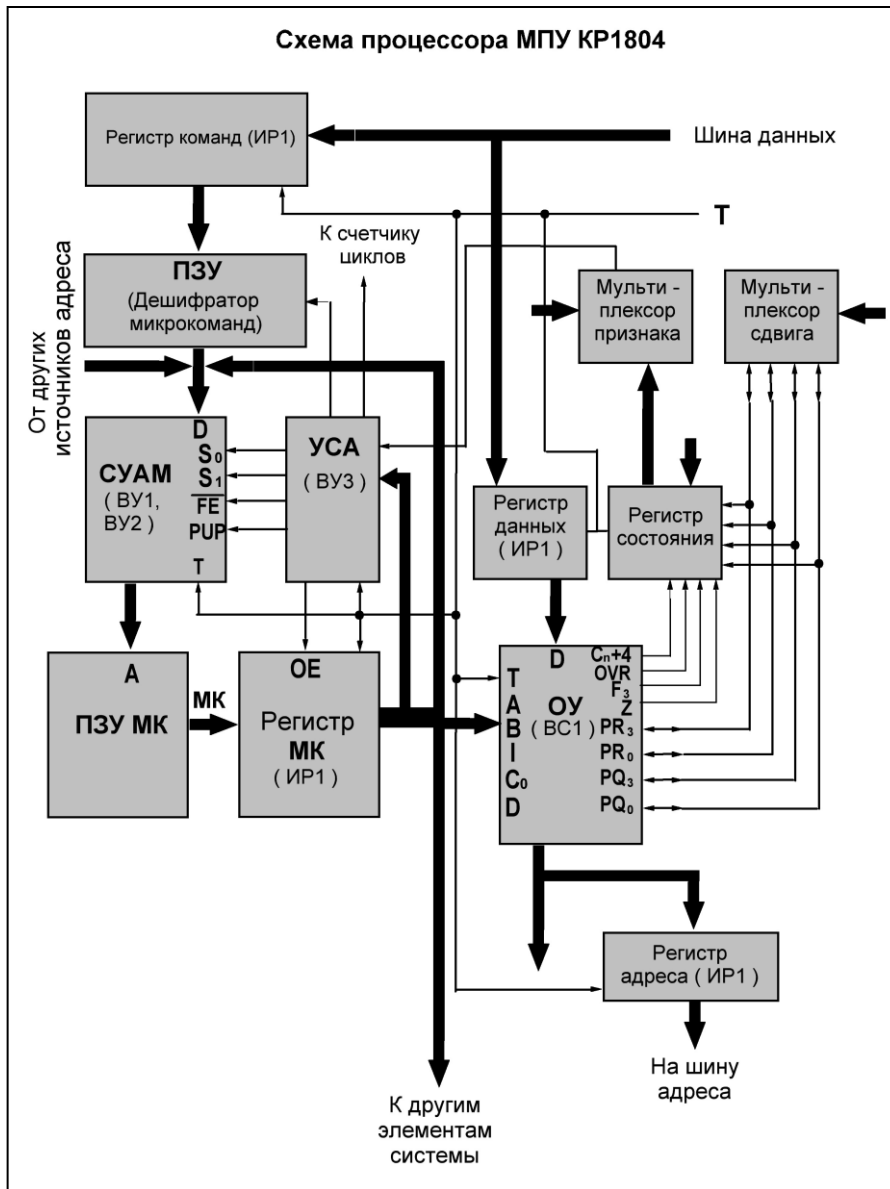


Рис.3.11

Пример микропрограммы

Принятый для рассматриваемого ниже примера формат МК показан на рис.3.12. Всего – 40 разрядов. Из них: МК БМУ – 20, МК ОУ – 20. Поле “Адрес ветвления” используется при выполнении условных и

безусловных переходов по адресу в РМК. Остальные 3 поля МК БМУ предназначены для выбора источника адреса следующей МК.

Адрес ветвления	МК БМУ			МК ОУ						
	Выбор следующего адреса			$I_8 \dots I_6$	$I_5 \dots I_3$	$I_2 \dots I_0$	C_0	Мультиплексор сдвига	А	В
	Мультиплексор условия	Инвертор (Иньв)	$I_3 \dots I_0$							
12p	3p	1p	4p	3p	3p	3p	1p	2p	4p	4p

Рис.3.12

Функционирование мультиплексора кода условия зададим таблицей 3.10. При Инв =1 его выход инвертируется.

Таблица 3.10

Поле «Мультиплексор условия»			Признак на выходе мультиплексора кода условия	Поле «Мультиплексор условия»			Признак на выходе мультиплексора кода условия
0	0	0	Счетчик циклов	1	0	0	OVR
0	0	1	C_{n+4}	1	0	1	PQ_0
0	1	0	F_3	1	1	0	PR_3
0	1	1	Z	1	1	1	PR_0

Поле «Мультиплексор сдвига» показывает значения S_1 и S_0 . Виды сдвигов определим таблицей 3.11.

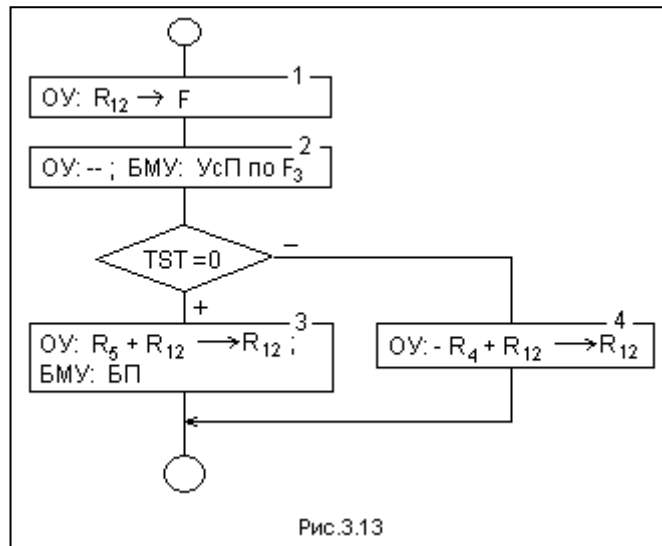
Таблица 3.11

I_7	$S_1 S_0$	ст	РЗУ	мл	ст	Q	мл	I_7	$S_1 S_0$	ст	РЗУ	мл	ст	Q	мл
1	0 0	←←←←	←←←←	←←←←	←←←←	←←←←	←←←←	0	0 0	→→→→	→→→→	→→→→	→→→→	→→→→	→→→→
1	0 1	←←←←	←←←←	←←←←	←←←←	←←←←	←←←←	0	0 1	→→→→	→→→→	→→→→	→→→→	→→→→	→→→→
1	1 0	←←←←	←←←←	←←←←	←←←←	←←←←	←←←←	0	1 0	→→→→	→→→→	→→→→	→→→→	→→→→	→→→→
1	1 1	←←←←	←←←←	←←←←	←←←←	←←←←	←←←←	0	1 1	F_3 →→→→	→→→→	→→→→	→→→→	→→→→	→→→→

В рассматриваемом примере нет необходимости в использовании специальной схемы формирования 4-го разряда признаков путем выбора одного элемента из множества $\{C_4, PR_3, PR_0, PQ_0\}$.

РЕШАЕМАЯ ЗАДАЧА. Требуется проанализировать знак числа, хранящегося в регистре R_{12} . Если это число положительное, то $[R_{12}] := [R_{12}] + [R_5]$. Иначе $[R_{12}] := [R_{12}] - [R_4]$.

Алгоритм решения задачи показан на рис.3.13. МК1 предусматривает передачу содержимого R_{12} на выход АЛУ ОУ без записи в РЗУ. Знаковый разряд с выхода F_3 будет принят в регистр состояния.



МК2 осуществляет условный переход (УсП) по признаку F_3 , выбираемому мультиплексором из регистра состояния. При $TST=0$ происходит переход к МК3, при $TST=1$ – к МК4.

МК3 выполняет суммирование и безусловный переход (БП) по адресу ветвления из РМК к МК, следующей за рассматриваемым фрагментом микропрограммы (обозначим эту МК как «Продолжение»). МК4 – вычитание и переход к МК «Продолжение» по СМК блока СУАМ.

Микрокоманды разместим в УП по адресам: МК1 – 023, МК2 – 024, МК3 – 025, МК4 – 026, «Продолжение» – 027.

Рассматриваемый фрагмент микропрограммы приведен в табл.3.12.

Таблица 3.12

Адрес МК	МК БМУ			МК ОУ								Пояснения
	Адрес ветвления	Мультиплексор условия	Инвертор	$I_3...I_0$	$I_8...I_6$	$I_5...I_3$	$I_2...I_0$	C_0	Мультиплексор сдвига	A	B	
023	x	x	x	1110	001	011	100	x	x	1100	x	МК1
024	026	010	1	0011	001	x	x	x	x	x	x	МК2
025	027	x	x	1111	011	000	001	0	x	0101	1100	МК3
026	x	x	x	1110	011	001	001	1	x	0100	1100	МК4
027	Продолжение

Далее дается детальное описание действий по каждой микрокоманде и поясняется, каким образом написаны эти МК.

МК1. В БМУ предусматривается переход к следующему адресу по [СМК] в блоке СУАМ, т.е. к адресу, на единицу больше текущего. Этот переход выполняется при подаче в блок ВУЗ кода $I_3 \dots I_0 = 1110$ (мнемоника МК управления – CONT).

В ОУ запись в РЗУ запрещается выбором $I_8 \dots I_6 = 001$ (см. табл.3.5). Для передачи $[R_{12}]$ на выход АЛУ следует выбрать одну из кодовых комбинаций $I_5 \dots I_0$, отвечающих пропуску на выход АЛУ содержимого одного из регистров РЗУ (см. табл. 3.3, 3.4). Например, такую: $I_5 \dots I_3 = 011$, $I_2 \dots I_0 = 100$. Соответственно в поле А заносим адрес регистра R_{12} ($A = 1100$). Содержимое поля В безразлично.

МК2. В БМУ выполняется условный переход по содержимому РМК. В поле адреса ветвления МК должен быть установлен адрес перехода 026. В поле управления ВУЗ заносится код операции «Условный переход» (CJP – $I_3 \dots I_0 = 0011$), а мультиплексор кода состояния и инвертор признака должны быть настроены так, чтобы на вход TST ВУЗ подавалось бы значение 1 при переходе по приведенному в МК адресу ветвления. Для этого, согласно табл.3.10, необходимо в поле «Мультиплексор условия» установить код 010, а в поле «Инв» – 0.

В ОУ запрещается запись в РЗУ установкой $I_8 \dots I_6 = 001$. Содержимое остальных полей МК ОУ безразлично.

МК3. МК БМУ обеспечивает безусловный переход по содержимому поля адреса ветвления в РМК. В этом поле пишем адрес перехода – 027, а в поле кода управления ВУЗ – $I_3 \dots I_0 = 1111$ (JP).

В МК ОУ устанавливается код $I_8 \dots I_6 = 011$ записи информации с выхода АЛУ в регистр РЗУ по адресу 1100 в поле В. В поле А – адрес регистра R_5 (0101). Операции сложения отвечает код $I_5 \dots I_3 = 000$ при $C_0 = 0$. Пишем $I_2 \dots I_0 = 001$, чтобы источниками операндов оказались А и В.

МК4. В МК БМУ – переход по СМК,

В МК ОУ инициируется запись в регистр R_{12} ($B = 1100$) информации с выхода АЛУ ($I_8 \dots I_6 = 011$). В АЛУ выполняется операция $B - A$ ($A = 0100$, $I_5 \dots I_3 = 001$, $I_2 \dots I_0 = 001$, $C_0 = 1$).

Как видно из рассмотренного примера, составление «вручную» даже простейших микропрограмм для МПУ на основе секционных МПК БИС весьма трудоемко. Автоматизация процесса микропрограммирования совершенно необходима. В табл.3.13 приведены характеристики некоторых разработанных систем автоматизации.

Таблица 3.13. Характеристики систем автоматизации микропрограммирования МПУ

Наименование системы	Язык реализации	Ориентация системы	Язык микропрограммирования	Разделение фаз настройки и трансляции	Решение задачи размещения МК в ПЗУ МК	Максимальная длина МК, бит
AM-DASM	ФОРТРАН	КР1804	Микроасемблер	Есть	Есть	128
ГНОМ / ФЛОТ	“	Настраиваемая	“	“	“	256
МИАСС	СИ	“	“	“	“	

Вопросы для самопроверки

(Выбрать правильный из приведенных вариантов ответа)

- Особенностью используемого в МПУ рис.3.11 регистра КР1804ИР1 является наличие дополнительных ...?
 - Выходов на 3 состояния.
 - Парафазных выходов.
 - Управляющих входов.
 - Входов синхронизации.
- В каком случае используется поле “Адрес ветвления” в формате микрокоманд МПУ КР1804, показанного на рис. 3.12?
 - При выполнении условных и безусловных переходов.
 - При выборе и дешифрации команд.
 - При сдвиге регистра состояния.
 - При управлении мультиплексором признаков.
- Имеется ли необходимость в использовании специальной схемы формирования 4-го разряда признаков в рассмотренном выше примере микропрограммы?
 - Да.
 - Нет.
- По рис.3.13 МК1 предусматривает передачу содержимого R12 на выход АЛУ ОУ ...?
 - Без записи в РЗУ.
 - С записью в РЗУ.
- Составление микропрограмм для МПУ на основе секционных МПК БИС целесообразно проводить ...?
 - Вручную.
 - Автоматизировано.

ЛИТЕРАТУРА ПО РАЗДЕЛУ III

1. *Калабеков Б.А.* Микропроцессоры и их применение в системах передачи и обработки сигналов. – М.: Радио и связь, 1988.
2. Микропроцессоры и микропроцессорные комплекты интегральных микросхем. Справочник. /Под ред. *В.А. Шахнова.* – М.: Радио и связь, 1988.
3. *Гришин В.А., Угольников В.Н.* Секционные микропроцессоры и их программирование. – Новосибирск: Наука, 1985.

РАЙХЛИН Вадим Абрамович
ГИБАДУЛЛИН Руслан Фаршатович

СХЕМОТЕХНИКА ЭВМ

Учебное пособие по практическим занятиям

ISBN 978-5-904449-74-2



Работа печатается в авторской редакции

Подписано в печать 21.11.2013.
Формат 60 x 90 1/16. Бумага офсетная.
Печ.л. 5,0. Усл.печ.л. 4,7. Усл.кр.-отт. 4,7. Уч.-изд.л. 4,9.
Тираж 100.

Издательство "Яз", г. Казань

Отпечатано в типографии ООО «Фолиантъ»
г. Казань, ул. Дементьева, 1А4